

令和元年度

文部科学省 国家課題対応型研究開発推進事業

原子力システム研究開発事業

原子炉計装の革新に向けた耐放射線・高温
動作ダイヤモンド計測システムの開発と
ダイヤモンド IC の要素技術開発

成果報告書

令和2年3月

国立大学法人 北海道大学

本報告書は、文部科学省の原子力システム研究開発事業による委託業務として、国立大学法人 北海道大学が実施した平成 28 年度－2019 年度「原子炉計装の革新に向けた耐放射線・高温動作ダイヤモンド計測システムの開発とダイヤモンド IC の要素技術開発」の成果を取りまとめたものです。

目次

概略	ix
1. はじめに	1
2. 業務計画	
2.1 全体計画	3
2.2 令和元年度の成果の目標及び業務の実施方法	4
3. 業務の実施内容及び成果	
3.1 ダイヤモンド γ 線検出器の開発とダイヤモンド MESFET・ダイヤモンド IC 開発の支援 【H28-R1】	
3.1.1 ダイヤモンド γ 線検出器の開発	7
3.1.2 ダイヤモンド MESFET 開発の支援	26
3.1.3 ^{11}B ドープ p 型ダイヤモンド合成技術の開発	33
3.1.4 X 線照射実験	40
3.1.5 高温用電子部品の要素技術開発	44
3.2 ダイヤモンド MESFET 作製技術の確立とダイヤモンド IC の要素技術開発 (再委託先：産総研)【H28-R1】	
3.2.1 ダイヤモンド MESFET の開発	50
3.2.2 ダイヤモンド IC の要素技術開発	58
3.2.3 ダイヤモンド γ 線検出器開発と ^{11}B ドープ p 型ダイヤモンド合成技術開発の支援	63
3.3 原子炉格納容器内雰囲気モニタプロトタイプの開発 (再委託先：日立製作所)【H28-R1】	
3.3.1 CAMS 用ダイヤモンド γ 線検出器の開発	64
3.3.2 CAMS 用ダイヤモンド前置増幅器の開発	73
3.3.3 回路系材料の耐熱・耐放射線試験	79
3.4 MIMSFET の耐放射線性能向上とダイヤモンド IC 要素技術開発の支援 (再委託先：物材機構)【H28-R1】	
3.4.1 MIMSFET の耐放射線性能向上	87
3.4.2 ダイヤモンド IC 要素技術開発の支援	93
3.4.3 ダイヤモンド半導体デバイスの上限動作温度の探求	95
3.5 研究推進	98
4. 結言	101

表一覧

表 1-1 達成目標(原子炉格納容器内雰囲気モニタ)	2
表 3.1-1 X線照射履歴	43
表 3.1-2 候補となる抵抗材料の抵抗値と温度係数	47
表 3.2-1 ダイヤモンド MESFET 各モデルの設計値	55
表 3.3-1 回路部品	79
表 3.4-1 ダイヤモンドのエピタキシャル成長条件	88
表 3.5-1 学会等における口頭・ポスター発表	99
表 3.5-2 学会誌・雑誌等における論文掲載	100
表 3.5-3 特許出願	100

図一覧

図 1.1 原子炉用半導体装置とその設計基準	1
図 1.2 原子炉格納容器雰囲気モニタ (GAMS)	2
図 2.1 研究開発事業全体における年度別全体計画	3
図 3.1-1 4枚基板ホルダ内の基板温度分布と直上からの写真	7
図 3.1-2 4枚基板ホルダを使用した合成時のプラズマ球写真	8
図 3.1-3 試料の微分干渉顕微鏡像(左)、カソードルミネッセンススペクトル(右)	9
図 3.1-4 8mm 角基板上に合成した試料の α 線誘導電荷量分布測定結果	9
図 3.1-5 保持層の表面微分干渉顕微鏡像	10
図 3.1-6 成長温度 800°Cで合成した成長層表面のレーザー顕微鏡像	10
図 3.1-7 合成チャンバー(左)、基板交換用ロードロックチャンバー(右)に新たに接続したターボ分子ポンプ	11
図 3.1-8 冷却用試料ホルダの上面、側面及び液体窒素タンク	11
図 3.1-9 北海道大学で合成したダイヤモンドのカソードルミネッセンス測定例	12
図 3.1-10 オシロスコープ(TELEDYNE LECROY, WaveSurfer 10)とミニビン電源(CLEAR-PULSE, MODEL: E6660)	12
図 3.1-11 ^{241}Am 線源(5.486 MeV α 線)に対する時間応答の表示例と出力信号例	12
図 3.1-12 E6社製 8mm 角 General grade CVD 単結晶ダイヤモンドと 4mm 角住友電工製 HP/HT IIa型基板	14
図 3.1-13 合成した試料の微分干渉像	14
図 3.1-14 カソードルミネッセンス法による結晶品質評価結果例	14
図 3.1-15 リフトオフ法による自立膜化	15
図 3.1-16 ダイヤモンド検出器の作製例とその測定体系	15
図 3.1-17 ダイヤモンド合成技術の改良	17
図 3.1-18 大面積基板を使用して合成したダイヤモンド結晶とその表面状態	17
図 3.1-19 複数回合成による厚膜化技術等を改良	18
図 3.1-20 合成したダイヤモンドのカソードルミネッセンス(CL)測定結果例	18
図 3.1-21 CVD 合成後表面の平坦化に向けた実験	18

図 3.1-22	自立膜化した結晶から製作した検出器の断面図	19
図 3.1-23	電荷収集効率の評価結果例	19
図 3.1-24	合成条件の改善	20
図 3.1-25	試作した積層型検出器	20
図 3.1-26	積層型検出器の性能評価結果	20
図 3.1-27	試作した積層型検出器のモデル	22
図 3.1-28	電荷収集効率の測定体系	22
図 3.1-29	電荷収集効率の測定結果例 (a) 正孔ロングドリフト、(b) 電子ロングドリフト	23
図 3.1-30	4 枚切断用大型ダイヤモンド素子の合成結果例	23
図 3.1-31	カソードルミネッセンス法による結晶品質評価 (NDT 基板)	24
図 3.1-32	カソードルミネッセンス法による結晶品質評価 (住友基板)	24
図 3.1-33	検出素子の厚膜化へ向けた取り組み (CO ₂ 添加)	25
図 3.1-34	成長率の CO ₂ 濃度依存性	25
図 3.1-35	原子カシステムデバイス会議 (2017 年 2 月 20 日、於 産総研 関西センター)	26
図 3.1-36	マスクライナー (MIKASA, MA-20)	27
図 3.1-37	電子線及び抵抗加熱蒸着装置	27
図 3.1-38	高速昇温電気炉 (FULL-TECH, FT-01VAC-30)	28
図 3.1-39	電極、絶縁膜製作用 RF スパッタリング装置 (Pascal, ST-3SC-S)	28
図 3.1-40	北海道大学が所有する装置を使用した MESFET 製作支援	29
図 3.1-41	フォトリソグラフィーに使用した装置群	30
図 3.1-42	アニールに使用した真空炉	30
図 3.1-43	使用した RF スパッタリング装置	31
図 3.1-44	EDP 社製 4mm 角 ダイヤ基板	31
図 3.1-45	絶縁膜の成長温度とデポレート	31
図 3.1-46	フォトリソグラフィー、メタライズ、アニール等の製作作業を分担	32
図 3.1-47	作製したデバイスの光学顕微鏡像 (a) とその評価結果 (b)	32
図 3.1-48	合成チャンバーをフルメタルシールドタイプに改造を施したマイクロ波プラズマ CVD 装置 (セキテクノトロン ASTeX 型 AX5010-INT-SDSJD-2589)	33
図 3.1-49	単結晶ダイヤモンド Ib 基板上 CVD 合成膜の微分干渉顕微鏡像	34
図 3.1-50	カソードルミネッセンス法による測定結果例	35
図 3.1-51	測定領域 (SEM 像)	35
図 3.1-52	RF 電源、パイオクリンカードリッジ、ロータリーポンプ	36
図 3.1-53	カソードルミネッセンスによる結晶性の評価	36
図 3.1-54	整備した ¹¹ B ドープ p+型ダイヤモンド合成装置	37
図 3.1-55	¹¹ B ドープ p 型ダイヤモンドを合成中の様子	38
図 3.1-56	カソードルミネッセンス法により結晶性を評価した結果	38
図 3.1-57	合成したダイヤモンド結晶の合成前後における顕微鏡写真	38
図 3.1-58	合成技術を開発した ¹¹ B ドープ p 型ダイヤモンドによる電子デバイスの作製手順	39

図 3.1-59	¹¹ B ドープ p 型ダイヤモンドのカソードルミネッセンス法による結晶性の評価	39
図 3.1-60	ホール効果測定により半導体特性を評価した結果例	40
図 3.1-61	X 線照射装置(Regaku, 4037B) (左)、使用した X 線管ターゲット(Cr) (右)	41
図 3.1-62	FT-IR 装置 (JASCO、FT/IR-4600)	41
図 3.1-63	FT/IR-4600 で測定した吸光度	42
図 3.1-64	FT/IR-4600 で測定した透過度	42
図 3.1-65	X 線照射実験体系	43
図 3.1-66	電子部品の高温動作試験装置	44
図 3.1-67	コンスタンタン(Cu-Ni)、炭素をベースとした抵抗素子の作製手順	45
図 3.1-68	高温誘電体を使用したキャパシタの作製手順	45
図 3.1-69	FET パッケージの高温動作特性(実験系の概要)	46
図 3.1-70	FET パッケージの高温動作特性(評価結果)	46
図 3.1-71	作製した抵抗素子の外観と高温動作特性結果例	47
図 3.1-72	作製したコンデンサの外観と高温動作特性結果例	48
図 3.1-73	試作したコンデンサの構造	49
図 3.1-74	静電容量の X 線照射量依存性	49
図 3.1-75	コンデンサに対する X 線照射影響(レーザー顕微鏡像)	49
図 3.1-76	抵抗の X 線照射量依存性	49
図 3.2-1	パッシベーション膜を導入したダイヤモンド MEFSET	51
図 3.2-2	パッシベーション膜を導入したダイヤモンド MEFSET の電流・電圧特性	51
図 3.2-3	素子分離・加熱処理工程を導入したダイヤモンド MEFSET の電流・電圧特性	52
図 3.2-4	素子分離・加熱処理工程を導入したダイヤモンド MEFSET	53
図 3.2-5	長ゲート幅化にともなうダイヤモンド MEFSET の各モデルの写真	55
図 3.2-6	最大ドレイン電流のゲート幅依存性	56
図 3.2-7	相互コンダクタンスのゲート幅依存性	56
図 3.2-8	出力抵抗のゲート幅依存性	57
図 3.2-9	ソース・ゲート容量のゲート幅依存性	57
図 3.2-10	耐放射線ダイヤモンド MEFSET の電気特性と図 3.2-10(b) 7 つの基板に形成した抵抗体の設計抵抗値と実測値の比較	59
図 3.2-11	モノリシック回路用ダイヤモンドチップの素子配置と回路図及び試作回路の信号特性	60
図 3.2-12	ハーフィンチサイズダイヤモンドウェハ上に形成したダイヤモンド MEFSET	62
図 3.2-13	ハーフィンチサイズダイヤモンドウェハ上に作製した MEFSET のソース・ゲート及びゲート・ドレイン間特性	62
図 3.2-14	ハーフィンチサイズダイヤモンドウェハに試作したダイヤモンド MEFSET の電気特性	63
図 3.3-1	簡易核種弁別手法評価結果(波高値スペクトル)	64
図 3.3-2	試作積層検出器の波高値スペクトル測定例	65
図 3.3-3	北大製大型ダイヤモンド半導体素子(レーザー顕微鏡写真)	66

図 3.3-4	積層検出器用の 1 層分の製作方法及び上面図	67
図 3.3-5	改良積層構造	68
図 3.3-6	ダイヤモンド積層素子写真	68
図 3.3-7	ダイヤモンド検出器の構造図及び写真	68
図 3.3-8	積層ダイヤモンド検出器による簡易核種弁別手法評価結果 (20 分間測定)	69
図 3.3-9	線量率線形性評価結果	70
図 3.3-10	照射試験体系	70
図 3.3-11	波高値スペクトルの積算線量依存性	70
図 3.3-12	200°C48 時間試験体系	71
図 3.3-13	200°C48 時間前後の波高値スペクトル	71
図 3.3-14	230°C3 時間試験の波高値スペクトル	72
図 3.3-15	ダイヤモンド前置増幅器結合試験体系	73
図 3.3-16	ダイヤモンド前置増幅器結合試験における出力波形	73
図 3.3-17	放射線検出器とチャージアンプの等価回路	75
図 3.3-18	前置増幅器回路図	75
図 3.3-19	ダイヤモンド MESFET を用いたソース接地アンプ回路図	76
図 3.3-20	前置増幅器 (初段) オープンループゲイン	76
図 3.3-21	放射線検出器出力パルス入力時のチャージアンプ入力信号及び出力信号のシミュレーション結果	77
図 3.3-22	シールドによる環境雑音対策	77
図 3.3-23	擬似パルスを用いたプリアンプ単体評価系	78
図 3.3-24	230°Cにおける擬似パルス試験評価結果	78
図 3.3-25	耐放射線試験の様子	80
図 3.3-26	RIEDON 社製チップ抵抗 (10M Ω) の耐放射線試験結果	80
図 3.3-27	KOA 社製リード抵抗 (10M Ω) の耐放射線試験結果	81
図 3.3-28	KOA 社製リード抵抗 (10M Ω) の耐熱試験結果	81
図 3.3-29	前置増幅器出力パルス高に対するバイアス抵抗の影響	82
図 3.3-30	230°C環境下での抵抗・キャパシタの素子値変化	83
図 3.3-31	放射線照射による受動素子への影響	84
図 3.3-32	放射線照射による基板への影響	84
図 3.3-33	5MGy 放射線照射前後のダイヤモンド FET 電流・電圧特性	85
図 3.3-34	48 時間 200°C耐熱試験評価系	86
図 3.3-35	耐熱試験前後のダイヤモンド FET 電流・電圧特性比較	86
図 3.4-1	NIMS 型プラズマ CVD システムの概略図	88
図 3.4-2	測定に用いた高温プローバ	88
図 3.4-3	MESFET のトランジスタ動作静特性 (a), (b) I_d-V_{sd} 特性、(c), (d) I_d-V_G 特性	89
図 3.4-4	X 線照射によるドレイン電流低下モデル	90
図 3.4-5	Ib、IIa 基板表面に作製した MESFET の X 線照射前後のドレイン電流変化	90
図 3.4-6	100kGy の X 線照射前後の表面伝導層 $I-V$ 特性	90

図 3.4-7	X 線照射後に短絡したキャパシタの割合と電極直径及びアルミナ膜厚との関係	91
図 3.4-8	ゲート絶縁膜へのポストアニールを施した MISFET の静特性	92
図 3.4-9	典型的なダイヤモンド MISFET のトランジスタ動作静特性	92
図 3.4-10	パッケージにマウントした MISFET の外観	92
図 3.4-11	MIM キャパシタの断面構造	93
図 3.4-12	MIM キャパシタの典型的な (a) 容量電圧及び (b) 容量周波数特性 (アルミナ膜厚 50nm, 電極直径 300 μ m、X 線照射前)	94
図 3.4-13	各電極直径における平均容量 (アルミナ膜厚 50nm、X 線照射前)	94
図 3.4-14	¹¹ B ドープ p 型ダイヤモンドのホール効果温度依存性 (a) 比抵抗、(b) キャリア濃度	95
図 3.4-15	超高温フローバシシステムの外観	97
図 3.4-16	高温下での pn ダイオードの I-V 特性	97
図 3.5-1	第 6 回技術報告・検討会のアジェンダ	98
図 3.5-2	第 6 回技術報告・検討会の会議写真	98

略語一覧

ABWR: Advanced Boiling Water Reactor (改良型沸騰水型軽水炉)
ALD: Atomic Layer Deposition (原子層堆積法)
Au: Aurum (金)
B: Boron (ホウ素)
BS: BootStrap (ブートストラップ)
CAMS: Containment Atmospheric Monitoring System (原子炉格納容器内雰囲気モニタ)
CAScode: Cascade connection triode(三極素子の縦続接続)
C: Capacitor(静電容量[電気回路素子])、Capacitance(静電容量[物理量])
 C_{BS} : Boot Strap C (ブートストラップ静電容量)
CCD: Charge Coupled Device (電荷結合素子)
 C_{DS} : ドレイン(D:Drain)電極とソース(S:Source)電極間におけるC(静電容量)
CdTe: Cadmium Telluride (カドミウムテルライド)
 C_F : Feedback C (帰還静電容量)
 C_{FBLK} : Feedback Blocking C (帰還経路内直流遮断静電容量)
 C_{GD} : ゲート(G:Gate)電極とドレイン(D:Drain)電極間におけるC(静電容量)
 C_{GS} : ゲート(G:Gate)電極とソース(S:Source)電極間におけるC(静電容量)
CIP: Cold Isostatic Pressing (冷間等方圧装置)
CL: Cathode Luminescence (カソードルミネッセンス)
CNRS: Centre national de la recherche scientifique (フランス国立科学研究センター)
Cr: Chrome (クロム)
 $Cs-137$: Caesium-137 (セシウム-137)
CS: Common Source (ソース接地)
CSCAS: CS+CAScode
CSEFCASBS: CS+Emitter Follower+CAS+BootStrap
C-V: Capacitance-Voltage (静電容量-電圧)
CVD: Chemical Vapor Deposition (化学気相成長)
E6: Element Six Ltd. (エレメントシックス社)
EB: Electron Beam (電子ビーム)
EDP: Excelent Diamond Products (株式会社イーディーピー)
EF: Emitter Follower(エミッタフォロワ[エミッタ(出力)がフォロワー(入力を追いかける)する])
FET: Field Effect Transistor (電界効果トランジスタ)
Ge: Germanium (ゲルマニウム)
IC: Integrated Circuit (集積回路)
I-V: Intensity of current-Voltage (電流-電圧)
 I_{DS} : ソース(S: Source)電極からドレイン(D: Drain)電極に流れる電流(I: Intensity of Current)
 V_{DS} : ソース(S: Source)電極を基準とした(D: Drain)電極の電位(V: Voltage)
 V_G : ゲート(G: Gate)電極の電位(V: Voltage)

MCA: Multi Channel Analyzer (マルチチャンネルアナライザ)
MESFET: Metal-Semiconductor Field-Effect Transistor (金属-半導体電界効果トランジスタ)
MI: Mineral Insulator (無機絶縁)
MIM: Metal-Intrinsic diamond-Metal (金属-イントリンシックダイヤモンド-金属)
MIMSFET: Metal-Insulator-Metal-Semiconductor Field-Effect Transistor (金属-絶縁体-金属-半導体電界効果トランジスタ)
MISFET: Metal-Insulator-Semiconductor Field-Effect Transistor (金属-絶縁体-半導体電界効果トランジスタ)
Mo: Molybdenum (モリブデン)
MWCVD: Microwave Plasma Chemical Vapor Deposition (マイクロ波プラズマ気相成長法)
NIMS: National Institute for Materials Science (物材機構、物質・材料研究機構)
p: positive charge (正電荷)
Pd: Palladium (パラジウム)
RBWR: Resource-Renewable Boiling Water Reactor (資源再生型沸騰水型炉)
R: Resistor (抵抗器[電気回路素子])、Resistance (抵抗値[物理量])、
R_{BIAS}: BIAS Resistor (バイアス抵抗)
R_{EF}: Emitter Follower Resistor (エミッタフォロワ抵抗)
R_F: Feedback Resistor (帰還抵抗)
RF: Radio Frequency (高周波)
Ru/Au: Ruthenium/Aurum (ルテニウム/金)
SIMS: Secondary Ion Mass Spectrometry (二次イオン質量分析法)
SUS: Steel Use Stainless (ステンレス鋼)
TEG: Test Element Group (試験素子群)
Ti: Titanium (チタン)

概略

福島第一原子力発電所の事故により、過酷事故対応可能な原子炉用半導体装置が求められている。本研究開発事業は、原子炉圧力容器内を除く原子炉格納容器内で使用可能なダイヤモンド半導体デバイスとその使用機器の将来的な実現を目的とする。

本研究開発事業は、原子炉用耐放射線・高温動作計測システム開発の第一段階として、ダイヤモンドγ線検出器とダイヤモンド電界効果トランジスタ(FET: Field Effect Transistor)を用いた前置増幅器からなる原子炉格納容器内雰囲気モニタ(CAMS: Containment Atmospheric Monitoring System)のプロトタイプの開発並びに耐放射線ダイヤモンド IC の要素技術開発を目標とした。

具体的到達目標として過酷事故対応で求められる、耐熱温度:230°C以上、積算線量:5MGy 以上の達成を目指した。努力目標として可能な限り動作温度:300°Cに近づくことを目指した。また圧力容器内を除く原子炉格納容器内での使用を念頭に、動作温度:500°C、積算線量:10MGy を満たす電子デバイス実現の要となるダイヤモンド IC(Integrated Circuit: 集積回路)等の要素技術開発としてダイヤモンド基板上へのキャパシタ、抵抗製作技術等を開発した。

本成果報告書では、4 ヶ年計画の各年度の業務の実績を述べる。

1. はじめに

福島第一原子力発電所の事故により、過酷事故対応可能な原子炉用半導体装置が求められている。本開発では原子炉压力容器内を除く原子炉格納容器内で使用可能なダイヤモンド半導体デバイスとその使用機器の開発を目指した。図 1-1 に原子炉用半導体装置と福島事故以前の設計基準を示す。従来の設計基準を超える、動作温度:230°C以上、許容線量:5MGy の過酷環境に耐えるγ線計測システムのプロトタイプの開発を行った。表 1-1 に開発する原子炉格納容器内雰囲気モニタ(CAMS: Containment Atmospheric Monitoring System)の達成目標を示す。

将来的な適用対象としてナトリウム冷却高速炉並びに水冷却高速炉を想定した。水冷却高速炉の一つである資源再生型沸騰水型炉(RBWR: Resource-Renewable Boiling Water Reactor)では、既存の改良型沸騰水型軽水炉(ABWR: Advanced Boiling Water Reactor)の核・プロセス計装が踏襲されることから、これらの技術は広く軽水炉での使用も可能となる。コア技術となるダイヤモンドγ線検出器、ダイヤモンド FET については平成 24 年度原子力システム研究開発事業で要素技術開発に成功し、耐放射線性能、高温動作とも、要求性能に対して余裕を持って対応可能である。図 1-2 にダイヤモンドγ線検出器とダイヤモンド FET を用いて開発する CAMS の概要を示す。

压力容器内を除く原子炉格納容器内での使用を念頭に、動作温度:500°C、積算線量:10MGy を満たす電子デバイス実現の要となるダイヤモンド IC 等の要素技術開発も進めた。

福島事故以前の原子炉格納容器内使用機器の設計基準: 220°C、2MGy (軽水炉)

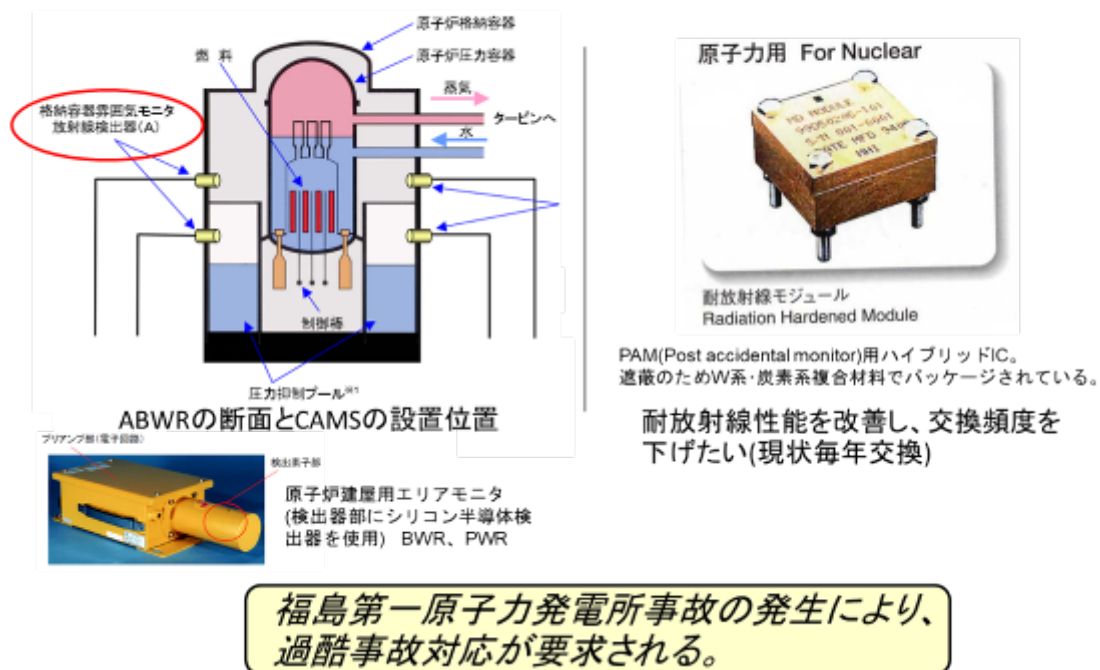


図 1.1 原子炉用半導体装置とその設計基準

表 1-1 達成目標(原子炉格納容器内雰囲気モニタ)

動作上限温度	230°C (最初の3時間、以降200°C。短期目標) 300°C (長期目標)
許容線量	5MGy、72時間
測定レンジ	10^{-2} Sv/h \sim 10^5 Sv/h

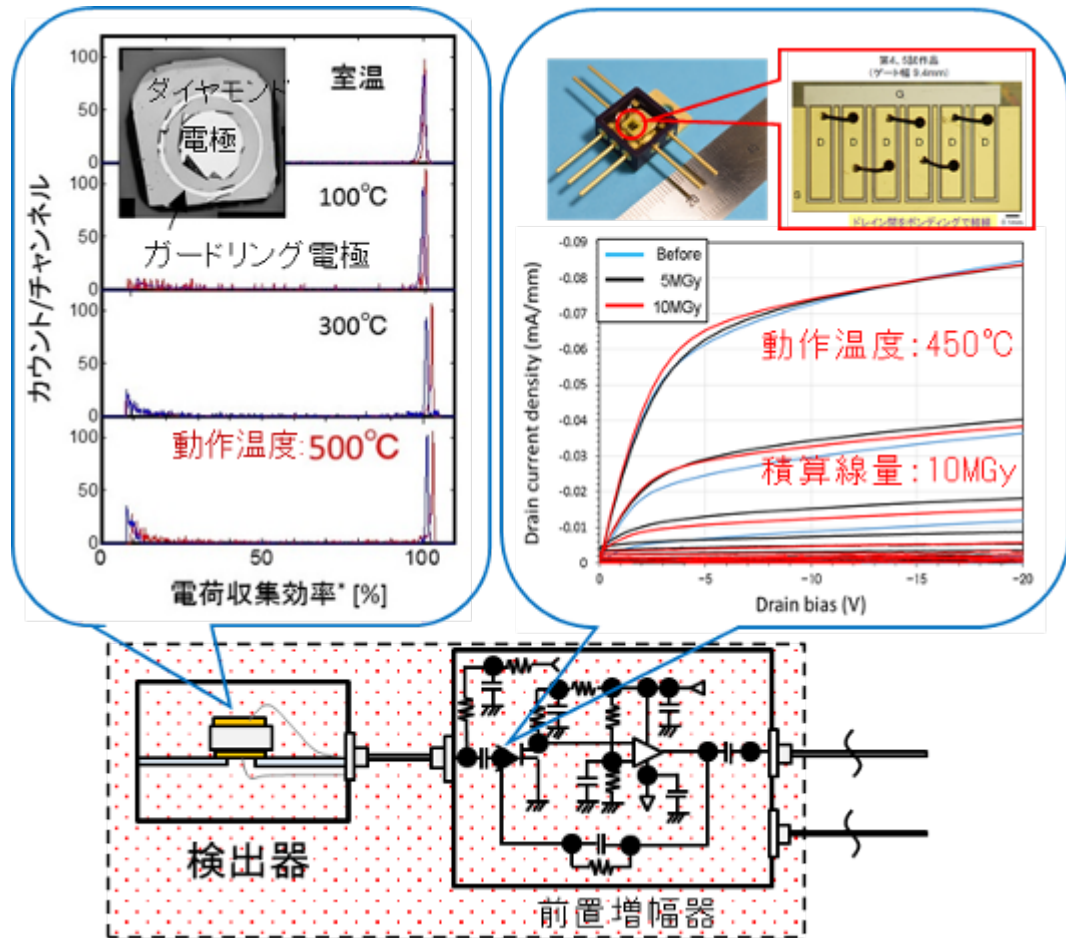


図 1.2 原子炉格納容器雰囲気モニタ (CAMS)

2. 業務計画

2.1 全体計画

図 2.1 に研究開発事業全体における年度別全体計画を示す。

年度	平成28年度	平成29年度	平成30年度	令和元年度
項目				
(1) ダイヤモンドγ線検出器の開発とダイヤモンドMESFET・ダイヤモンドIC開発の支援(北海道大学)				
①ダイヤモンドγ線検出器の開発		合成条件探索		
		基板製作技術・複数枚同時合成技術等開発		
		検出素子製作・基本性能評価等		
			結晶合成と支給・日立製作所支援	
②ダイヤモンドMESFET開発の支援	プロセス訓練・準備		MESFET製作支援	
③ ¹¹ Bドーパ型ダイヤモンド合成技術の開発	装置改造・新規装置導入			
		合成条件の探索		
④X線照射実験		X線照射		
⑤高温用電子部品の要素技術開発	仕様・プロセス検討		試作・評価	
(2) ダイヤモンドMESFET作製技術の確立とダイヤモンドICの要素技術開発(産業技術総合研究所)				
①ダイヤモンドMESFETの開発	MESFETの構造設計			
	p型ドリフト層のドーピング濃度・膜厚制御技術開発			
		高利得化を目指したデバイスプロセス開発		
②ダイヤモンドICの要素技術開発	仕様・プロセス検討			
		キャパシタ、抵抗等の試作と評価		
		モノリシック回路の試作と評価		
③ダイヤモンドγ線検出器開発と ¹¹ Bドーパ型ダイヤモンド合成技術開発の支援		γ線検出器・ ¹¹ Bドーパ型ダイヤモンド技術開発	支援	
(3) 原子炉格納容器内雰囲気モニタプロトタイプの開発(日立製作所)				
①GAMS用ダイヤモンドγ線検出器の開発	モンテカルロシミュレーション	検出器の製作と基本特性評価		
			高温動作試験 耐放射線性試験等	
②GAMS用ダイヤモンド前置増幅器の開発	回路シミュレーション	回路プロトタイプ試作・評価		
			回路試作・評価	
				モニタプロトタイプ評価
③回路系材料の耐熱・耐放射線試験	評価部品選定	試験装置準備	耐熱試験	
			γ線照射	
(4) MIMSFETの耐放射線性能向上とダイヤモンドIC要素技術開発の支援(物質・材料研究機構)				
①MIMSFETの耐放射線性能向上	誘電体材料の検討		素子の試作と評価	
②GAMS用ダイヤモンド前置増幅器開発の支援		MIMSFETもしくはMISFETの製作と支給		
③ダイヤモンドIC要素技術開発の支援	仕様・プロセス検討	ダイヤモンドIC要素技術開発 支援		
④ダイヤモンド半導体デバイスの上限動作温度の探求	評価測定系の整備	半導体ダイヤモンドデバイスの600℃までの動作特性評価	半導体ダイヤモンドデバイスの900℃までの動作特性評価	高温電気特性測定系改造による動作上限温度の評価
(5) 研究推進	技術評価委員会の開催	技術評価委員会の開催	技術評価委員会の開催	技術評価委員会の開催
	まとめ	まとめ	まとめ	まとめ

図 2.1 研究開発事業全体における年度別全体計画

2.2 令和元年度の成果の目標及び業務の実施方法

2.2.1 ダイヤモンド γ 線検出器の開発とダイヤモンド MESFET・ダイヤモンド IC 開発の支援

(1) ダイヤモンド γ 線検出器の開発

CAMS 用ダイヤモンド γ 線検出器(動作温度:230°C以上、積算線量:5MGy 以上等)用として必要となるダイヤモンド単結晶もしくはダイヤモンド素子を日立製作所に供する。平成 30 年度に引き続きダイヤモンド合成技術の改良を継続する。また、平坦表面と電荷キャリア輸送特性に優れた結晶合成法・合成条件の探索も継続して実施する。合成したダイヤモンドを産総研に供し、カソードルミネッセンス法による結晶品質評価後、リフトオフ法により自立膜化する。自立膜化した結晶から検出器を製作し、電荷収集効率等を測定・評価する。これらの情報に基づき合成条件の改善を進める。積層型検出器を試作し性能を評価する。日立製作所からの要請に従い、検出器開発を支援する。

(2) ダイヤモンド MESFET 開発の支援

産総研が行う MESFET (Metal-Semiconductor Field-Effect Transistor:金属-半導体電界効果トランジスタ)の開発支援として、北海道大学においてフォトリソグラフィー、メタライズ、アニール等の製作作業を分担する。MESFET の試作プロセス及び評価技術について産総研と共有し、人材の交流、教育を通して試作を進める。

(3) ^{11}B ドープ p 型ダイヤモンド合成技術の開発

^{11}B ドープ p 型ダイヤモンドの合成と評価を継続する。合成した p 型ダイヤモンドを産総研に供し、カソードルミネッセンス法により結晶性の評価、物材機構に供し、ホール測定により半導体特性を評価し、その結果に基づき合成条件を改善する。

(4) X 線照射実験

産総研より供された評価試料、物材機構より供された評価試料に対して、北海道大学にて X 線を照射する。

(5) 高温用電子部品の要素技術開発

500°Cで動作可能な高温用電子部品の成立可能性検証として抵抗、コンデンサ等を試作し高温動作特性を評価する。また、X 線照射試験も行う。

2.2.2 ダイヤモンド MESFET 作製技術の確立とダイヤモンド IC の要素技術開発

(再委託先: 産総研)

(1) ダイヤモンド MESFET の開発

日立製作所が開発する CAMS 用ダイヤモンド FET 前置増幅器の目標性能(動作温度:230°C以上、積算線量:5MGy 以上等)を達成可能なダイヤモンド MESFET の開発と供給を行うため、プロセスにおける実用化要素技術を開発する。ゲート・ソース・ドレインの各電極パッド間に

絶縁膜を形成し、表面保護層を形成することによりトランジスタ動作特性の安定化が可能であるかを調査する。また、平成 29、30 年度に確立した大型ゲート構造、低抵抗ソース・ドレイン構造を用い、更にパッシベーション膜を有する 30mm 以上のゲート幅を有するデバイスプロセスを統合したダイヤモンド MESFET を試作し、電気特性を評価する。試作した MESFET は日立製作所に供する。北海道大学と MESFET の試作プロセス及び評価技術について共有し、人材の交流、教育を通して試作を進める。

(2) ダイヤモンド IC の要素技術開発

ダイヤモンド IC の要素技術開発として、ワンチップ内に増幅回路用であるダイヤモンド MESFET とともに抵抗を同時に搭載し回路利用が可能であるかを調査する。増幅回路用抵抗として MESFET もしくはダイヤモンド抵抗体を用い、同一基板上にモノリシックダイヤモンド回路を試作し電気特性を評価する。

また、ダイヤモンド IC の安定供給及び低価格化を目的としてハーフインチウェハ上にプロセスが実施可能であるかを調査する。調査にはハーフインチ専用プロセス設備であるミニマルファブを用い、ダイヤモンド MESFET を試作して電気特性を評価する。

(3) ダイヤモンド γ 線検出器開発と ^{11}B ドーピング型ダイヤモンド合成技術開発の支援

北海道大学が行うダイヤモンド γ 線検出器開発の支援として、リフトオフ法によるダイヤモンドの自立膜化、カソードルミネッセンス測定、ホール測定等を分担する。

2.2.3 原子炉格納容器内雰囲気モニタプロトタイプの開発(再委託先：日立製作所)

(1) CAMS 用ダイヤモンド γ 線検出器の開発

北海道大学より供されるダイヤモンド結晶、ダイヤモンド素子を用いて、平成 30 年度に実施した性能評価を反映した CAMS 用ダイヤモンド γ 線検出器を試作し、産総研より供されるダイヤモンド FET を使用した前置増幅器と組み合わせてエネルギー弁別性能、耐熱性及び耐放射線性について確認試験を実施する。

(2) CAMS 用ダイヤモンド前置増幅器の開発

平成 30 年度に試作したダイヤモンド FET を用いた前置増幅器を元に、北海道大学より供される検出器用ダイヤモンドを用いた CAMS 用ダイヤモンド γ 線検出器と組み合わせ評価試験を実施するための試作を実施し、性能評価を実施する。CAMS 放射線モニタとしての本開発システムの有効性を評価・検討する。

(3) 回路系材料の耐熱・耐放射線試験

平成 29 年度及び平成 30 年度に検討した CAMS 用ダイヤモンド前置増幅器への適用可能性検証結果を踏まえ、必要に応じ改良検討を行い、耐熱及び γ 線照射試験を実施する。

2.2.4 MIMSFET の耐放射線性能向上とダイヤモンド IC 要素技術開発の支援

(再委託先:物材機構)

(1) MIMSFET の耐放射線性能向上

MIMSFET のゲート誘電体材料であるアルミナ層を原子層堆積法 (ALD) 成膜後の高温アニールにより形成する。FET 素子構造を形成しトランジスタ静特性を測定した。作製した素子を北海道大学に供し X 線を照射する。照射前後の電気特性の変化を調べて MIMSFET の耐放射線性を評価する。評価結果をフィードバックして耐放射線性の向上を図る。

100mA 超級ダイヤモンド MISFET (ノーマリーオン) を作製し日立製作所に提供する。

(2) ダイヤモンド IC 要素技術開発の支援

平成 30 年度に引き続き、産総研が行うダイヤモンド表面でのキャパシタデバイス作製に関して物材機構が持つノウハウを提供して技術的支援及び容量特性評価を行う。また、産総研が行う業務の支援として ^{11}B ドープ p 型ダイヤモンドのホール効果温度依存性を測定する。

(3) ダイヤモンド半導体デバイスの上限動作温度の探求

既存の超高温プローバシステムにより高真空中でのダイヤモンド半導体デバイスの 900°C 以上の高温動作特性を評価する。ダイヤモンド半導体デバイスとして pn 接合を対象とする。

2.2.5 研究推進

研究代表者の下で各研究項目間における連携を密にして研究を進めるとともに、広く意見を聞きながら研究を進めるため委員会を開催する。

3. 業務の実施内容及び成果

3.1 ダイヤモンド γ 線検出器の開発とダイヤモンド MESFET・ダイヤモンド IC 開発の支援【H28-R1】

3.1.1 ダイヤモンド γ 線検出器の開発

【平成 28 年度】

・複数枚合成条件の探索

北海道大学ではマイクロ波プラズマ化学気相合成(CVD)法を用いて放射線検出器グレードの単結晶ダイヤモンドの合成を行っている。これまで高圧高温合成(HP/HT)Ⅱa型ダイヤモンド単結晶基板の導入、オフ角制御、ダイレクトウェハー法により合成基板に起因する諸問題を解決してきた。また、CVD合成で制御する主な条件として合成圧力、基板表面温度、メタン濃度、RF出力等が存在するが、合成に適する圧力、温度の探査を中心に行い電荷キャリア輸送特性を主たる指標として結晶の電気特性改善を行ってきた。最新の合成条件で合成した北大製ダイヤモンド放射線検出器の電荷収集効率は正孔、電子共に概ね100%近くを達成している。このレベルの電荷収集効率を持つ単結晶CVDダイヤモンドを製造できる機関は非常に少ないため、北海道大学での使用だけでなく外部の研究機関からの供給要請も強くなっている。そこで北海道大学ではダイヤモンドを4枚同時合成可能なホルダを試作した。

この4枚合成用基板ホルダを使用し、合成温度の試験を行った。図3.1-1に4枚の成長温度の分布と試験中のプラズマ球の様子を示す。試験では4枚基板ホルダ内で基板温度の分布が存在するため4枚の合成条件を揃えることができなかった。原因としてプラズマ球の中心がホルダの中心とずれていることが図3.1-2のプラズマ球の観察から分かった。基板温度は合成膜の電荷キャリア輸送特性に大きな影響を与える。北海道大学の最新の合成条件では、基板温度850℃～900℃程度の範囲で電荷収集効率が電子正孔とも100%程度の合成膜が得られる事が分かっている。この温度範囲から合成条件が外れると電荷収集効率が劣化することが分かっている。ホルダ内の基板温度の差異は通常70℃～150℃程度で、最適とされる温度で合成できる基板は2枚程度が現状であり、最適な合成条件で4枚同時に合成することは難しい。

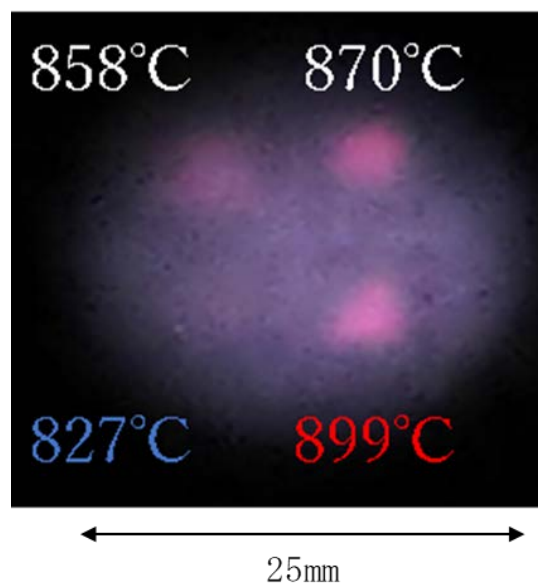


図 3.1-1 4枚基板ホルダ内の基板温度分布と直上からの写真

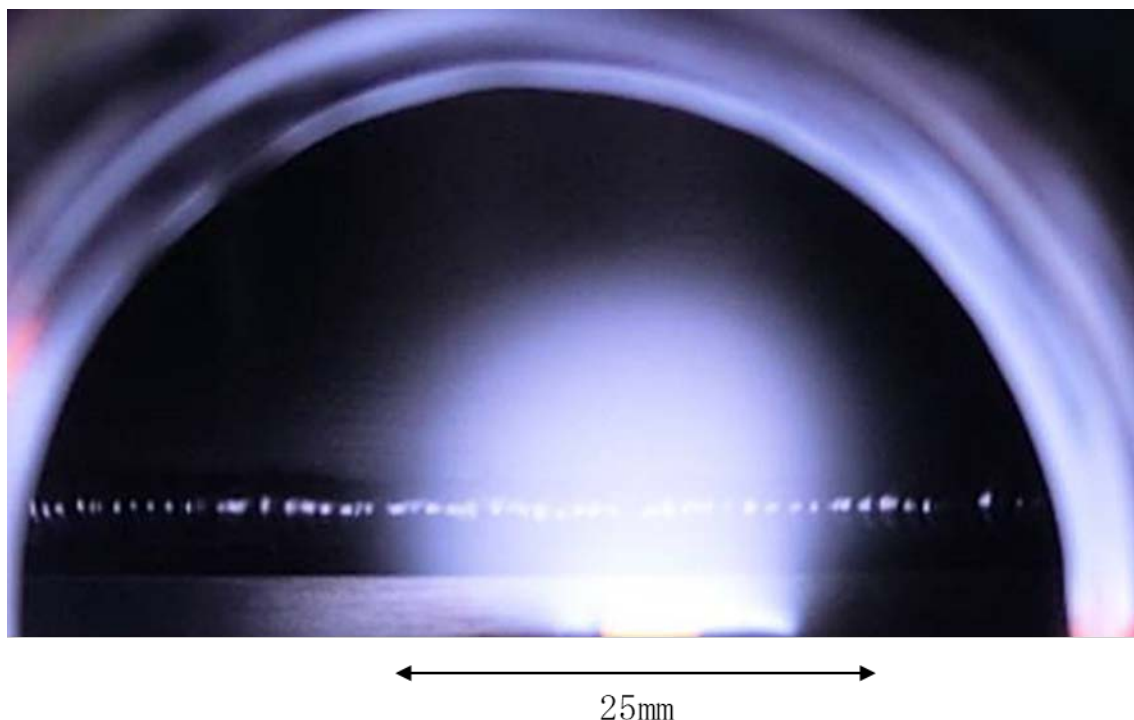


図 3.1-2 4 枚基板ホルダを使用した合成時のプラズマ球写真

この解決策として、合成時に使用する基板サイズを大型化し、自立膜化後に切断して均質な性能の結晶を複数枚得る目論見で Element Six 社製 8mm 角程度の大型基板を使用しての合成を試みた。基板の影響比較を行うため、高い電荷収集効率を得られるメタン濃度 0.2%、成長温度 850℃の合成条件を用いて合成を行った。合成した試料の微分干渉顕微鏡像を図 3.1-3(左)に示す。合成後の試料に対して行ったカソードルミネッセンス測定より得られたスペクトルを図 3.1-3(右)に示す。合成したダイヤモンドから不純物による発光スペクトルはみられず、また、強い自由励起し再結合発光を観察した。合成後の試料を産総研に供してリフトオフによって自立膜化した。気相成長後、5mm 角基板の成長層と同様に $\Phi 3\text{mm}$ の電極 (TiC/Au) をそれぞれ蒸着して検出器化し、電流-電圧 (Current-Voltage: I-V)、静電容量-電圧 (Capacitance-Voltage: C-V) 特性を評価した。室温においては 5mm 角基板の成長層と同様に整流特性は観測されず、C-V 特性から全空乏層化も確認された。図 3.1-4 に同試料の α 線誘導電荷量分布測定例を示す。電荷収集効率は正孔 99.9%、電子 99.9%であり、エネルギー分解能は正孔 0.39%、電子 0.50%を示した。従来の 5mm 角基板上に同合成条件 (メタン濃度 0.2%、成長温度 850℃) で合成した試料と比較して、電荷収集効率はほぼ同等、エネルギー分解能に関しては、正孔はほぼ同等であるが、電子についてはやや劣る結果となった。

この結果に基づき、現在使用している住友電気工業製 HP/HT IIa 型と同一プロセスで合成された大型原石を購入し、10mm 角弱の大面积が得られるオフ角付き基板を準備した。平成 29 年度に、この基板上に結晶合成を試みた。

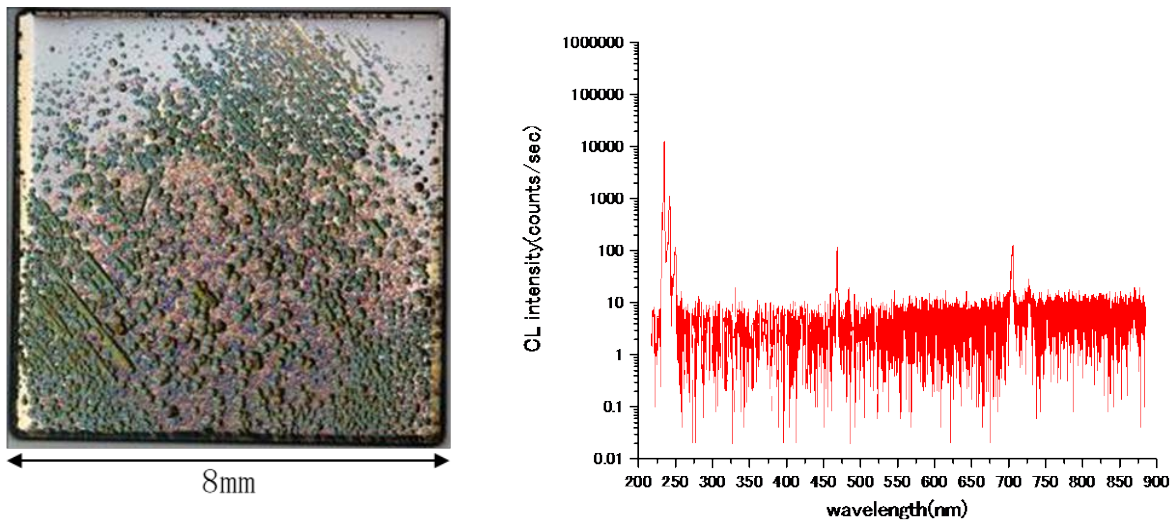


図 3.1-3 試料の微分干渉顕微鏡像(左)、カソードルミネッセンススペクトル(右)

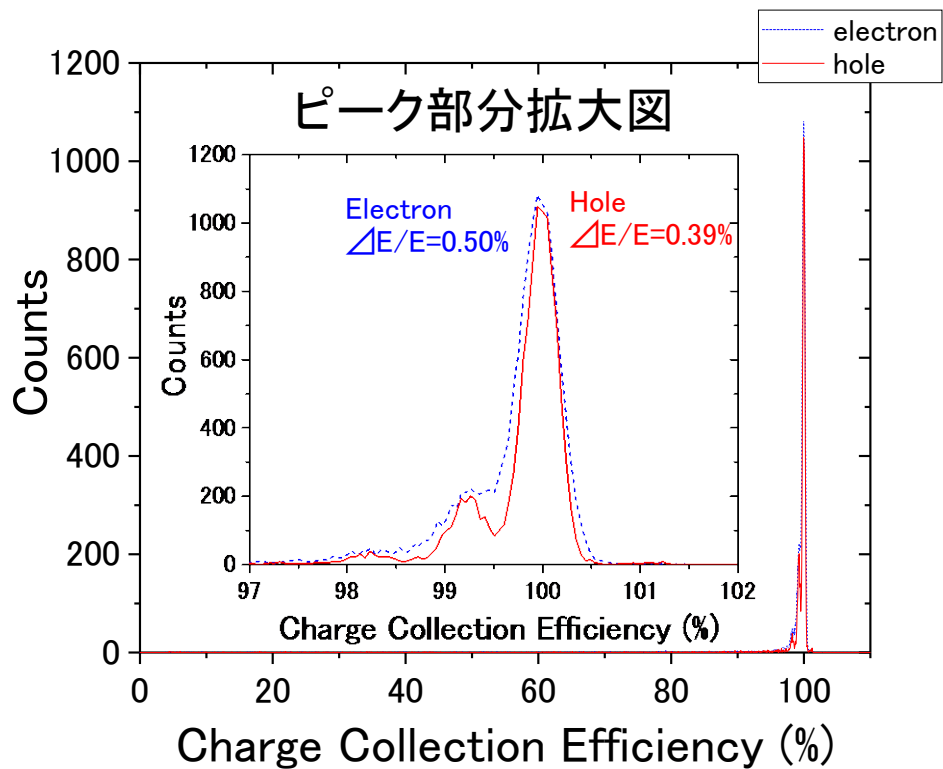


図 3.1-4 8mm 角基板上に合成した試料の α 線誘導電荷量分布測定結果

・複数回合成による厚膜化

複数回合成による結晶の厚膜化を行った。従来の合成条件では合成表面の異常成長が非常に多いため、合成の途中で成長率が低下し、一度の合成で厚膜を得ることは難しかった。そのため成長層上に複数回の CVD 合成を行うことで厚膜化を目指した。まず、ダイヤモンド基板上に低メタン濃度で CVD 合成を行い、元となる成長層を得る。この裏面に機械的強度を保つために高メタン濃度で CVD 合成を行った後、成長層の機械研磨を行う。その後更に成長層上に低メタン濃度 CVD 合成、機械研磨を繰り返し、十分な厚さに達した後成長層保持層を除

去することで電荷輸送特性に優れた厚膜を得る。元となる成長層として住友電気工業製 HP/HT IIa 型ダイヤモンド基板の上にメタン濃度 0.2% で合成を行い、 $67\mu\text{m}$ の成長層を得た。この成長層を産総研に供してリフトオフによって自立膜化した。その後、成長層裏面にメタン濃度 4% で CVD 合成を行い、成長層の保持層として約 $200\mu\text{m}$ を得た。保持層の表面微分干渉顕微鏡像を図 3.1-5 に示す。平成 29 年度、成長層に低メタン濃度での CVD 合成を行うため、成長層の研磨を行った。

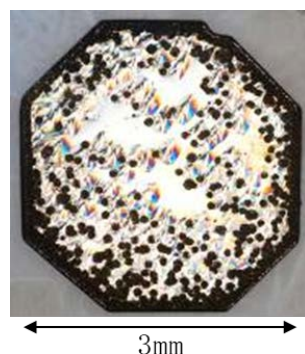


図 3.1-5 保持層の表面微分干渉顕微鏡像

・成長層表面の平坦化

基板表面の平坦化を目指し、合成条件の探索を行った。これまで、我々の研究グループは電荷キャリア輸送特性に最も優れる成長温度は $850\sim 900^{\circ}\text{C}$ であることを明らかとしてきた。しかし、この温度条件では成長層表面に逆ピラミッド型の異常成長が多量に発生し、粗面化していた。そこで、成長温度を 800°C 程度とする低温合成を試みた。図 3.1-6 に成長温度 800°C で合成した成長層表面のレーザー顕微鏡像を示す。 850°C で合成した場合の成長面と比較して、逆ピラミッド型の異常成長が減少し、比較的平坦な成長面が得られた。この線状の異常成長は、同一基板を使用した以前の合成でも同位置に確認されることから、基板起因の欠陥であると考えられる。更なる平坦化のためには更なる低欠陥の基板が必要である。また、成長温度を 900°C 以上と高く設定することによって横方向の成長を強化し、逆ピラミッド型の異常成長を埋めることをねらった試験も同時平行で、29 年度以降も継続した。

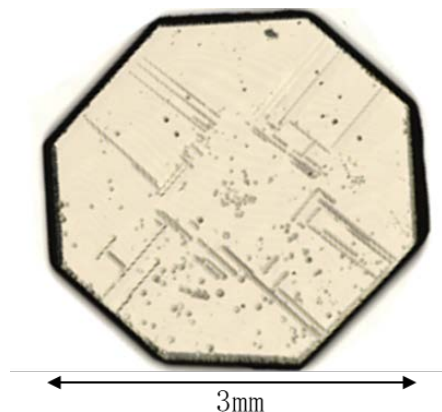


図 3.1-6 成長温度 800°C で合成した成長層表面のレーザー顕微鏡像

アンドープ単結晶ダイヤモンド用 CVD 合成装置において、合成チャンバー、基板交換用ロードロックチャンバーにそれぞれ接続されているターボ分子ポンプが故障・使用不能となったため、新品 (VARIAN, MODEL:9699290) と交換した。図 3.1-7(左)に合成チャンバー、

(右)に基板交換用ロードロックチャンバーに新たに接続したターボ分子ポンプを示す。

カソードルミネッセンス測定に関しては産総研に測定を主に依頼しているが、装置故障が発生しやすいことなどから段階的に北海道大学での独自測定を行えるように準備を進めている。平成 28 年度は北海道大学が有するカソードルミネッセンス測定装置に、試料冷却機構を追加した。図 3.1-8 に走査型電子顕微鏡(SEM)に接続されたカソードルミネッセンス測定装置に追加された冷却装置を示す。図 3.1-9 に北海道大学で合成したダイヤモンドのカソードルミネッセンス測定例を示す。

また電荷キャリア輸送特性評価で使用していたオシロスコープが老朽化のため使用不能となったため、代替となる装置を整備した。また電源関連のノイズ対策として小型ビン電源を購入した。図 3.1-10 に購入したオシロスコープ(TELEDYNE LECROY, WaveSurfer 10) (左)とミニビン電源(CLEAR-PULSE, MODEL: E6660) (右)を示す。

イオン化注入された基板の上に合成したダイヤモンド合成膜をリフトオフにより自立膜化し、両面電極作製により検出器化した。試作した検出器の ^{241}Am 線源(5.486 MeV α 線)に対する時間応答を図 3.1-11(左)に表示例、(右)に出力信号例を示す。



図 3.1-7 合成チャンバー(左)、基板交換用ロードロックチャンバー(右)に新たに接続したターボ分子ポンプ

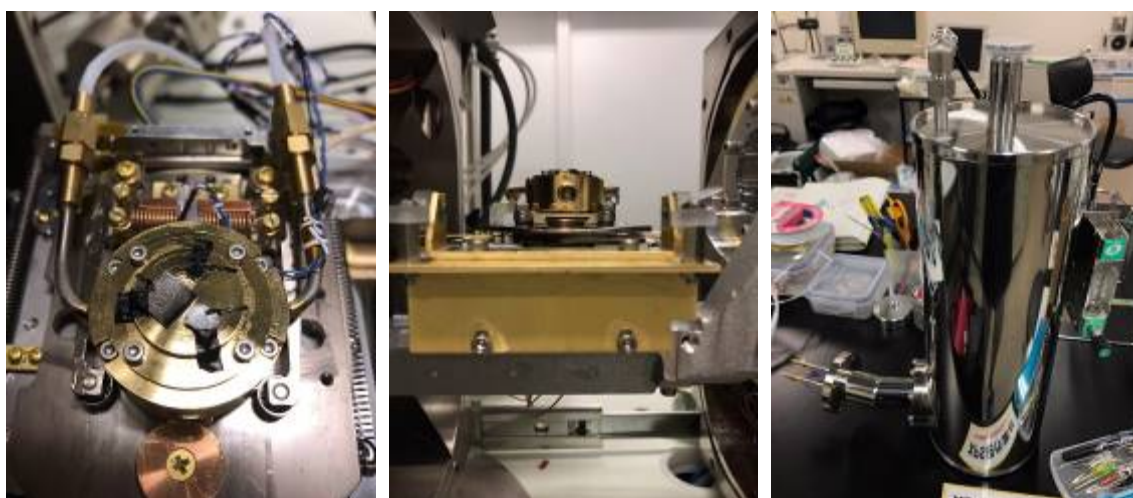


図 3.1-8 冷却用試料ホルダの上面(右)、側面(中央)及び液体窒素タンク(右)

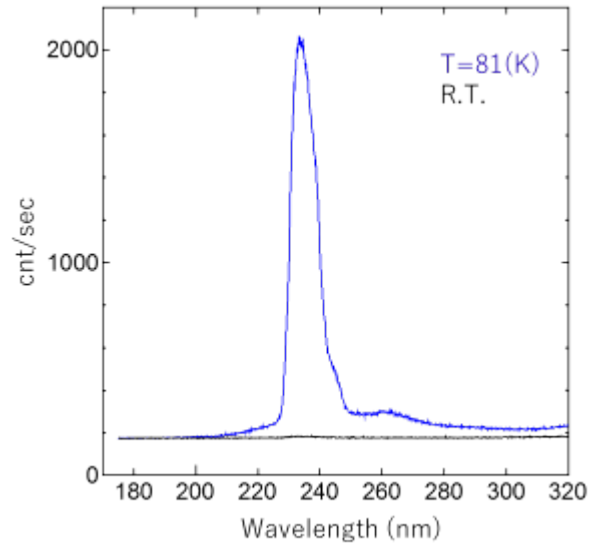


図 3.1-9 北海道大学で合成したダイヤモンドのカソードルミネッセンス測定例



図 3.1-10 オシロスコープ(TELEDYNE LECROY, WaveSurfer 10) (左)とミニビン電源(CLEAR-PULSE, MODEL: E6660) (右)

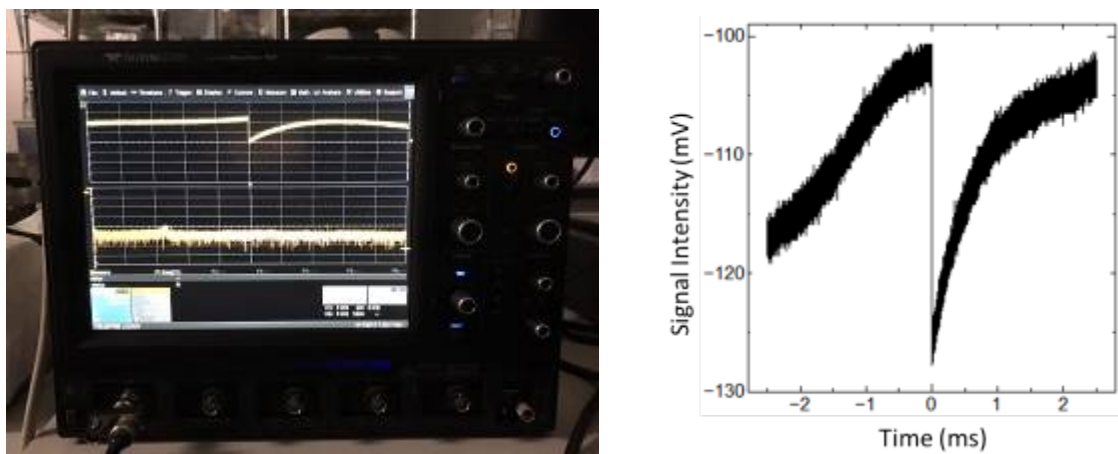


図 3.1-11 ^{241}Am 線源(5.486 MeV α 線)に対する時間応答(左)表示例と(右)出力信号例

【平成 29 年度】

CAMS 用ダイヤモンド γ 線検出器(動作温度:230°C以上、積算線量:5MGy 以上等)用として必要となるダイヤモンド単結晶を日立製作所に供した。具体的には、厚みがそれぞれ 142、131 μm の厚膜基板と、41、23 μm の薄膜基板を供した。平成 28 年度から開始したダイヤモンド合成技術の改良を継続した。具体的には、大面積基板を使用した合成技術、複数回合成による厚膜化技術等を改良した。大面積基板として図 3.1-12 に示す E6(Element Six Ltd.:エレメントシックス社)社製 8mm 角 General grade CVD(Chemical Vapor Deposition:化学気相成長)単結晶ダイヤモンドを 2 枚、比較用に住友電工製 HP/HT(High Pressure High Temperature:高温高压)Ib 型単結晶ダイヤモンド 1 枚を使用した。図 3.1-12 には北海道大学において、検出器用ダイヤモンド単結晶自立膜合成に使用している 4mm 角住友電工製 HP/HT IIa 型基板も合わせて示した。すべてのダイヤモンド単結晶基板は (001)面を<110>方向に 3 度程度傾けて機械研磨され、これらの基板上にマイクロ波プラズマ CVD 装置(ASTeX-5250)を用いホモエピタキシャル層を成長させた。合成条件はメタン濃度:0.2%、ガス圧力:110Torr、基板温度:820~850°Cであった。図 3.1-13 は CVD 基板並びに HP/HT Ib 型基板を使用して合成した試料の微分干渉像である。表面には典型的な深さ 10 μm 程度の逆ピラミッド型のくぼみがある。また、平坦表面と電荷キャリア輸送特性に優れた結晶合成法・合成条件を探索した。基板に対して事前に 3MeV の炭素イオンを 2×10^{16} ion/cm² 注入し、合成したダイヤモンドを産総研に供し、CL(Cathode Luminescence:カソードルミネッセンス)法による結晶品質評価後、リフトオフ法により自立膜化した。図 3.1-14 にカソードルミネッセンス法による結晶品質評価の結果を示す。ダイヤモンドの禁制帯幅に対応するエネルギーの波長において強い自由励起子再結合発光が観測され、高い結晶品質が示された。図 3.1-15 にリフトオフ法による自立膜化の方法を示す。ダイヤモンド基板に炭素イオン注入を行い、グラファイト層を形成し、次に CVD 合成を行い基板上に成長層を得た。その後、炭素イオン注入層を化学的エッチングで除去し、成長層と基板との分離、すなわちリフトオフを完了した。

自立膜化した結晶から検出器を製作し、CCE(Charge Collection Efficiency:電荷収集効率)等を測定・評価した。図 3.1-16 にダイヤモンド検出器の作製例とその測定体系を示す。各試料に対して重クロム酸処理により表面を酸素終端化した後、試料中央部の両面にそれぞれ厚さ 100nm の TiC/Au オーミック電極、Al ショットキー電極を作製し、銀ペースト、金線により SMA レセプタクルと結線し検出器化した。

これらの実験から得られた情報に基づき合成条件の改善を進めた。具体的には、基板温度:812、860°Cで得られたダイヤモンド単結晶自立膜から検出器をそれぞれ作製し、電荷キャリア輸送特性として $\mu\tau$ (キャリア移動度-寿命積)積を評価したところ 860°Cで合成した結晶の方が優れた値を示した。

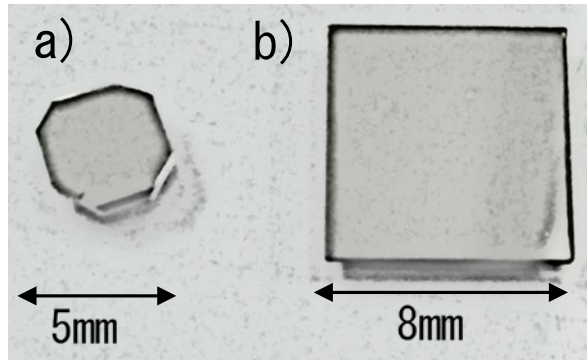


図 3.1-12 E6 社製 8mm 角 General grade CVD 単結晶ダイヤモンドと 4mm 角住友電工製 HP/HT IIa 型基板

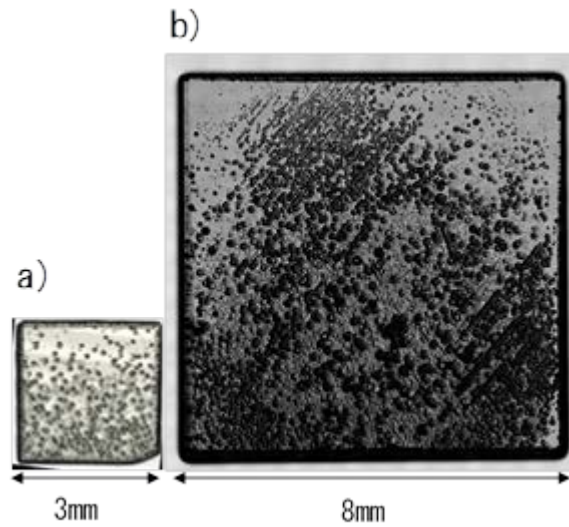


図 3.1-13 合成した試料の微分干渉像

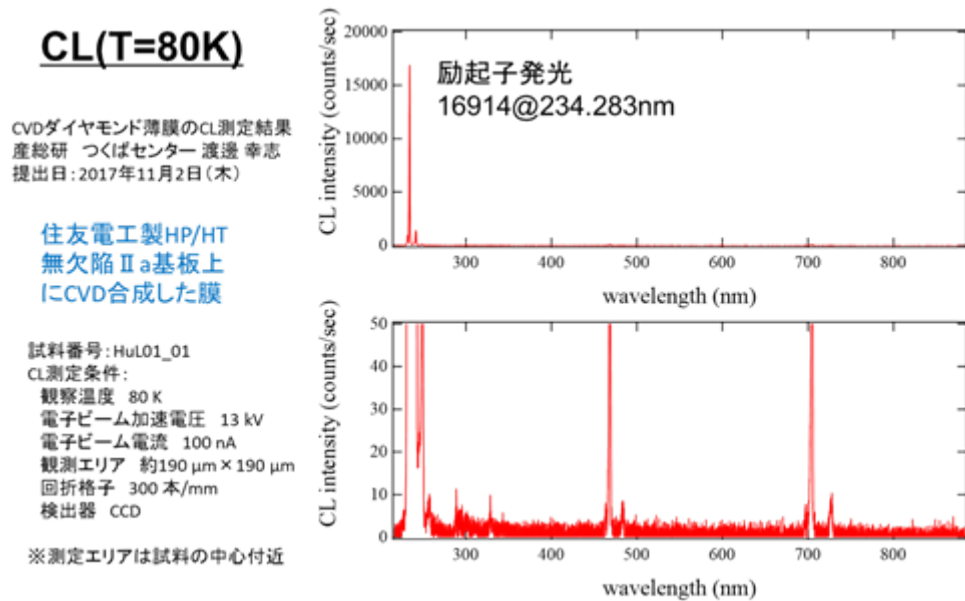
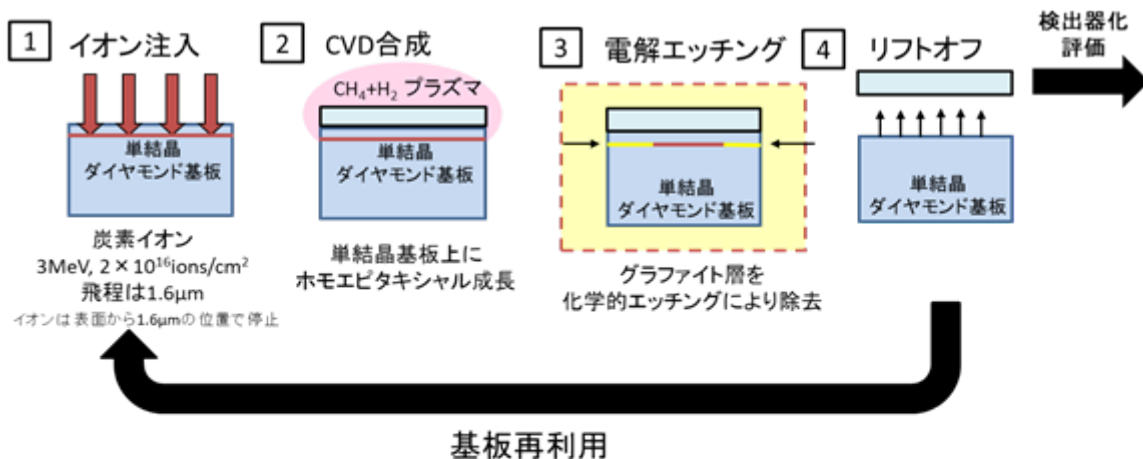


図 3.1-14 カソードルミネッセンス法による結晶品質評価結果例



*イオン注入、リフトオフプロセスは産総研関西センターの協力のもと実施

ダイレクトウエハー化プロセス[1]

[1] Y. Mokuno et al. Diamond & Related Materials 17 (2008) 415–418.

図 3. 1-15 リフトオフ法による自立膜化

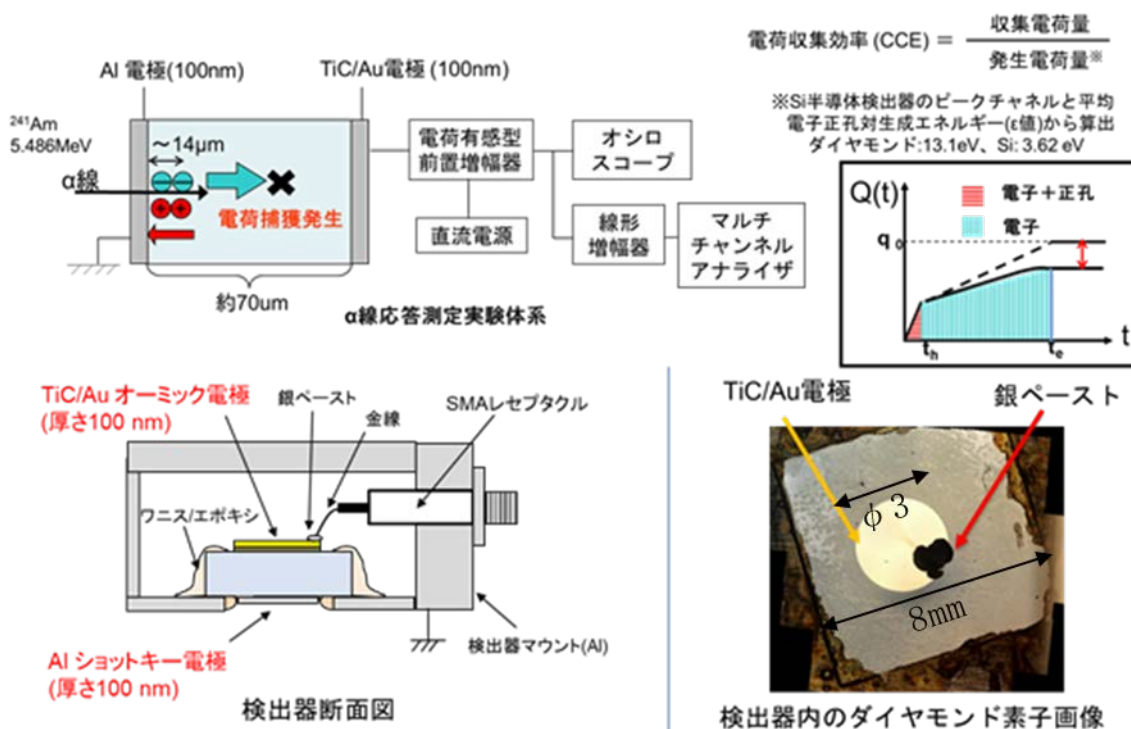


図 3. 1-16 ダイヤモンド検出器の作製例とその測定体系

【平成 30 年度】

CAMS 用ダイヤモンド γ 線検出器(動作温度:230°C以上、積算線量:5MGy 以上等)用として必要となるダイヤモンド単結晶もしくはダイヤモンド素子を産総研に供した。平成 29 年度に引き続き、ダイヤモンド合成技術の改良を継続した。その一環として図 3.1-17 に示すようにプラズマ球の状態を観察した。各種調整の結果、合成時のプラズマ球はほぼ一定の位置に固定され、マイクロ波異常によるふらつき等、位置変動が生じることは無かった。一方で、試料とプラズマの位置関係によりダイヤモンド合成面の表面形態との間に相関がみられプラズマ中心からの距離により、ダイヤモンドの合形成態が異なることを明らかにした。

大面積基板を使用した合成技術、複数回合成による厚膜化技術等を改良した。図 3.1-18 に大面積基板を使用して合成したダイヤモンド結晶とその表面状態を示す。合成したダイヤモンド結晶の表面に、異常成長が観察された。異常成長が生じた原因は、低メタン濃度の雰囲気下によりエッチングが強化され、合成中にエッチピットが生成されたことに起因するものと考えられる。図 3.1-19 に複数回合成による厚膜化技術等を改良した結果を示す。メタン濃度 4%で 3 時間、メタン濃度 2%で 6 時間と条件を変えた複数回の合成により厚膜化を試みた。複数回合成を行ったダイヤモンドを産総研に供し、カソードルミネッセンス(CL: Cathodoluminescence)法による結晶品質評価を行った。図 3.1-20 に合成したダイヤモンドの CL 測定結果を示す。250nm~300nm 程度の波長領域において、ブロードなピークが観察された。これまでの測定からこれは照射損傷が引き継がれたものと結論付けられる。波長領域が 300~500nm にかけてブロードな発光がみられた。1 回目の合成後、表面観察のため試料を大気解放したことで表面に窒素が吸着し、窒素に起因する発光が観察されたと考えられる。

また、平坦表面と電荷キャリア輸送特性に優れた結晶合成法・合成条件の探索も継続して実施した。図 3.1-21 に CVD 合成後表面の平坦化に向けた実験の概要を示す。具体的には、合成開始直後の観察と真空炉によるアニールの効果を検証した。合成開始直後における合成表面を 1 時間毎に観察した結果、1 時間合成した時点において観察された異常成長粒子が、その後の合成後の表面形態に引き継がれて成長していることが明らかとなった。今後、合成時に二酸化炭素を導入することにより、異常成長粒子をエッチングにより抑制、表面の平坦化を試みる。一方で、真空炉によるアニールの効果も検証した。イオン注入済みの基板をカーボンシート上に設置し、アルゴンをベースガスとし、水素を 4.85%添加したフォーミングガス中において、1100°Cで熱処理を行った。表面観察を行ったところ、イオン注入層が熱によりグラファイト化し、部分的に欠損が生じていることが明らかとなった。

合成したダイヤモンド結晶を基板と切り離し、検出器化するために、リフトオフ法により自立膜化した。図 3.1-15 にリフトオフ法による自立膜化の方法を示す。イオン注入とリフトオフ法による自立膜化のプロセスは、産総研関西センターの協力のもと実施した。

自立膜化した結晶から検出器を製作し、電荷収集効率等を測定・評価した。図 3.1-22 に自立膜化した結晶から製作した検出器の断面図を示す。検出器を前置増幅器、整形増幅器、マルチチャンネルアナライザ(MCA: Multi Channel Analyzer)、PC と接続し、 α 線測定を行った。図 3.1-23 に電荷収集効率の評価結果例を示す。バイアス電圧を -0V、-110V 印可時におけるスペクトルが得られた。スペクトル中には 2 つのピークトップが観察された。入射位置によって電荷収集効率が異なるとみられる。これらの情報に基づき合成条件の改善を

進めた。合成条件を改善するために、メタン濃度の異なるダイヤモンド結晶を複数試料合成した。図 3.1-24 にメタン濃度と合成後表面の観察結果を示す。

積層型検出器を試作し性能を評価した。試作した検出器の写真は、3.3 節[原子炉格納容器内雰囲気モニタプロトタイプの開発]の図 3.3-6 に示す。図 3.1-25 に試作した積層型検出器の概要、図 3.1-26 に積層型検出器の性能評価結果を示す。積層型検出器の性能は、積層前の素子①、素子②を重ねた結果が得られた。

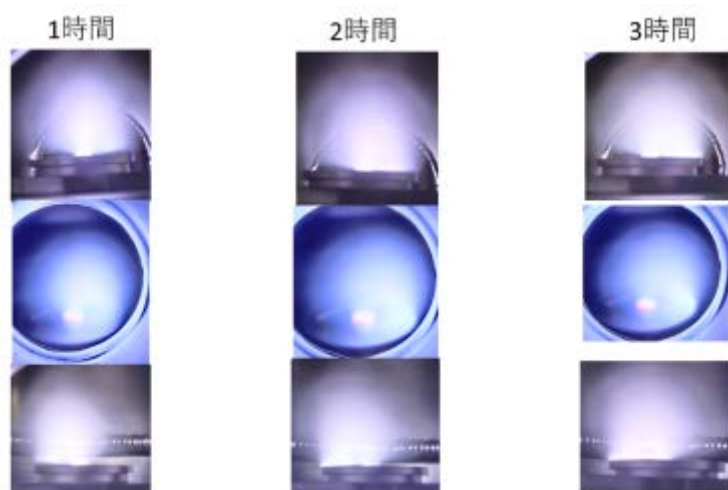


図 3.1-17 ダイヤモンド合成技術の改良

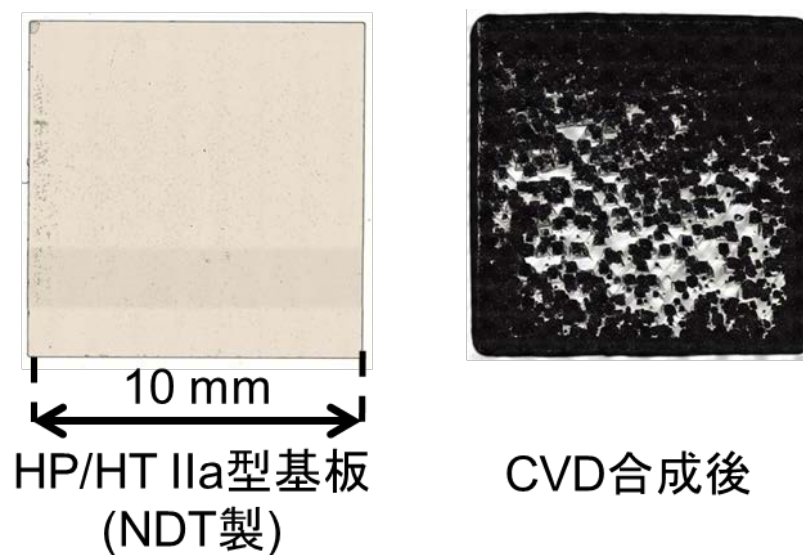


図 3.1-18 大面積基板を使用して合成したダイヤモンド結晶とその表面状態

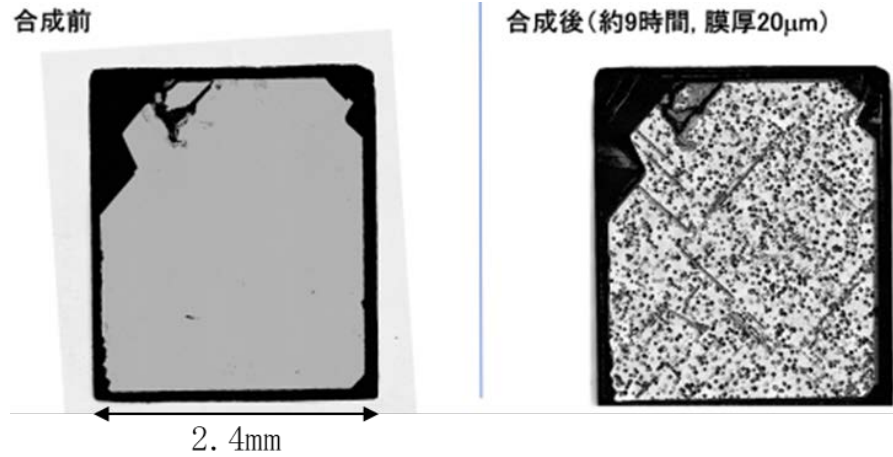


図 3.1-19 複数回合成による厚膜化技術等を改良

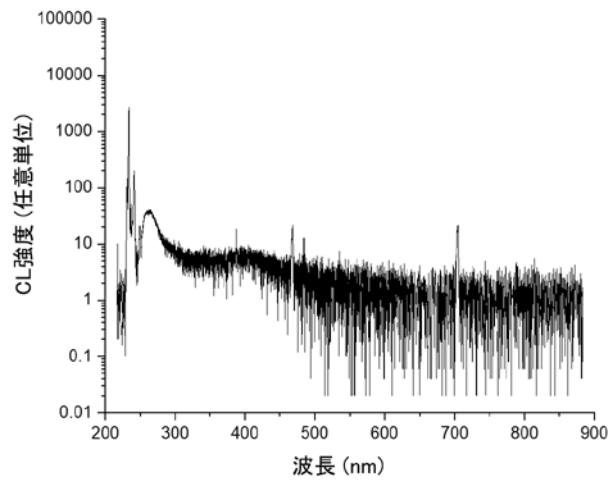


図 3.1-20 合成したダイヤモンドのカソードルミネッセンス(CL)測定結果例

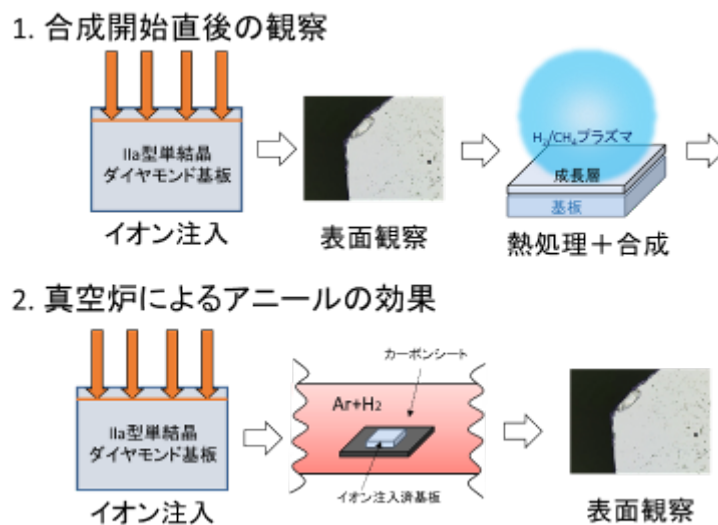
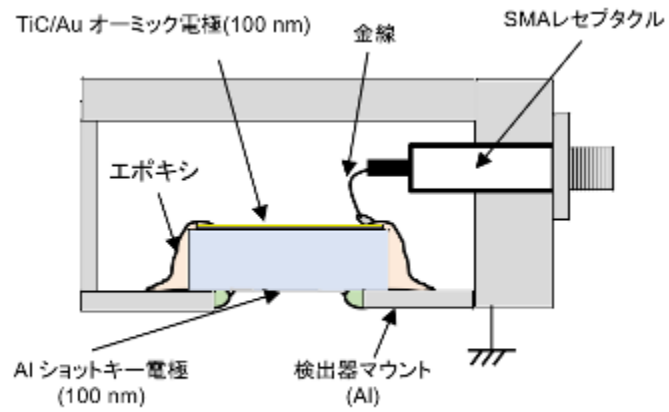


図 3.1-21 CVD 合成後表面の平坦化に向けた実験



検出器断面図

図 3. 1-22 自立膜化した結晶から製作した検出器の断面図

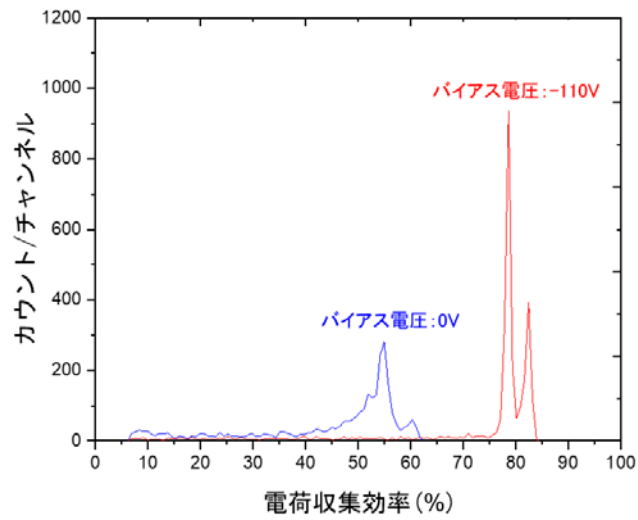


図 3. 1-23 電荷収集効率の評価結果例

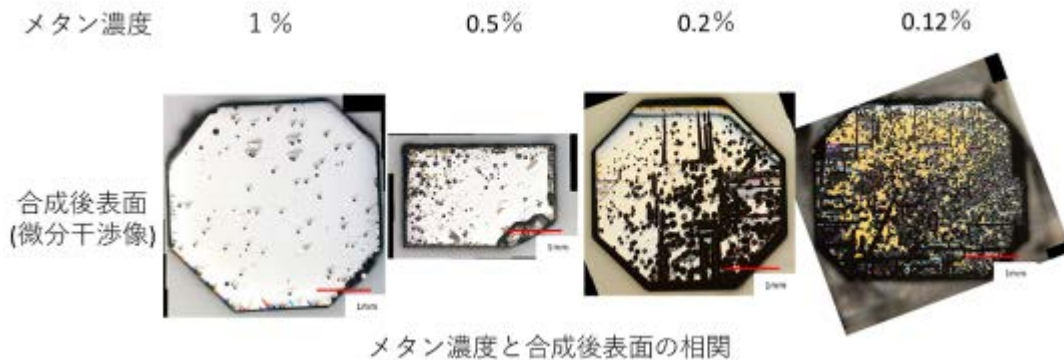


図 3.1-24 合成条件の改善

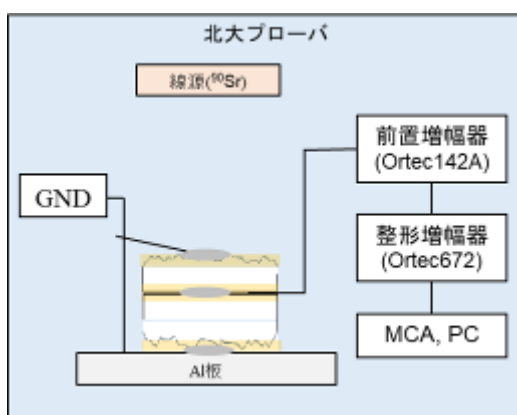


図 3.1-25 試作した積層型検出器

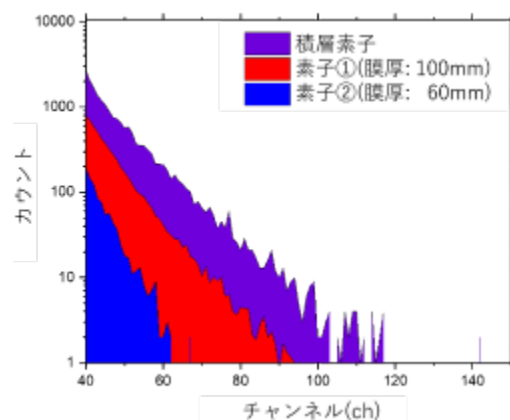


図 3.1-26 積層型検出器の性能評価結果

【令和元年度】

CAMS 用ダイヤモンド γ 線検出器(動作温度: 230°C 以上、積算線量: 5MGy 以上等)用として必要となるダイヤモンド単結晶もしくはダイヤモンド素子を 3.2 項(産総研)に供した。平成 30 年度に引き続きダイヤモンド合成技術の改良を継続した。また、平坦表面と電荷キャリア輸送特性に優れた結晶合成法・合成条件の探索も継続して実施した。合成したダイヤモンドを 3.2 項に供し、カソードルミネッセンス法による結晶品質評価後、リフトオフ法により自立膜化した。自立膜化した結晶から検出器を製作し、電荷収集効率等を測定・評価した。これらの情報に基づき合成条件の改善を進めた。積層型検出器を試作し性能を評価した。3.3 項(日立製作所)からの要請に従い、検出器開発を支援した。

図 3.1-15 にリフトオフ法により自立膜化する手順、図 3.1-27 に試作した積層型検出器のモデル図を示す。 ^{137}Cs に起因するコンプトン端の測定と簡易エネルギー弁別を可能とするには、素子の膜厚 $300\mu\text{m}$ が必要であることをモンテカルロシミュレーションにより導出した。膜厚 $300\mu\text{m}$ を実現するため、(a) 4~5 枚のダイヤモンド素子を積層し、膜厚 $300\mu\text{m}$ を達成、(b) 性能のバラツキを抑えるため同一素子を 4 分割し積層するといった手法を考案した。可能な限り静電容量を低減し、リーク電流を抑制するには単独素子の膜厚を $100\mu\text{m}$ 程度に膜厚化し、3 枚積層することが理想的である。そこで、(c) 検出素子用ダイヤモンドの厚膜化へ

向け、異常成長抑制の取り組みとしてダイヤモンド素子の合成中に CO₂ 添加を試みた。

(a) 積層枚数に制限を設けず膜厚 300 μ m を達成

図 3.1-28 に電荷収集効率の測定体系、図 3.1-29 に電荷収集効率の測定結果例を示す。正孔、電子それぞれに対し、環境温度 500 $^{\circ}$ C まで電荷収集効率の測定を行った。正孔は 400 $^{\circ}$ C 以上からピーク値が下がり始め、500 $^{\circ}$ C ではピークが減衰した。電子については、500 $^{\circ}$ C までピークを維持した。また、突発的に低チャンネル側に雑音によるカウントが発生した。

(b) 性能のバラツキを抑えるため同一素子を 4 分割し積層

図 3.1-30 に 4 枚切断用大型ダイヤモンド素子の合成結果例を示す。ダイヤモンド種基板は NDT 社より購入した。メタン濃度:0.24%、チャンバー内ガス圧力:110Torr、プラズマ出力:640~820W の合成条件でマイクロ波プラズマを発生させ、基板温度は 850 $^{\circ}$ C となった。163 時間合成し、膜厚:75 μ m のダイヤモンド素子が得られ、成長率は:0.46 μ m/h であった。カソードルミネッセンス法による結晶品質評価の結果例を図 3.1-31(NDT 基板)、図 3.1-32(住友基板)に示す。絶対温度:80K の極低温環境下にて測定を行った。NDT 基板上に合成したダイヤモンド素子については、構造欠陥に起因するピークが波長:300nm 周辺に検出された。この結果、住友基板を用いて自立膜化したダイヤモンド素子の方が、NDT 基板上に合成したダイヤモンド素子に比べて結晶性に優れることが明らかとなった。

(c) 検出素子の厚膜化へ向けた取り組み(CO₂ 添加)

ダイヤモンド素子の合成中に CO₂ を添加することにより異常成長を抑制しダイヤモンド素子の厚膜化を試みた。図 3.1-33 に合成したダイヤモンド結晶の表面状態をレーザー顕微鏡で観察した結果を示す。合成条件は、メタン濃度:2%、ガス圧力:110Torr、マイクロ波出力:1200W とした。なお、合成時間は各層ごとに 3 時間に設定し、合計 9 時間とした。CO₂ の濃度を変更しながら合成を繰り返した結果、CO₂ の添加により異常成長粒子の発生を抑制する効果が得られた。また、図 3.1-34 に成長率の CO₂ 濃度依存性を示す。CO₂ 濃度と成長率には正の相関がみられ、これまで、合成を妨げていた異常成長粒子を CO₂ が抑制し、その結果、成長率が改善した。

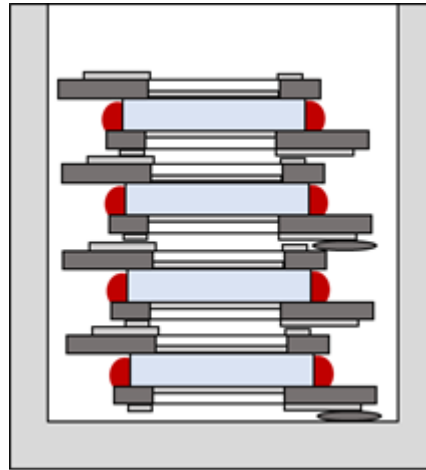


図 3.1-27 試作した積層型検出器のモデル図

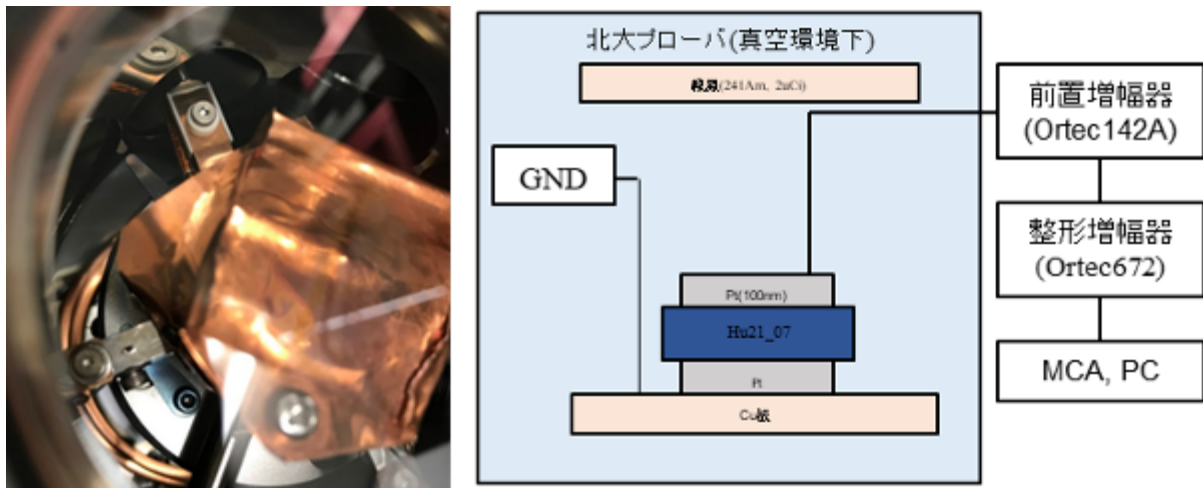
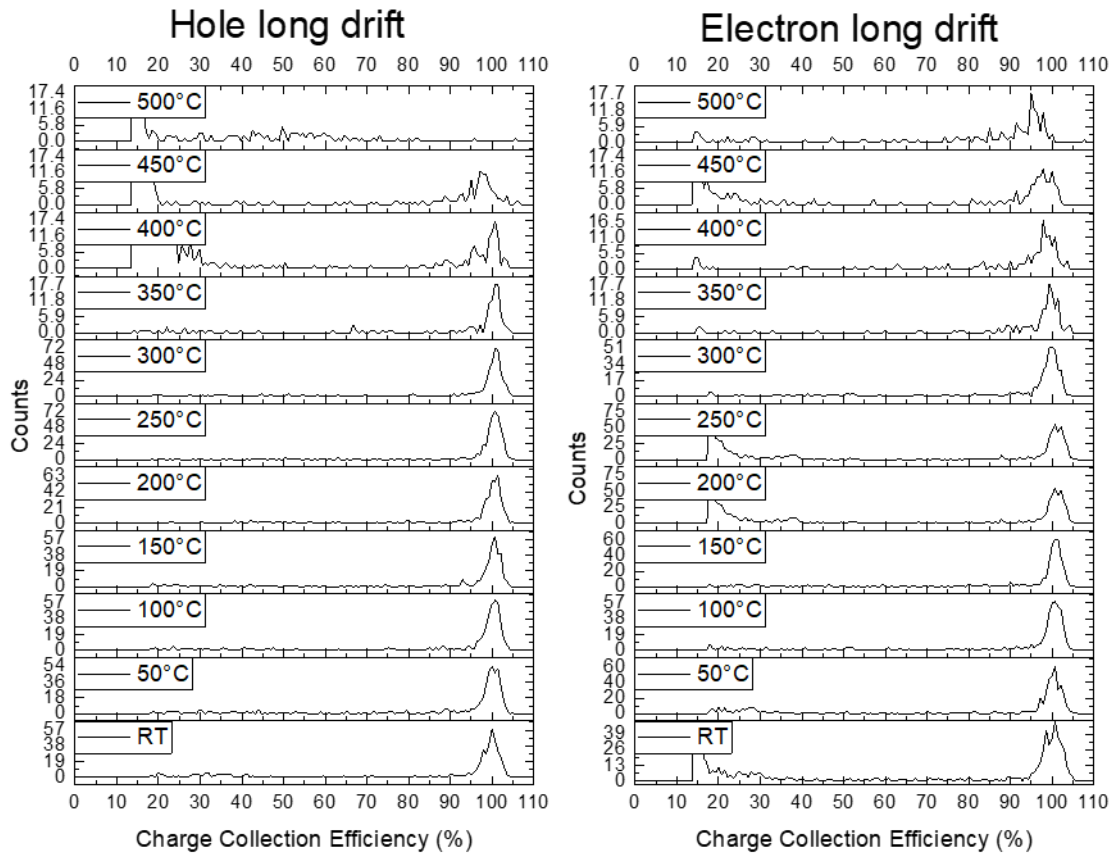


図 3.1-28 電荷収集効率の測定体系



(a)

(b)

図 3.1-29 電荷収集効率の測定結果例 (a)正孔ロングドリフト、(b)電子ロングドリフト

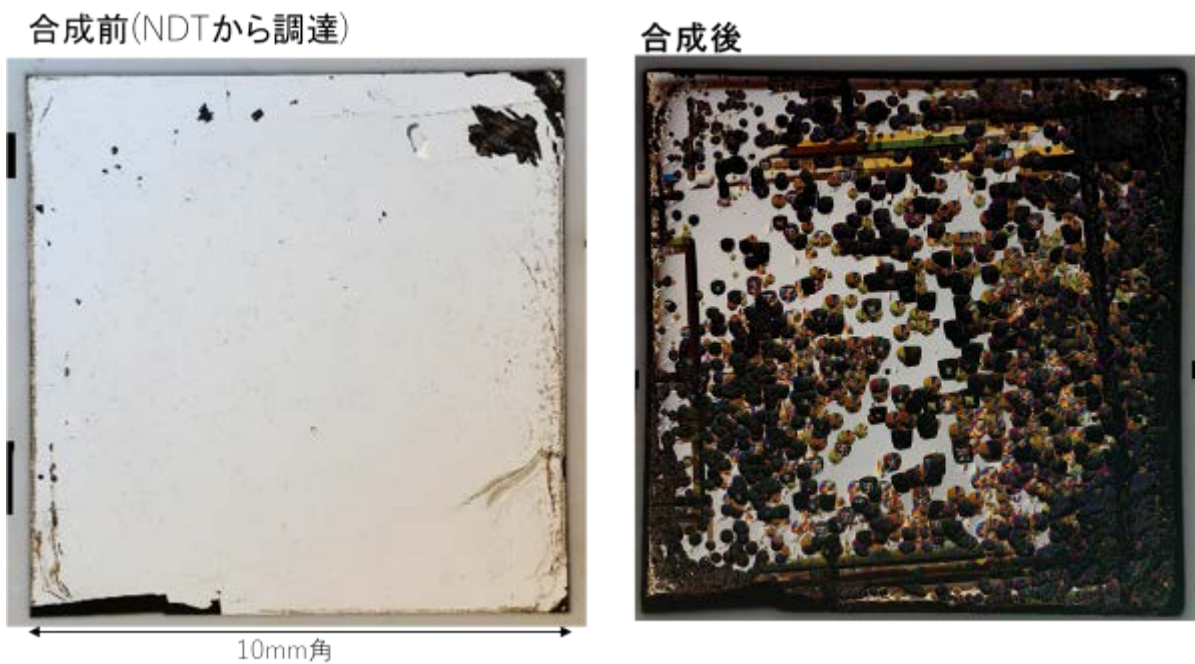


図 3.1-30 4枚切断用大型ダイヤモンド素子の合成結果例

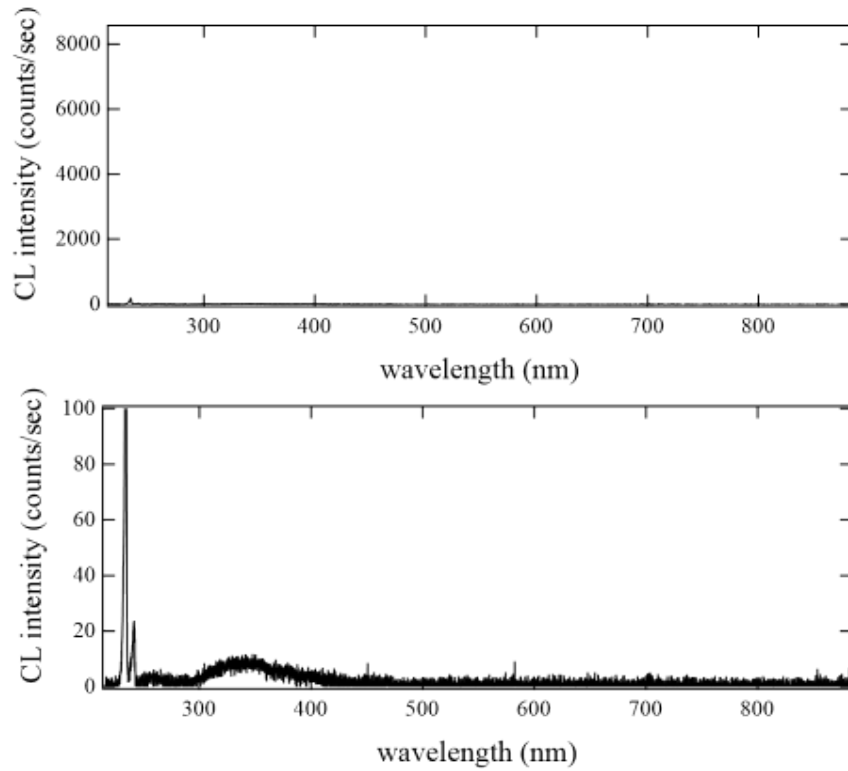


図 3.1-31 カソードルミネッセンス法による結晶品質評価(NDT 基板) (下図は上図の縦軸を拡大した図)

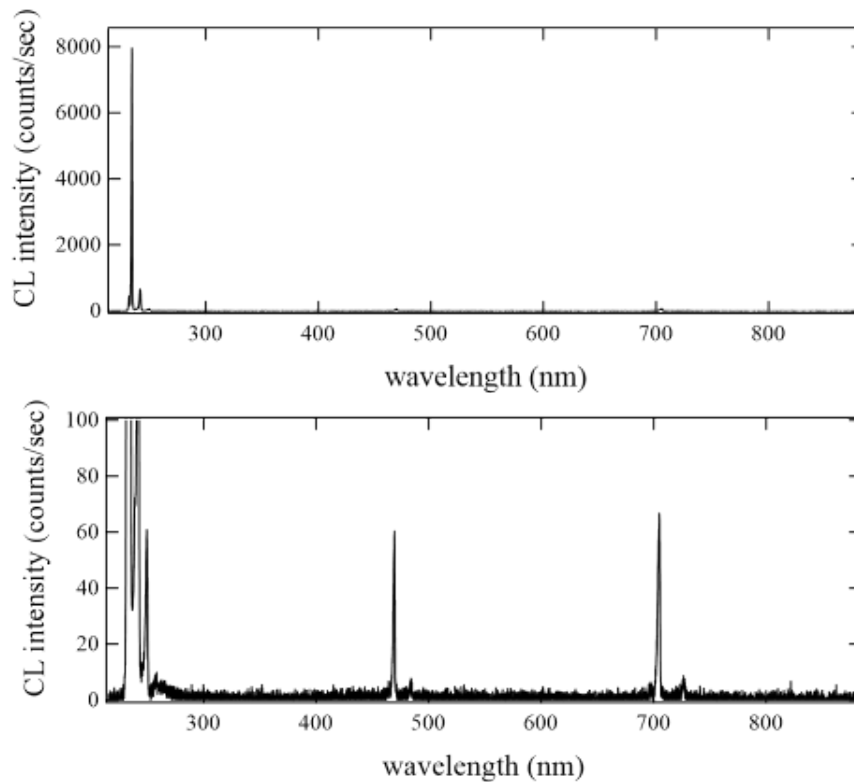


図 3.1-32 カソードルミネッセンス法による結晶品質評価(住友基板) (下図は上図の縦軸を拡大した図)

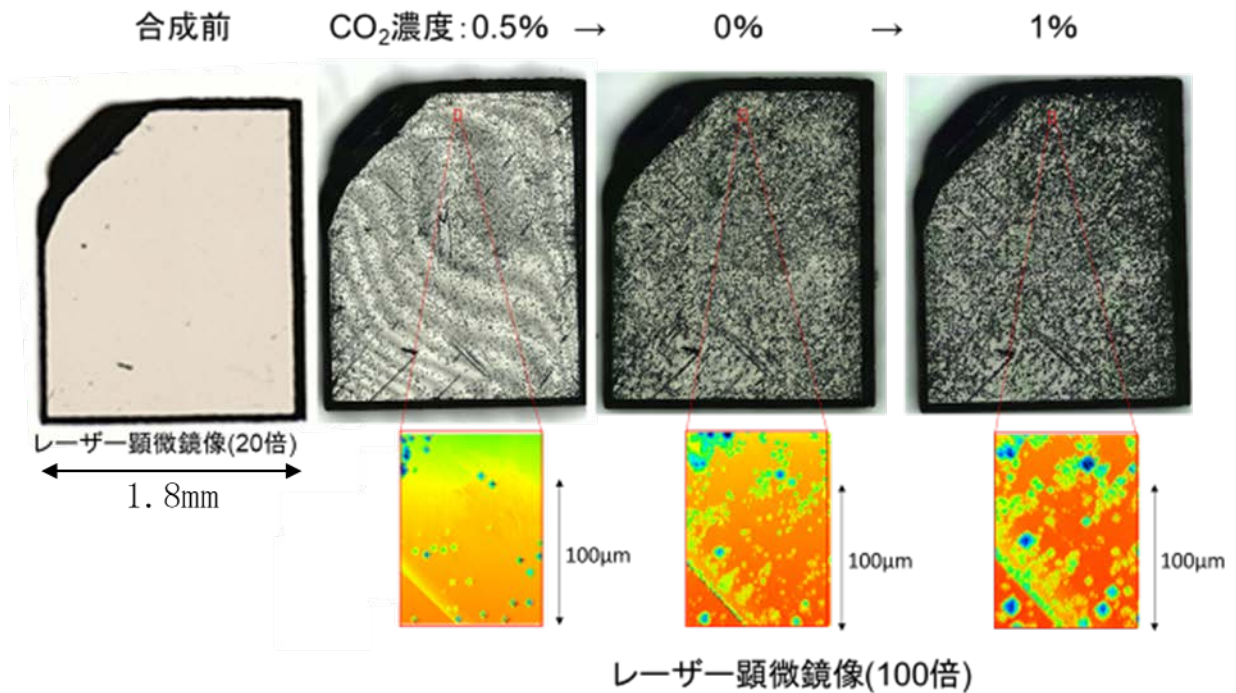


図 3.1-33 検出素子の厚膜化へ向けた取り組み (CO₂ 添加)

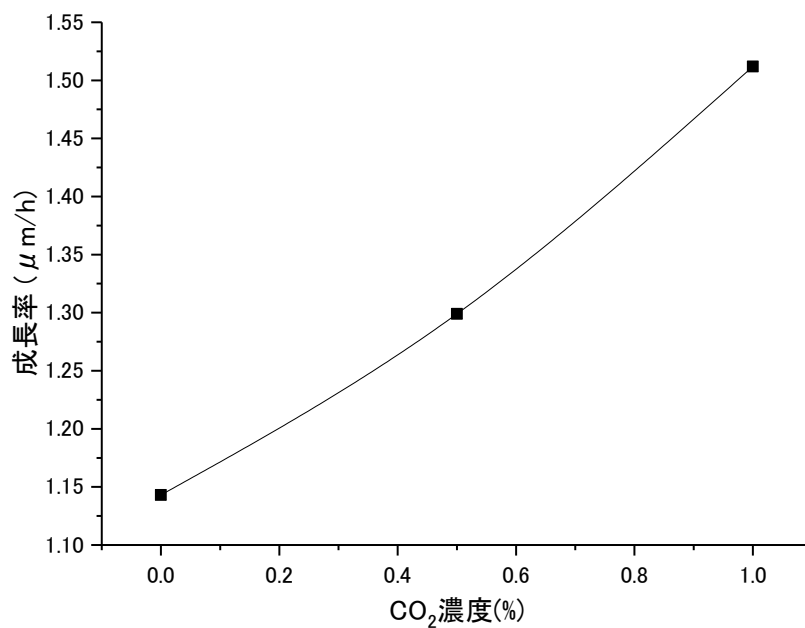


図 3.1-34 成長率の CO₂ 濃度依存性

これまでの開発で最も安定した性能が得られた住友電工製 HP/HT IIa 型単結晶基板のうち、1cm 弱の単結晶基板を使用し、検出器用自立膜を合成した。産総研の協力を得てカソードルミネッセンスの評価、リフトオフ作業を行い、4 枚にレーザー切断し、検出素子とした上で日立製作所に供した。合成した結晶並びに検出器の写真等を図 3.3-3~3.3-7 に示す。

3.1.2 ダイヤモンド MESFET 開発の支援

【平成 28 年度】

産総研が実施するダイヤモンド MESFET の開発支援として、北海道大学においてフォトリソグラフィ、メタライズ、アニール等の製作作業を分担可能とするための準備作業を進めた。産総研において MESFET 製作技術の習得、並びに北海道大学が所有する装置を使用した MESFET 製作支援の準備を進めた。また電極、絶縁膜製作用 RF スパッタリング装置を整備した。

産総研を訪問し、MESFET 製作手順に関する打ち合わせと施設の確認を行った。図 3.1-35 に会議風景を示す。その結果に基づき、北海道大学で使用可能な装置類をリストアップした。具体的には、フォトリソグラフィは図 3.1-36 に示すマスクアライナー(MIKASA, MA-20)、メタライズは図 3.1-37 に示す電子線及び抵抗加熱蒸着装置(Pascal, PL-EBT-2)、アニールは図 3.1-38 に示す高速昇温電気炉(FULL-TECH, FT-01VAC-30)によって行った。

装置の慣熟作業を進め、電極、絶縁膜製作用 RF スパッタリング装置の整備を行った。図 3.1-39 に設置した電極、絶縁膜製作用 RF スパッタリング装置を示す。こちらも幾つかのスパッタリング材料に対する製膜条件出しを開始した。



図 3.1-35 原子カシステム デバイス会議 (2017 年 2 月 20 日、於 産総研 関西センター)



図 3.1-36 マスクアライナー (MIKASA, MA-20)
於 北海道大学 オープンファシリティ 創成科学研究棟 Room 01-101 [クリーンルーム]



図 3.1-37 電子線及び抵抗加熱蒸着装置

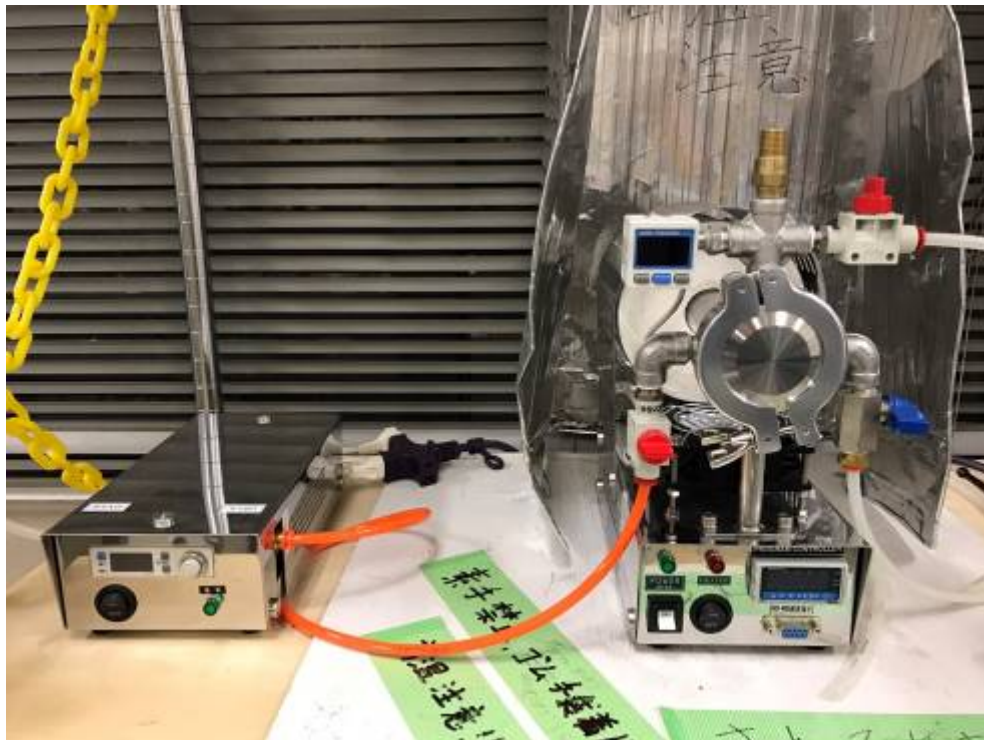


図 3.1-38 高速昇温電気炉 (FULL-TECH, FT-01VAC-30)



図 3.1-39 電極、絶縁膜製作用 RF スパッタリング装置 (Pascal, ST-3SC-S)

【平成 29 年度】

産総研が 3.2.1 項で行う MESFET の開発支援として、北海道大学においてフォトリソグラフィ、メタライズ、アニール等の製作作業を分担可能とするための準備作業を進めた。メタライズでは平成 28 年度に導入した電極、絶縁膜製作用 RF スパッタリング装置を使用した。具体的には図 3.1-40 の MESFET 断面図におけるソース、ゲート、ドレイン電極と、絶縁膜による保護層膜の形成を分担する。産総研において梅沢の指導により MESFET 製作技術を習得し、北海道大学が所有する装置を使用した MESFET 製作支援を開始した。具体的にはプラズマ CVD 装置を用いて製膜した絶縁膜である。

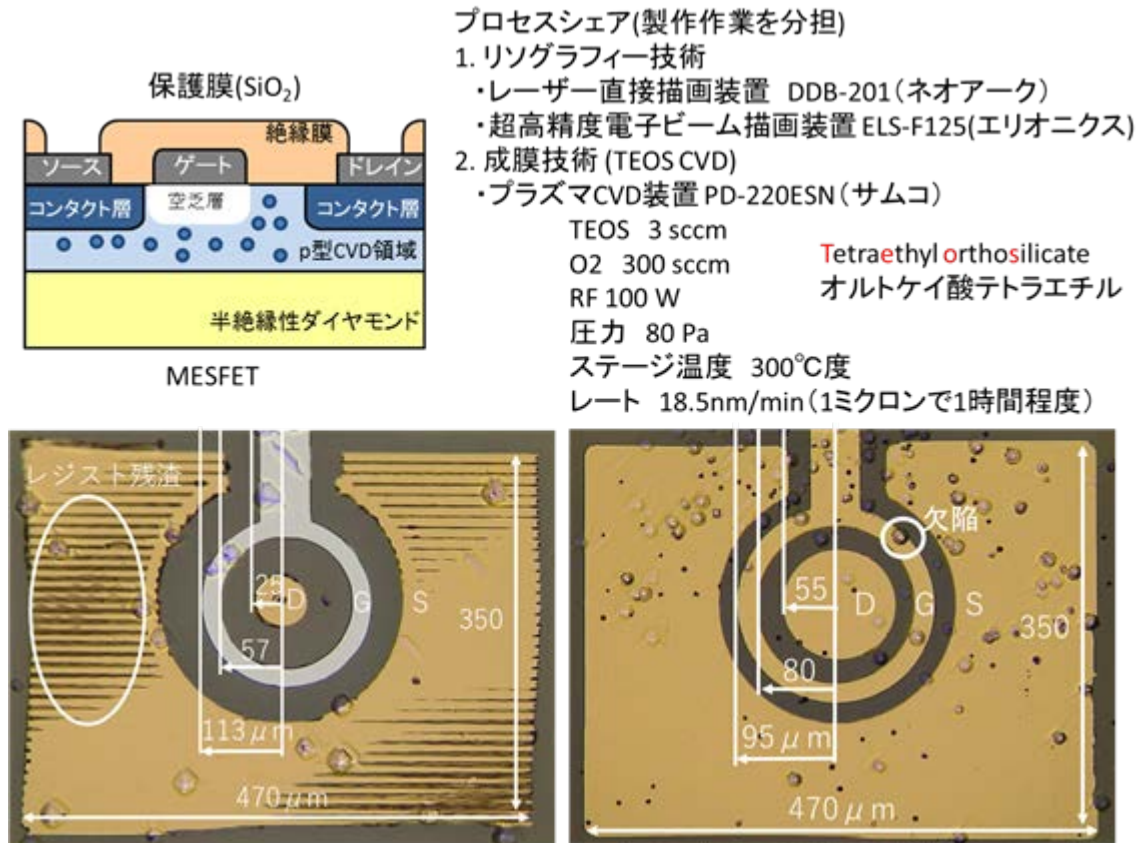


図 3.1-40 北海道大学が所有する装置を使用した MESFET 製作支援

【平成 30 年度】

産総研が行う MESFET (Metal-Semiconductor Field-Effect Transistor: 金属-半導体電界効果トランジスタ) の開発支援として、北海道大学においてフォトリソグラフィ、メタライズ、アニール等の製作作業を分担した。図 3.1-41 にフォトリソグラフィに使用した装置群としてスピコーター(ミカサ, MS-A150)とホットプレート(アズワン, TH-900)、レーザー描画装置(ネオアーク, DDB-201-200)を示す。図 3.1-42 にアニールに使用した真空炉(フルテック, TF-01VAC-30)を示す。高純度透明石英チャンバー内にて最高温度 1200°C までの熱処理に対応可能である。ガス流量はニードルフローメータ、温度はデジタルプログラムコントローラーにより制御した。アニールは、水素を 4.86% 添加したアルゴンガスの雰囲気中で行った。ガス流量は 0.2sccm、チャンバー内圧力は 0.8kPa とした。室温から 1000°C まで 2 時間 20 分かけて昇温し、2 時間 1000°C を保持、その後 5 時間 30 分かけて冷却する制御プログラム下でアニールを行った。

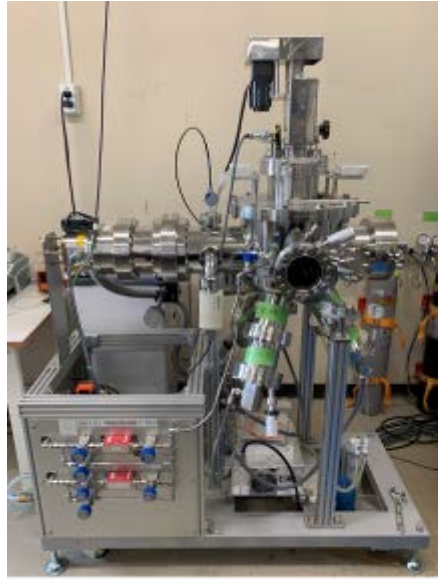
メタライズでは平成 28 年度に導入した電極、絶縁膜製作用 RF (Radio Frequency: 高周波) スパッタリング装置を使用した。図 3.1-43 に使用した RF スパッタリング装置を示す。MESFET の試作プロセス及び評価技術について産総研と共有し、人材の交流、教育を通して試作を進めた。図 3.1-44 に試作に使用した EDP (Excellent Diamond Products : 株式会社イーディーピー) 社製 4mm 角 ダイヤ基板、図 3.1-45 に開発支援として作製作業を分担した絶縁膜の成長温度とデポレート (成長速度) を記す。



図 3.1-41 フォトリソグラフィに使用した装置群



図 3.1-42 アニールに使用した真空炉



堆積チャンバー



RF電源と制御パネル

図 3.1-43 使用した RF スパッタリング装置



図 3.1-44 EDP 社製 4mm 角 ダイヤ基板

成膜温度	デポレート
300°C	16.2 nm/min
350°C	15.2 nm/min
400°C	10.9 nm/min

図 3.1-45 絶縁膜の成長温度とデポレート

【令和元年度】

産総研が 3.2 項で行う MESFET の開発支援として、北海道大学においてフォトリソグラフィ、メタライズ、アニール等の製作作業を分担した。産総研と MESFET の試作プロセス及び評価技術について共有し、人材の交流、教育を通して試作を進めた。図 3.1-46 に、分担したフォトリソグラフィ、メタライズ、アニールなどの製作作業を示す。特にミニマルファブを使用したデバイス作製技術の構築を進め、キラー欠陥密度の評価等を行った。図 3.1-47 に作製技術を構築したデバイスの光学顕微鏡像(a)とその評価結果(b)を示す。

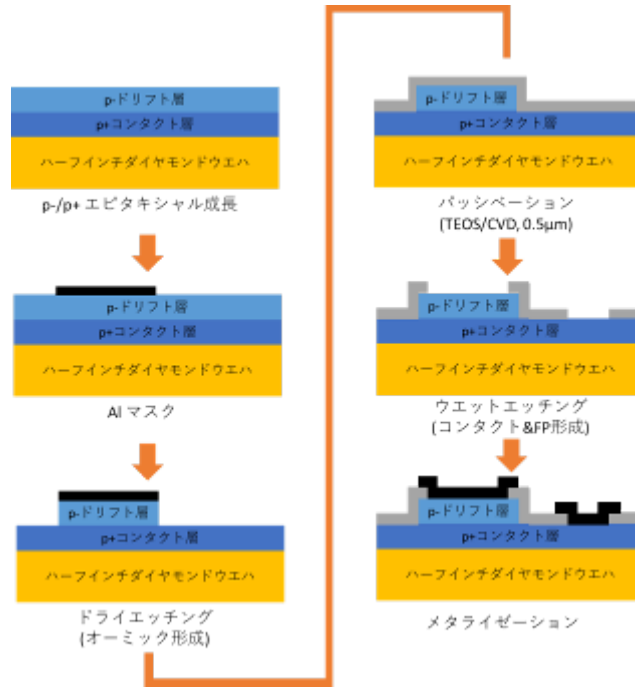


図 3.1-46 フォトリソグラフィ、メタライズ、アニール等の製作作業を分担

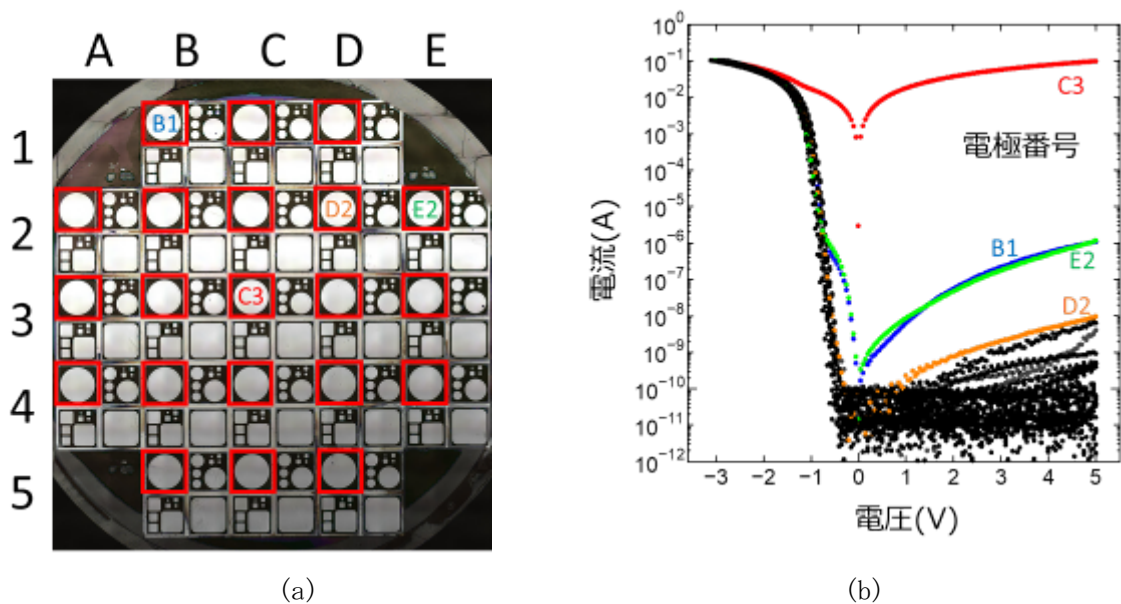


図 3.1-47 作製したデバイスの光学顕微鏡像(a)とその評価結果(b)

3.1.3 ^{11}B ドープ p 型ダイヤモンド合成技術の開発

【平成 28 年度】

北海道大学が有する ^{11}B ドープ p 型ダイヤモンド合成装置の石英ベルジャーをフルメタルシールタイプに改造し、大気漏洩を除いた条件での合成を可能とした。合成した p 型ダイヤモンドを産総研に供し、カソードルミネッセンス法による結晶性評価、ホール効果測定による半導体特性評価を行い、それに基づき合成条件を改善した。

前事業で整備した北海道大学が有する ^{11}B ドープ p 型ダイヤモンド合成装置は、大気リークによる窒素の補償効果によりホウ素の活性が不十分となる問題があった。この問題を解決するため、試料交換時に O リングによるシールがリーク源となっていた石英ベルジャーをフルメタルシールタイプに改造し、大気漏洩を除いた条件での合成を可能とした。図 3.1-48 に改造後の ^{11}B ドープ p 型ダイヤモンド合成装置を示す。

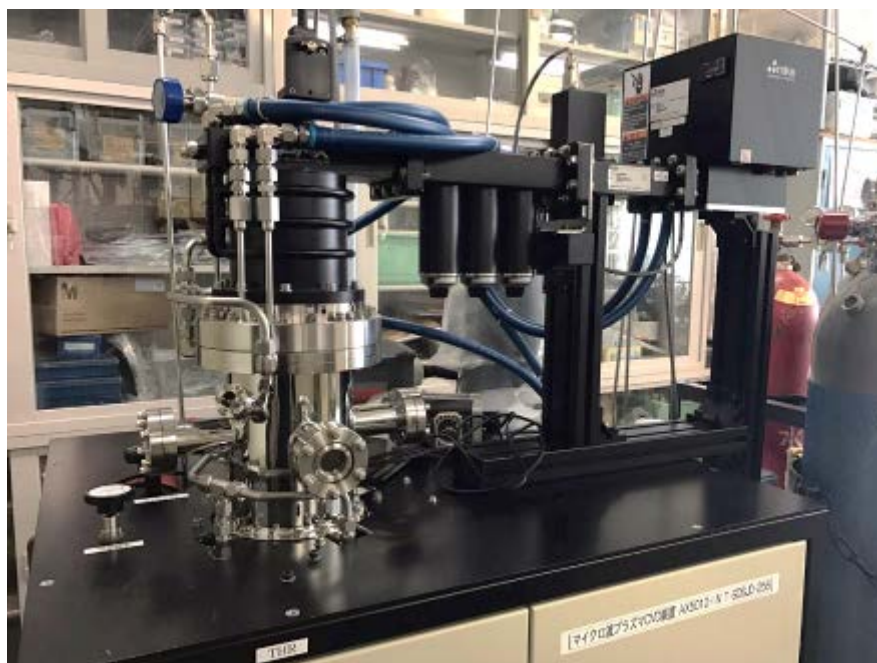


図 3.1-48 合成チャンバーをフルメタルシールタイプに改造を施したマイクロ波プラズマ CVD 装置(セキテクトロン ASTeX 型 AX5010-INT-SDSJD-2589)

改造後のフルメタルチャンバーを用いて、単結晶ダイヤモンド Ib 基板上にダイヤモンド試料を合成した。この時の合成条件は、合成温度を 900°C として一定に保持するため、Pyro-Mw Loop control によりマイクロ波出力を $475\text{W} - 602\text{W}$ の間で自動的にフィードバック制御を行った。メタン濃度は 1%とするため、ガス流量を水素 495sccm 、メタン 5sccm とした。合成時間は 48 時間とした。図 3.1-49 に合成した試料表面の微分干渉顕微鏡像を示す。

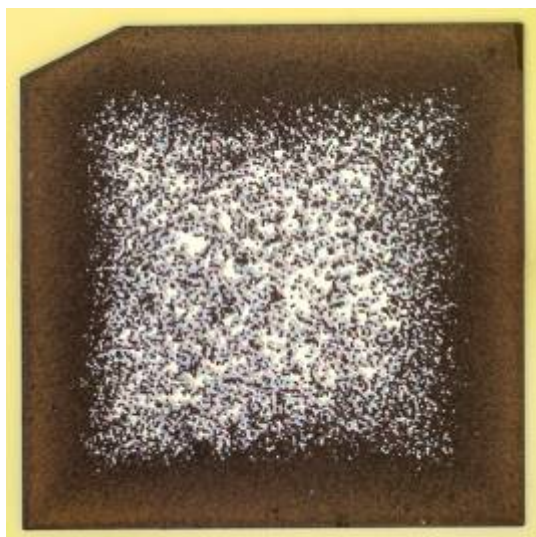


図 3.1-49 単結晶ダイヤモンド Ib 基板上 CVD 合成膜の微分干渉顕微鏡像

合成した試料を、産総研に供し、カソードルミネッセンス法、ホール効果測定を実施した。図 3.1-50 にカソードルミネッセンス法により測定したスペクトルを示す。この時の測定領域を図 3.1-51 の SEM 像に示す。測定には以下の条件を用いた。

Magnification $\times 1500$

Acceleration voltage 15kV (incident depth 1.74 μ m: Kanaya, Okayama model)

Beam current 1-18 Max

Grating-(Blazing wavelength): 300-(250)

Integration: 100

500 μ m slit

Measurement Temp. -194.07deg (78.93K)

図 3.1-50 のカソードルミネッセンス法による測定結果例に示すように、230 nm 付近に自由励起子の再結合による発光を観察した。合成したダイヤモンド膜から不純物による発光スペクトルが観察された。フルメタルシールタイプに改造した合成チャンバーに対しベーキング等を行い、チャンバー壁面の水分や有機物を徹底的に除去し、クリーンな環境でダイヤモンド膜の合成行うべくメンテナンスを施した。

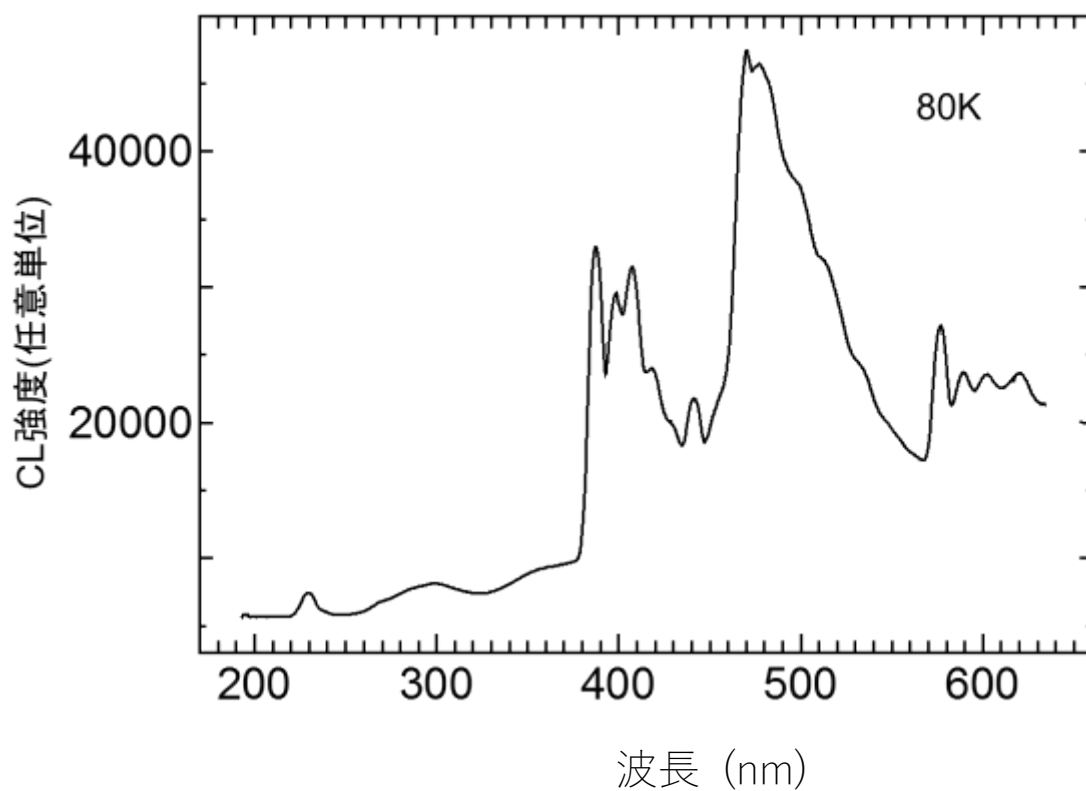


図 3.1-50 カソードルミネッセンス法による測定結果例

試料中心付近
を測定

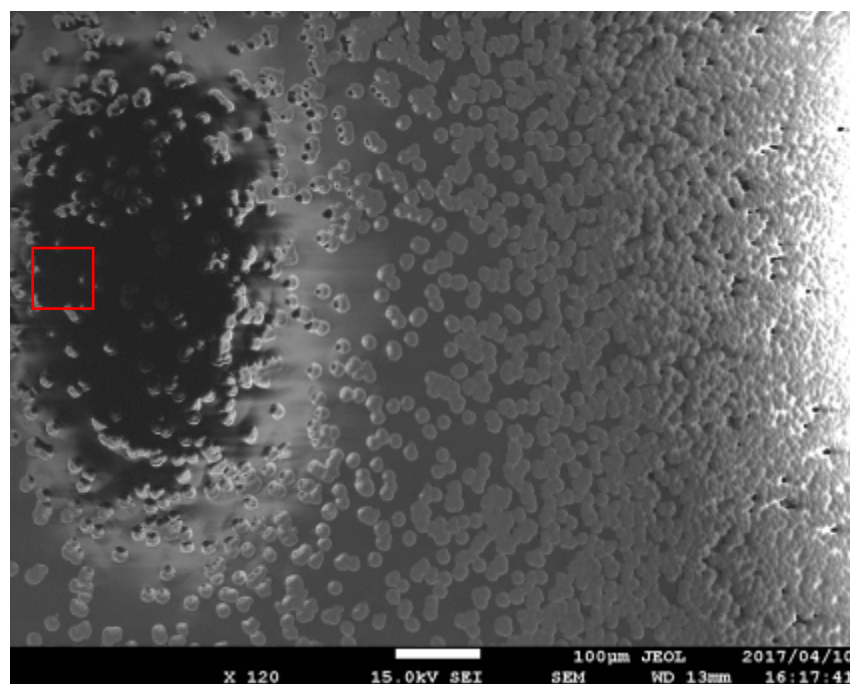


図 3.1-51 測定領域 (SEM 像)

ホール効果測定を実施したものの、膜の品質の問題がありコンタクトがうまくとれていない可能性があった。比抵抗測定で抵抗値が安定せずキャリア濃度、移動度の導出が困難であるため、膜の品質を高める必要がある。合成条件の改善にむけて、膜厚、キャリア濃度を高めていく指針を得た。

¹¹B ドープ p+型ダイヤモンド合成装置の立ち上げ準備として、同装置に使用可能な汎用部品の一部を前倒し購入し、次年度事業を円滑に進められるように準備した。図 3.1-52 に示す RF 電源 (ASTeX, AX2115) (左)、パイオクリンカードリッジ (日本パイオニクス株式会社, PCS-08A-G) (中央)、ロータリーポンプ (Agilent1, DS402 1Ph) (右)



図 3.1-52 RF 電源(左)、パイオクリンカードリッジ(中央)、ロータリーポンプ(右)

【平成 29 年度】

平成 28 年度に合成チャンバーをフルメタルシールタイプに改造した ¹¹B ドープ p-型ダイヤモンド合成装置を使用し、p-型ダイヤモンド試料を合成した。合成した p 型ダイヤモンドを 3.2.3 に供し、カソードルミネッセンス法により結晶性の評価、ホール測定により半導体特性を評価し、その結果に基づき合成条件を改善した。図 3.1-53 にカソードルミネッセンス法により結晶性の評価を行ったスペクトルを示す。更に、¹¹B ドープ p+型ダイヤモンド合成装置を整備した。図 3.1-54 に整備した ¹¹B ドープ p+型ダイヤモンド合成装置を示す。

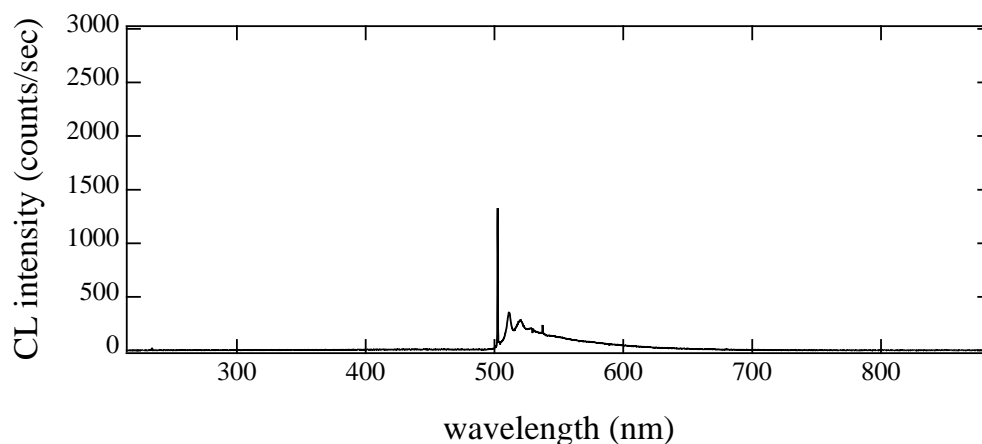


図 3.1-53 カソードルミネッセンスによる結晶性の評価

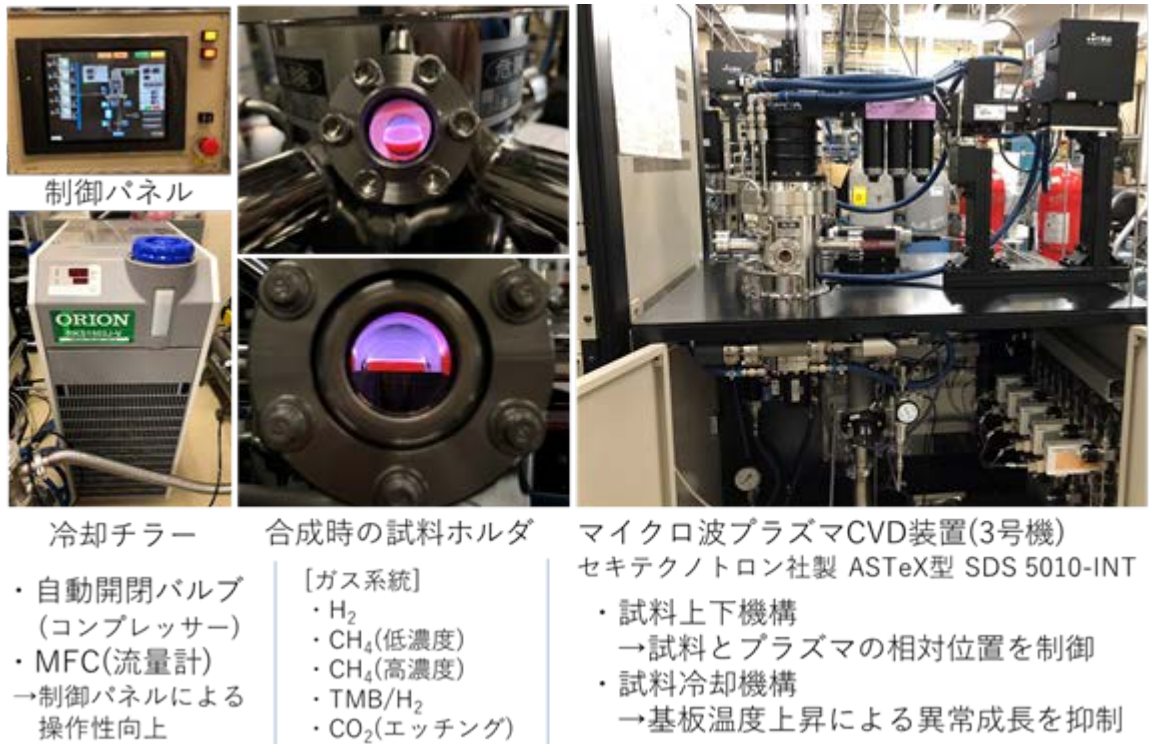


図 3.1-54 整備した ^{11}B ドープ p+型ダイヤモンド合成装置

【平成 30 年度】

平成 28 年度にフルメタルシールタイプに改造したホウ素 11 (^{11}B : Boron) ドープ正電荷 (p: positive charge) 型ダイヤモンド合成装置を使用し、p 型ダイヤモンド試料を合成した。図 3.1-55 に ^{11}B ドープ p 型ダイヤモンドを合成中の様子を示す。

合成した p 型ダイヤモンドを産総研に供し、カソードルミネッセンス法により結晶性の評価、物材機構に供し、ホール測定により半導体特性を評価し、その結果に基づき合成条件を改善した。

図 3.1-56 に産総研にてカソードルミネッセンス (CL: Cathodoluminescence) 法により結晶性を評価した結果を示す。試料の付近に測定領域を設定し、CL 測定を行った。CL 測定条件は、観察温度: 80K、電子ビーム加速電圧: 13kV、電子ビーム電流: 100nA、観測領域: 約 $190\mu\text{m} \times 190\mu\text{m}$ 、回折格子: 300 本/mm、検出器: CCD (Charge Coupled Device [電荷結合素子]) とした。波長: 235nm において、高品質結晶の場合に発光する自由励起子発光が確認された。結晶中に欠陥や不純物が存在すれば、波長 400~700nm において、欠陥や不純物に起因する発光が確認される。CL 結果より、欠陥と不純物の低減に成功した事が立証された。物材機構にてホール測定により半導体特性を評価した結果は、3.4.3(2)項 [ダイヤモンド IC 要素技術開発の支援 (実施機関名: 物材機構)] に記載する。

平成 29 年度に導入した ^{11}B ドープ p+型ダイヤモンド合成装置を使用し、イントリンシックダイヤモンドを合成し合成条件を絞り、p 型ダイヤモンド合成に向けた準備を進めた。図 3.1-57 に合成したダイヤモンド結晶の合成前後における顕微鏡写真を示す。制御性、メモリー効果の状況等を勘案し、両装置の p⁻、p⁺の分担を決定した。その結果、平成 28 年度にフルメタルシールタイプに改造したダイヤモンド合成装置を p⁻層用の合成装置と決定した。

図 3.1-58 に合成技術を開発した ^{11}B ドープ p 型ダイヤモンドによる電子デバイスの作製手順を記す。この図にあるように p-型はドリフト層、p+型は電極との接触抵抗を下げるために使用される。

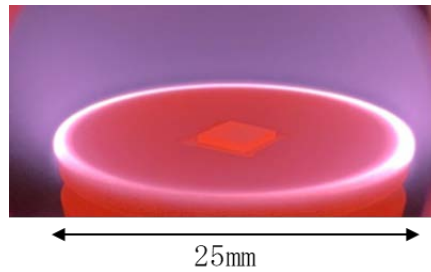


図 3.1-55 ^{11}B ドープ p 型ダイヤモンドを合成中の様子

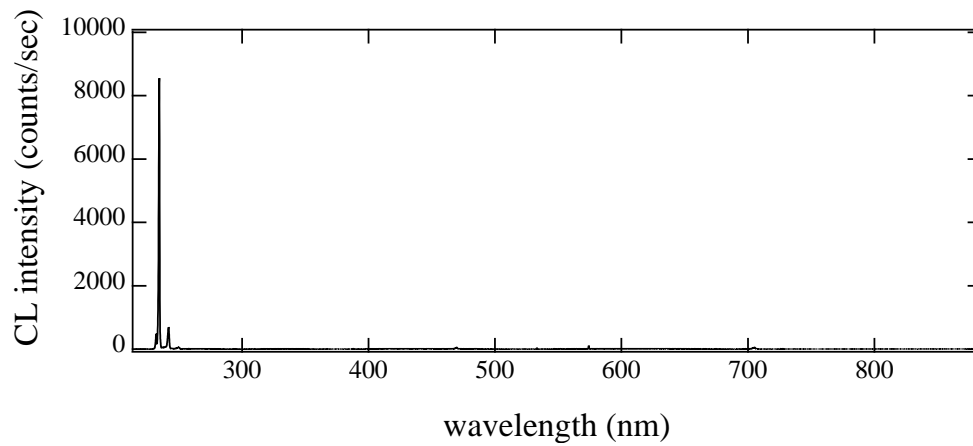


図 3.1-56 カソードルミネッセンス法により結晶性を評価した結果

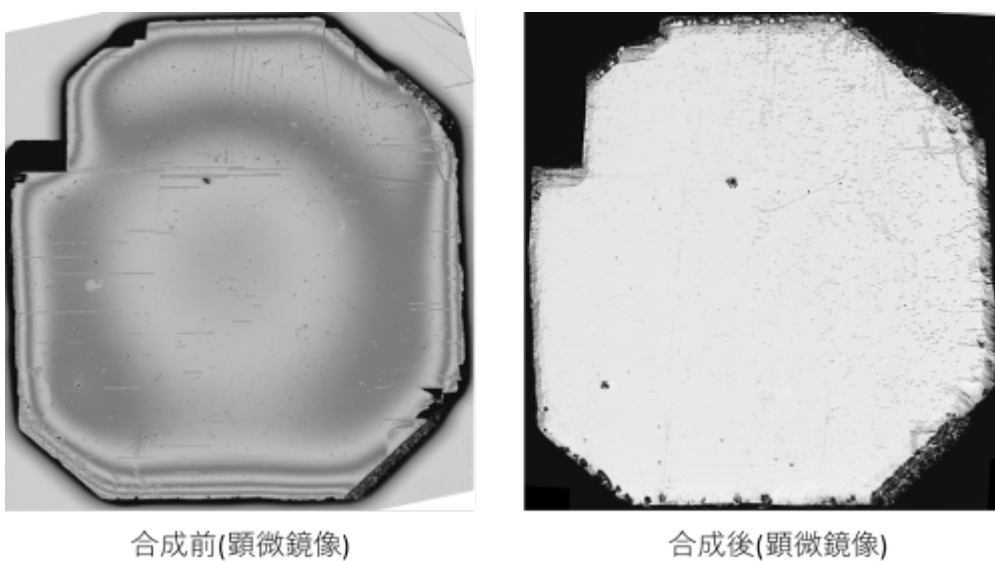


図 3.1-57 合成したダイヤモンド結晶の合成前後における顕微鏡写真

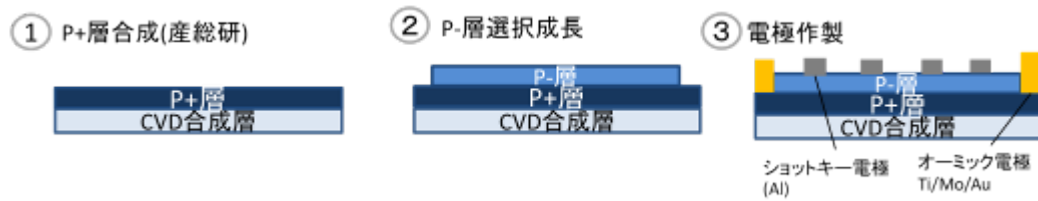


図 3.1-58 合成技術を開発した ^{11}B ドープ p 型ダイヤモンドによる電子デバイスの作製手順

【令和元年度】

^{11}B ドープ p 型ダイヤモンドの合成と評価を継続した。合成した p 型ダイヤモンドを、カソードルミネッセンス法により結晶性の評価、ホール測定により半導体特性を評価し、その結果に基づき合成条件を改善した。図 3.1-59 に合成と評価を継続した ^{11}B ドープ p 型ダイヤモンドに対し、カソードルミネッセンス法により結晶性の評価を行った結果例を示す。バンド端のスペクトルピークは相対的なボロンの取込みが多い薄膜の特徴であり、エキシトン発光が見られていないことから裏づけられる。反応ガス中の B 濃度 : B/C が数百 PPM 以上、二次イオン質量分析法より得られた B 濃度 : 10^{18}cm^{-3} を超えたあたりから自由励起子が見えなくなり、今回のような特徴的なバンド端発光を示す。取り込み B 濃度が高くなるにつれて、ブロードピーク位置は低波長側へシフトする。流量中の B 濃度がそれほど多くないにもかかわらず、今回のようなスペクトルが得られた要因として、チャンバーのメモリー効果が考えられる。あるいは同素体ホウ素による取り込み効率の違いに起因する場合、新しい発見になる可能性がある。また、図 3.1-60 にホール効果測定により半導体特性を評価した結果例を示す。高温領域で、 ^{11}B が活性化し、p 型キャリアである正孔の湧き出しを確認し、 ^{11}B ドープにより p 型半導体として動作していることを確認した。

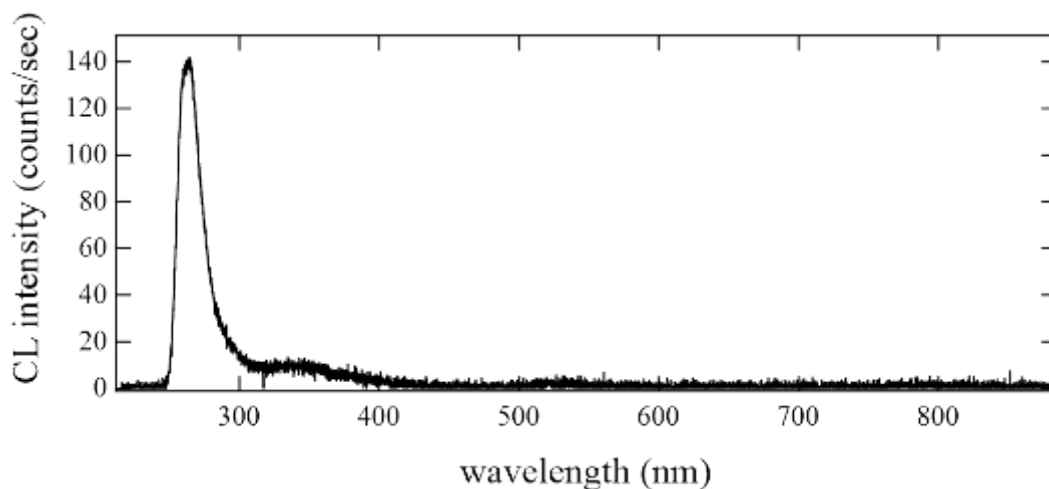


図 3.1-59 ^{11}B ドープ p 型ダイヤモンドのカソードルミネッセンス法による結晶性の評価

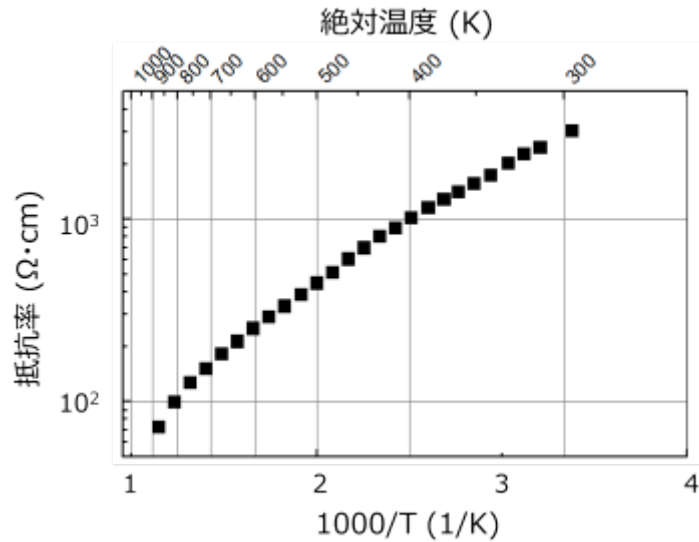


図 3.1-60 ホール効果測定により半導体特性を評価した結果例

3.1.4 X線照射実験

【平成 28 年度】

物材機構より供された MIS-FET(20170117C, 30nm Al2O3)に対し、CTA 線量計の吸収線量での換算で 100kGy 相当の X 線を照射した。図 3.1-61 に使用した X 線発生装置 (Regaku、4037B) と使用した X 線管ターゲット (Cr) を示す。X 線源に 20kV の電圧を印加し、50mA の電流を流した場合、一時間あたりの線量率は 16.296kGy/hr であったため、線量が 100kGy となるよう照射時間を 6 時間 8 分 11 秒とした。X 線照射後の試料を物材機構に返送し、電気特性評価を行った所、X 線照射による影響ではないが、電気特性に異常が観測され、MIS151014 に試料を変更した。再度、北海道大学にて CTA 線量計の吸収線量での換算で 100kGy 相当の X 線を照射し、物材機構に返送した。

産総研より供された cFET(14482-01-15)に対し、同様に CTA 線量計の吸収線量での換算で 100kGy 相当の X 線を照射し、産総研に返送した。

照射試料の評価用として借用していた FT-IR 装置が使用不能となったため、代替となる装置を整備した。図 3.1-62 に導入した FT-IR 装置 (JASCO、FT/IR-4600) を示す。厚みが 514 μ m と 253 μ m の Ib 型ダイヤモンド基板の吸光度と透過率をそれぞれ FT-IR 装置にて測定した例を図 3.1-63、図 3.1-64 に示す。



図 3.1-61 X線照射装置(Regaku, 4037B) (左)、使用したX線管ターゲット(Cr) (右)



図 3.1-62 FT-IR 装置 (JASCO、FT/IR-4600)

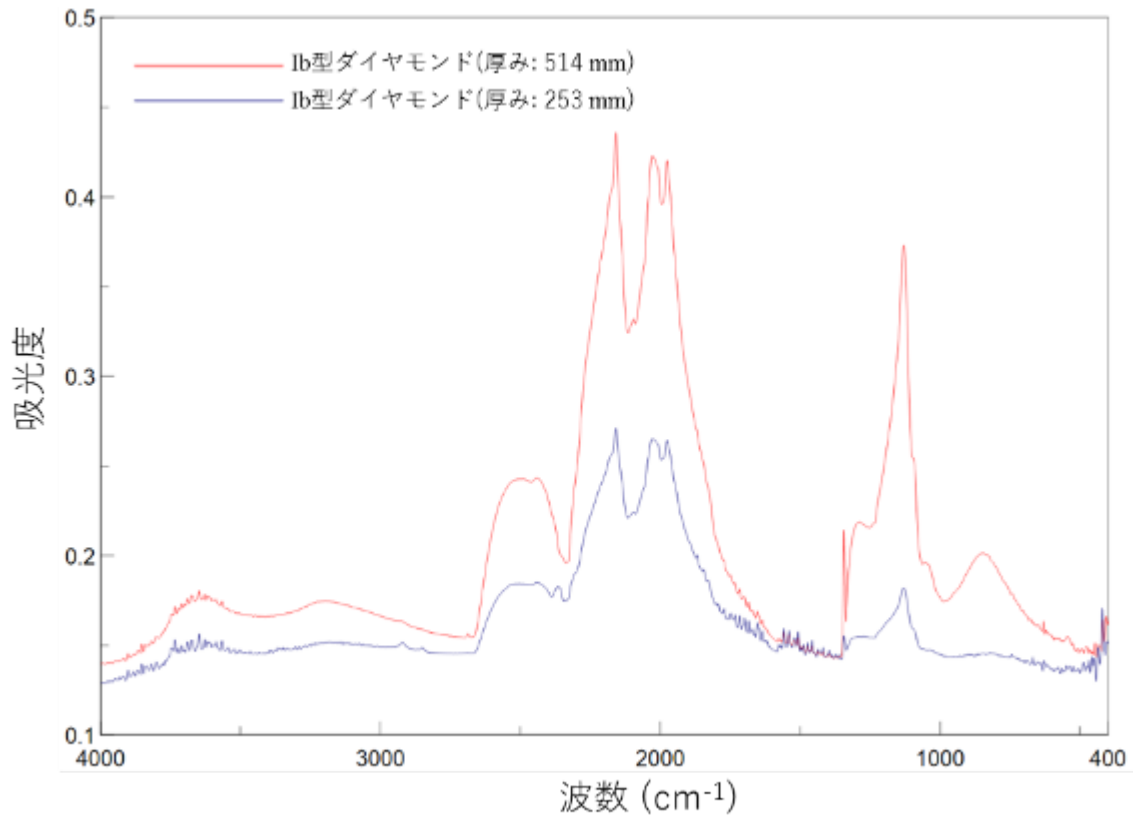


図 3.1-63 FT/IR-4600 で測定した吸光度

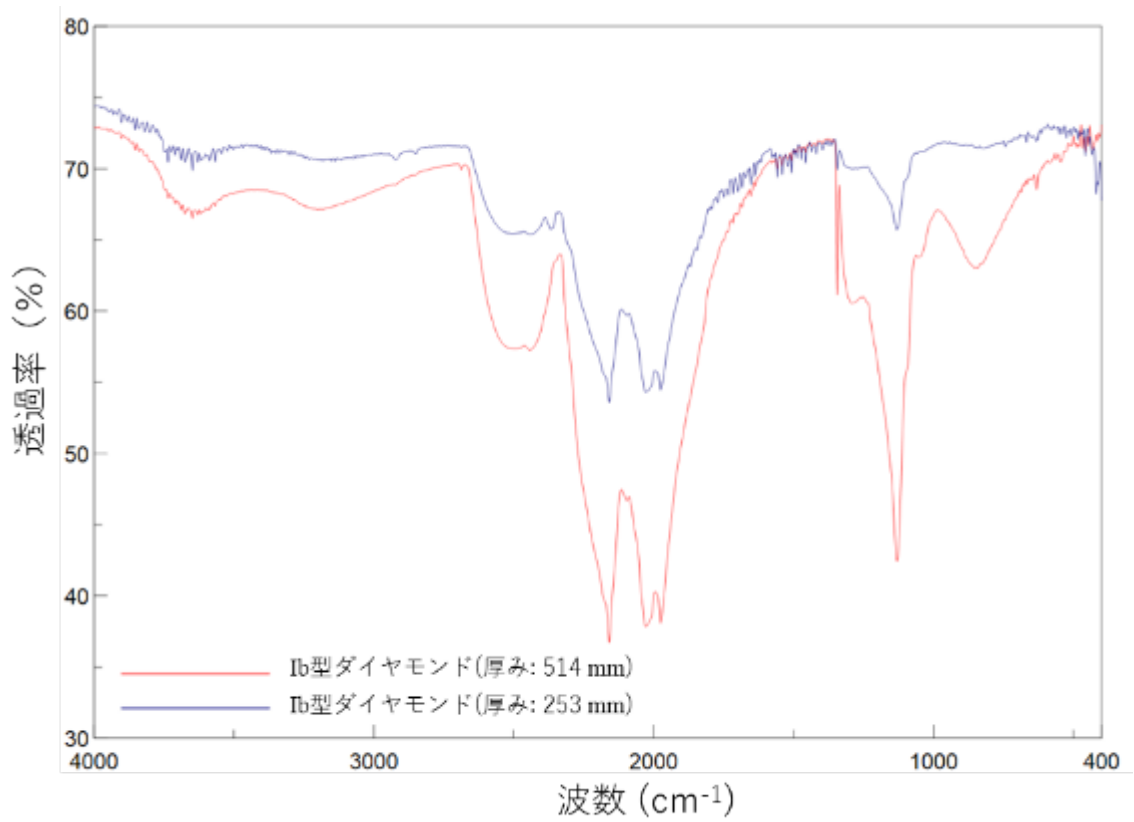


図 3.1-64 FT/IR-4600 で測定した透過度

【平成 29 年度】

3.2.1、3.2.2 項において産総研より供された評価試料、3.4.1 項において物材機構 (NIMS、National Institute for Materials Science、物質・材料研究機構) より供された表面伝導層・誘電体評価用素子に対して X 線照射を行った。図 3.1-65 に実験体系を示す。



図 3.1-65 X 線照射実験体系

【平成 30 年度】

産総研と物材機構より供された評価試料、表面伝導層・誘電体評価用素子に対して X 線照射を継続した。X 線照射装置は平成 29 年度と同じ Rigaku, 4037B を用いた。X 線管のターゲットとしてはクロム (Cr: Chrome) を使用した。

【令和元年度】

前年度に引き続き、産総研、物材機構より供された評価試料に対する X 線照射を行った。表 3.1-1 に X 線の照射履歴を示す。北大製試料については全期間で照射を行っている。

表 3.1-1 X 線の照射履歴

X線照射日	試料	線量率	照射時間	照射線量
2017年2月28日	MISFET	16.3kGy/h	6h8m	100kGy
2017年4月6日	キャパシタ	16.3kGy/h	6h8m	100kGy
2017年10月12日	キャパシタ	12.0kGy/h	8h20m	100kGy
2017年10月12日	MESFET	12.0kGy/h	8h20m	100kGy
2018年2月7日	MESFET	11.1kGy/h	9h	100kGy
2018年2月22日	MESFET	12.8kGy/h	7h48m	100kGy
2018年3月19日	キャパシタ	12.8kGy/h	7h48m	100kGy
2018年3月19日	キャパシタ	12.8kGy/h	7h48m	100kGy
2018年7月30日	ダイヤモンド抵抗体	12.8kGy/h	7h48m	100kGy
2020年1月21日	MISFET	17.9kGy/h	5h34m	100kGy
2020年2月18日	MISFET	17.9kGy/h	5h34m	100kGy

3.1.5 高温用電子部品の要素技術開発

【平成 28 年度】

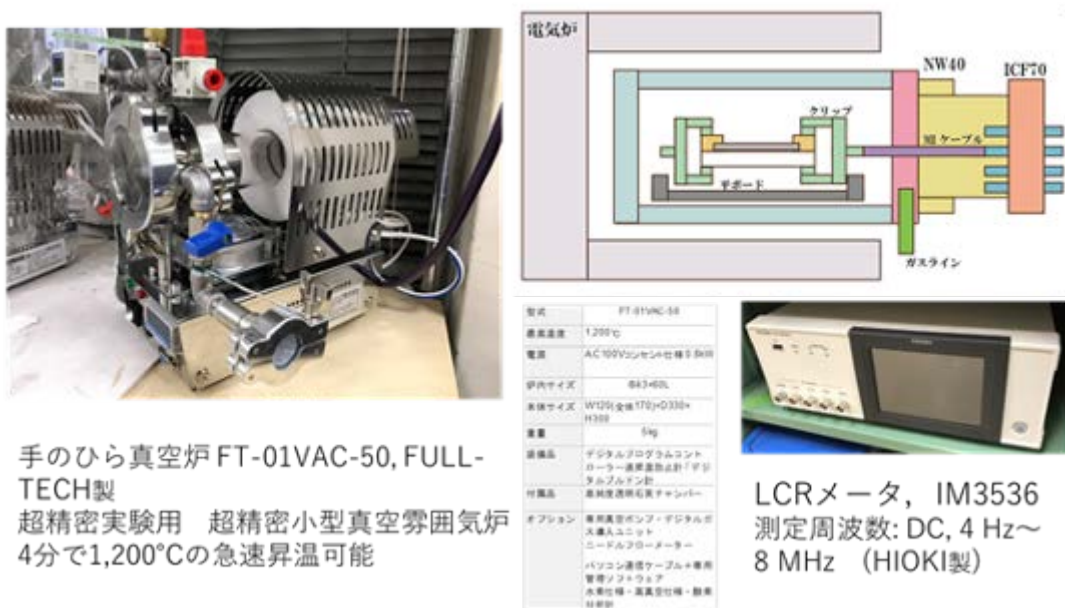
産総研で使用している高温用ダイヤモンド FET パッケージは 400℃、2 秒で使用不能となる。このため、目標動作温度を 500℃として、高温動作を可能にする電子部品の要素技術の検討を行った。この温度領域で動作する電子部品は需要がこれまで存在しなかったことなどから、市場には全く存在しない。電源供給は MI ケーブルを通して行えることから、インダクタ(L)は省き、キャパシタ(C)、電気抵抗(R)、ダイヤモンド FET などのパッケージ、配線接続技術を開発する指針となった。

産総研・関西センターを訪問し、打ち合わせを行い、ダイヤモンド IC 開発で産総研が試作を予定しているダイヤモンド基板上に構成するキャパシタ、電気抵抗に関する情報を共有した。電気抵抗に関しては温度変化の少ない金属系抵抗としてコンスタンタン、白金などの可能性を議論した。キャパシタの製作が最も難しく、高誘電体に関する情報を共有した。

研究代表者がかつて所属した日本原子力研究所・原子炉計装研究室で開発された高温ガス炉用核分裂検出器（動作温度：850℃）の利用技術、アルミナ、シリカ等のセラミクス焼結技術をベースに、北海道大学が保有するセラミクスの焼結前整形に使用する静水圧加圧装置など、セラミクスシンチレータ開発で使用した既存設備群を転用して、平成 29 年度の開発準備を進めた。

【平成 29 年度】

500℃で動作可能なモノリシックタイプの抵抗やキャパシタ、更に FET 用パッケージ、配線技術等を実現するため、参画機関と情報を共有しながら開発手法を検討した。一部については設計並びに北海道大学が有するセラミクス材料製造装置群を活用し試作した。試作した素子の室温～500℃以上の領域での動作試験を不活性ガス雰囲気中で可能にする装置を整備した。図 3.1-66 に整備した装置を示す。



手のひら真空炉 FT-01VAC-50, FULL-TECH製
超精密実験用 超精密小型真空雰囲気炉
4分で1,200℃の急速昇温可能

型式	FT-01VAC-50
最高温度	1,200℃
電源	AC100Vコンセント仕様50/60Hz
炉内サイズ	φ43×60L
本体サイズ	W125×全高170×D330×H300
質量	5kg
特徴点	デジタルログラムコントローラー搭載防止型「デジタルブルドン計」
付属品	最終年度用石英チャンセル
オプション	専用真空ポンプ・デジタル出力導入ユニット ロードセル・ロードセル パソコン連携ケーブル・専用管理ソフトウェア 水素気体・高真空仕様・酸素分析計

図 3.1-66 電子部品の高温動作試験装置

【平成 30 年度】

500℃で動作可能なモノリシックタイプの抵抗やキャパシタ、更に FET 用パッケージの成立可能性検証としてコンスタantan(Cu-Ni)・炭素をベースとした抵抗、高温誘電体を使用したキャパシタを試作した。これらと FET パッケージの高温動作特性を評価した。図 3.1-67 にコンスタantan(Cu-Ni)・炭素をベースとした抵抗素子、図 3.1-68 に高温誘電体を使用したキャパシタの作製手順を記す。FET パッケージの高温動作特性については、図 3.1-69 に実験系の概要を、図 3.1-70 に評価結果を記す。FET パッケージを 600℃まで加熱した結果、絶縁破壊による端子の導通、漏れ電流の増加など、高温環境による顕著な劣化は観察されず、600℃の加熱後も問題なく動作することを確認した。

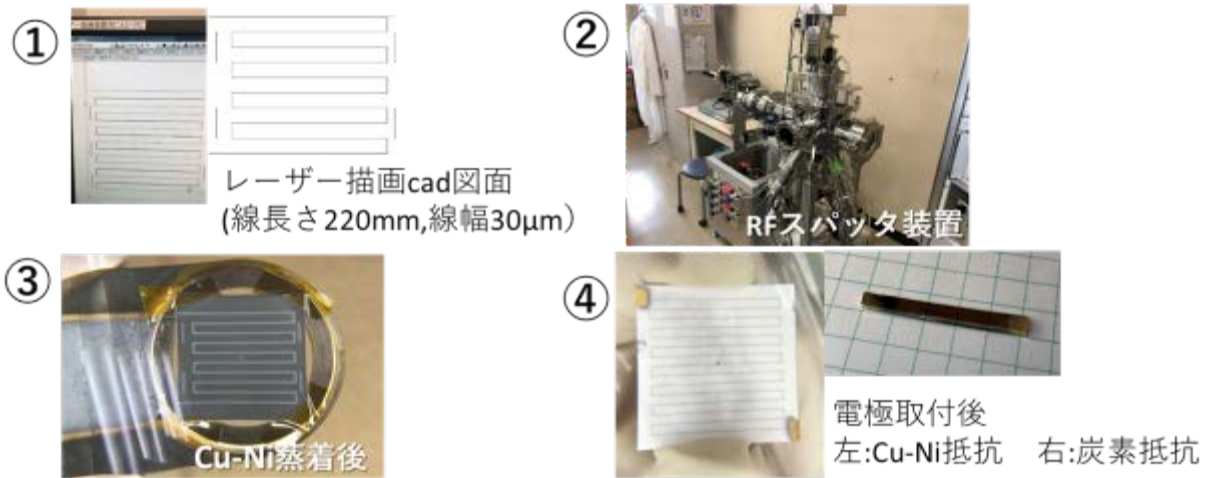


図 3.1-67 コンスタantan(Cu-Ni)、炭素をベースとした抵抗素子の作製手順



図 3.1-68 高温誘電体を使用したキャパシタの作製手順

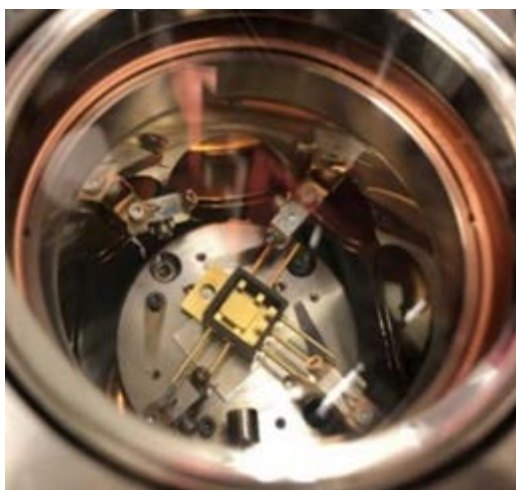


図 3.1-69 FET パッケージの高温動作特性(実験系の概要)

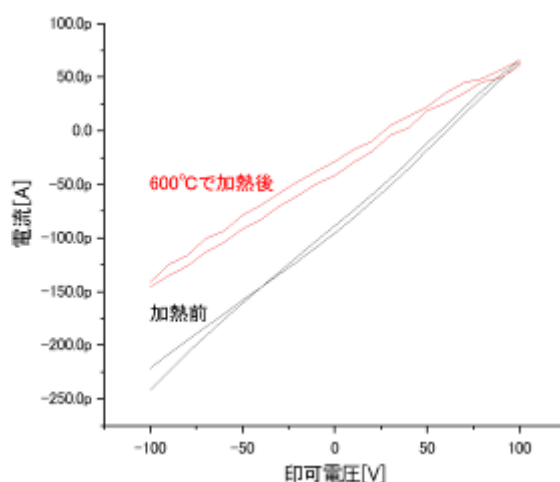


図 3.1-70 FET パッケージの高温動作特性(評価結果)

【令和元年度】

500°Cで動作可能な高温用電子部品の成立可能性検証として抵抗、コンデンサ等を試作し高温動作特性を評価した。また、X線照射試験も行った。

高い比抵抗、小さな温度係数を有し、基板と反応しづらい抵抗材料を調査した。表 3.1-2 に候補となる抵抗材料の抵抗値と温度係数を示す。調査結果より、CuNi(コンスタantan)薄膜、ニクロム線、Pt(プラチナ)薄膜を、高温用抵抗素子の材料として選定した。500°Cで変形しない平坦な基板を選定し、融点が 2040°Cの Al_2O_3 (サファイア)と軟化点が 1740°Cの石英ガラスを採用した。図 3.1-71 に、作製した抵抗素子の外観と高温動作特性結果例を示す。ニクロムと Pt を用いた抵抗素子は、600~700°C程度まで、温度上昇に伴い抵抗値が上昇した。一方で、CuNi 抵抗は、550°C以上で、自己発熱により抵抗値が急上昇した。高温により抵抗素子に過電流が流れ断線し、電流経路が遮断されるため、更に抵抗値が上昇するという負のフィードバックが掛かったと考えられる。次に、図 3.1-72 に、作製したコンデンサの外観と高温動作特性結果例を示す。サファイアを用いたコンデンサは室温で 0~20V では DC バイアスの依存性がなく、また直列抵抗が大きくなった。高温領域で、ノイズを拾う傾向が

あるため、SN 比を良くするために、測定系の改良を行った。傾向としては静電容量が安定しており、700°C程度まで動作することを確認した。また、BST(チタン酸バリウムストロンチウム)や BCT-BMT($0.45 \text{ Ba}_{0.8}\text{Ca}_{0.2}\text{TiO}_3 - (0.55 - x) \text{ Bi}(\text{Mg}_{0.5}\text{Ti}_{0.5})\text{O}_3 - x\text{NaNbO}_3$ ($x = 0 \sim 0.30$) ($x=0$))、を用いて作製したコンデンサに関しては、400°Cまででは問題なく動作したが、500°Cでは低周波数領域で特性に変動がみられた。BST に関しては、500°Cの設計に耐え得る可能性を示した。

表 3.1-2 候補となる抵抗材料の抵抗値と温度係数

	CuNi	白金	ニクロム Ni80Cr20	クロム	炭素
比抵抗[Ωm]	5.0×10^{-7}	1.0×10^{-7}	1.1×10^{-6}	1.3×10^{-7}	
温度係数[/ $^{\circ}\text{C}$]	1.5×10^{-5}	3.9×10^{-3}	2.8×10^{-4}	5.9×10^{-6}	5.0×10^{-4}

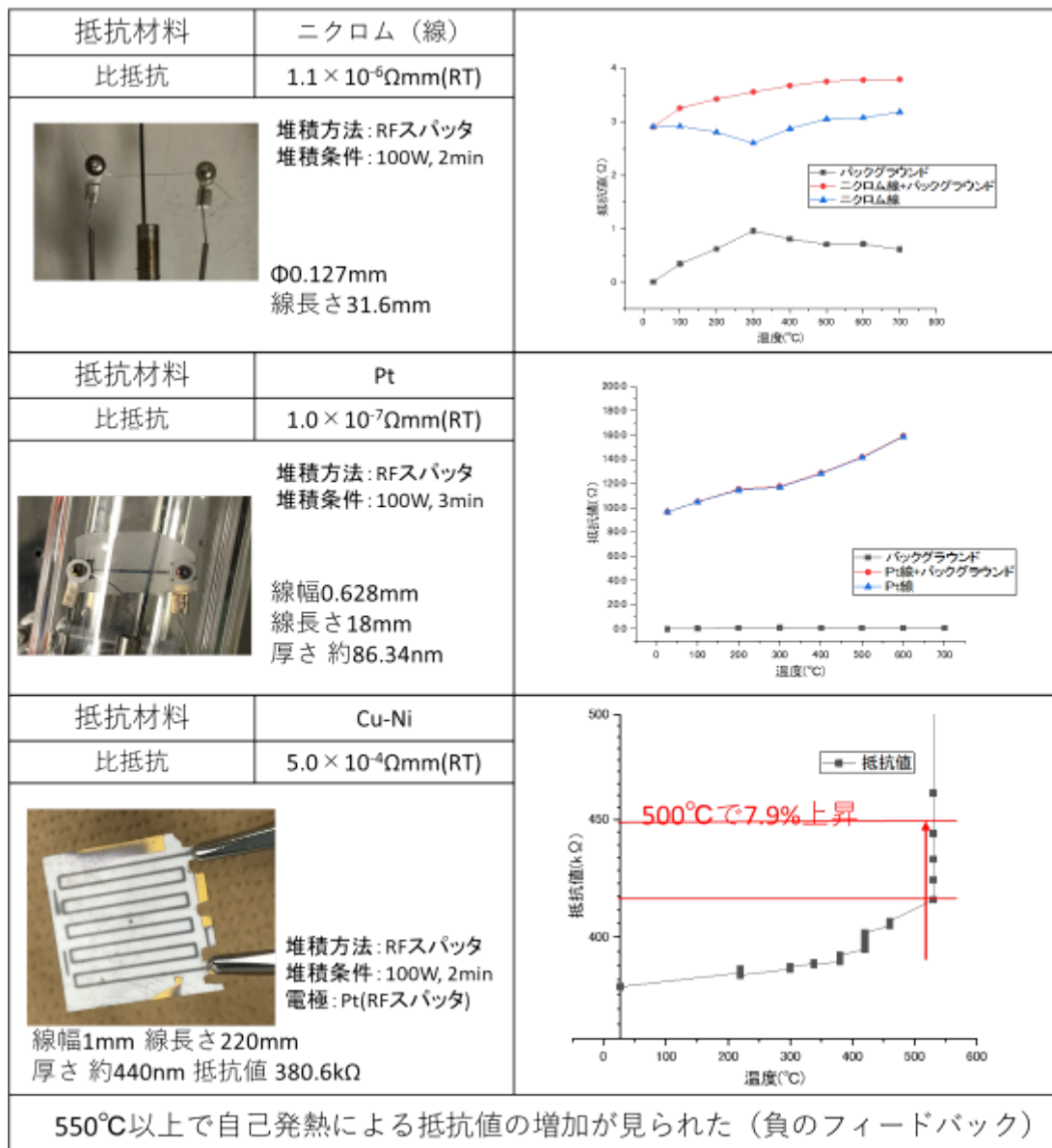


図 3.1-71 作製した抵抗素子の外観と高温動作特性結果例

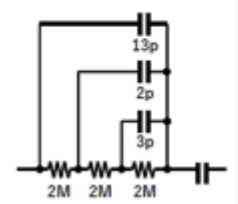
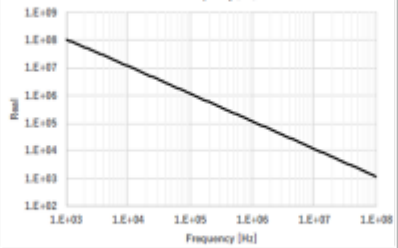
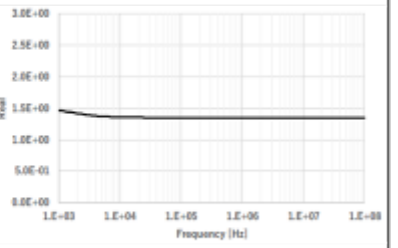
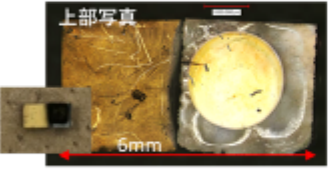
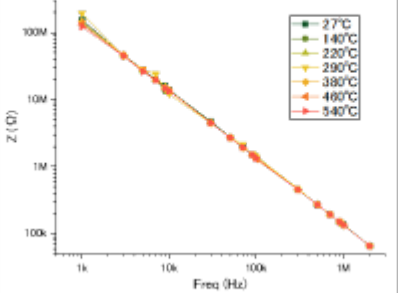
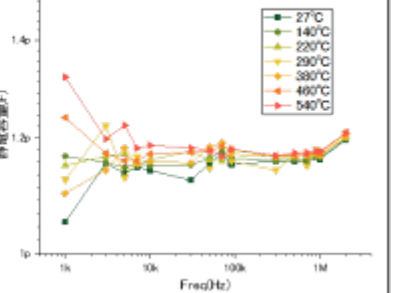

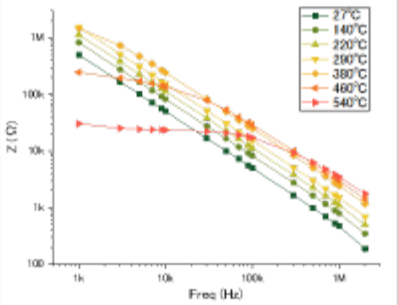
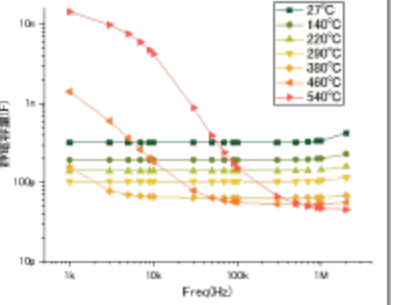

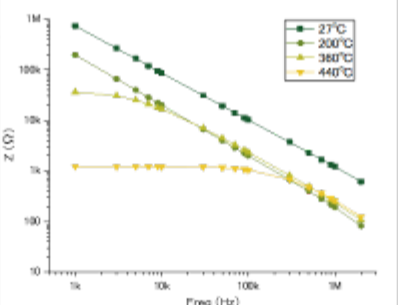
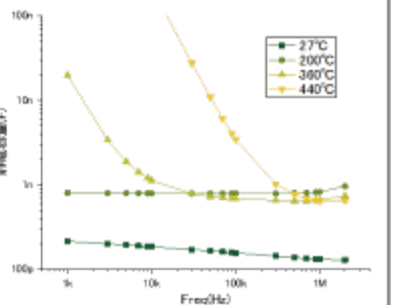
誘電体	$\text{Al}_2\text{O}_3(\text{C0001})$	理想的なキャパシタ(等価回路によるシミュレーション結果)	
誘電率	10.4 (RT)		
容量の等価回路			
周波数-インピーダンス		周波数-静電容量	
誘電体	$\text{Al}_2\text{O}_3(\text{C0001})$	誘電率は小さいが、室温~500°Cで大きな変化なし	
誘電率	10.4 (RT)		
上部写真 			
電極φ2mm 厚さ500µm 静電容量1.7pF (tanδ=0.035)			
誘電体	$(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3$	高周波数領域で高温動作はするが、温度による変化率が高い →変化の少ない材料の探査+補正回路の検討	
誘電率	2184(RT)		
			
電極4.5mm角 厚さ1.19mm 静電容量320pF (tanδ=0.002)			
誘電体	0.45BCT-0.55BMT*	論文では500°Cで±15%、製作過程(粒径制御)に課題	
誘電率	633 (RT)		
			
電極57mm² 厚さ1.95mm 静電容量130pF (tanδ=0.035)			

図 3. 1-72 作製したコンデンサの外観と高温動作特性結果例

X線照射試験を行ったコンデンサの構造を図 3.1-73 に示す。誘電体には厚さ 500 μm 、比誘電率 10.4(@室温)の Al_2O_3 (C0001) サファイア結晶を用いた。高温動作を可能とするため、プラチナ(Pt)を電極として採用し、電極サイズは 2.5mm 角とした。図 3.1-74 に試作したコンデンサにおける静電容量の X 線照射量依存性を示す。高周波領域では、X 線照射による積算線量によらず、動作は安定し、静電容量は一定を保っているが、低周波領域において、X 線照射による影響が顕著に現れた。また、X 線照射により、誘電体と電極界面において、照射線量の増大に伴い界面反応が起こり、電極が剥離した素子もあった。図 3.1-75 に電極表面のレーザー顕微鏡像を示す。このため、MESFET で実績のある Ru 等、電極材の変更により密着性を改良した。図 3.1-76 に試作した抵抗の X 線照射量依存性を示す。平成 30 年度に引き続き、高温動作電子部品の要素技術開発を進めた。コンデンサに関して、サファイア製試料では 600 $^{\circ}\text{C}$ 付近まで安定して動作可能である事を明らかにした。抵抗素子に関して、CuNi を用いて作製した試料が 400 $^{\circ}\text{C}$ 程度までは使用可能であるが特性変化が大きく、回路的な温度補償による対応が必要であり、表面保護層の適用が必要な場合もあることが分かった。

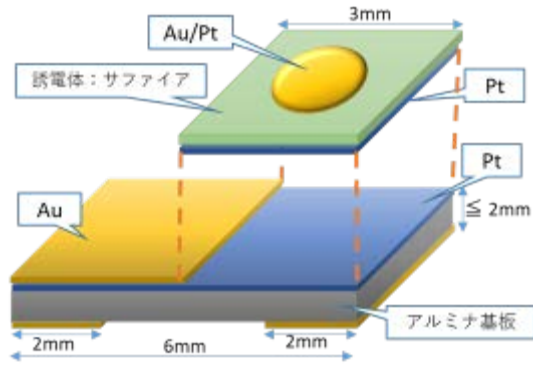


図 3.1-73 試作したコンデンサの構造

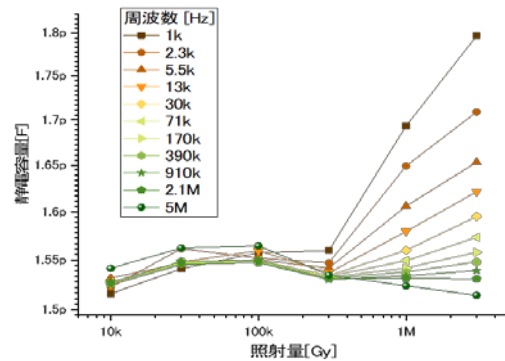


図 3.1-74 静電容量の X 線照射量依存性

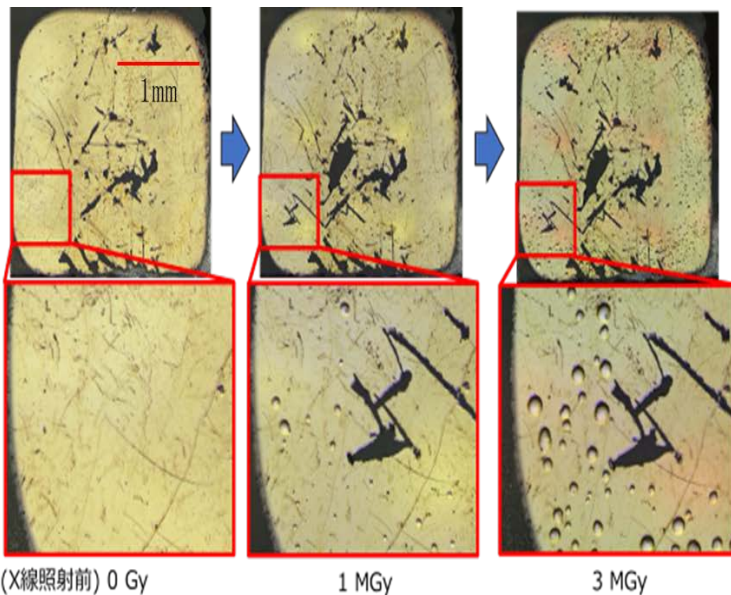


図 3.1-75 コンデンサに対する X 線照射影響
(レーザー顕微鏡像)

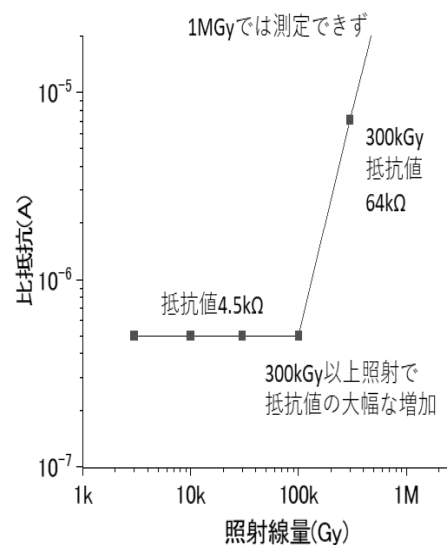


図 3.1-76 抵抗の X 線照射量依存性

3.2 ダイヤモンド MESFET 作製技術の確立とダイヤモンド IC の要素技術開発【H28-R1】

(再委託先：産総研)

3.2.1 ダイヤモンド MESFET の開発

本プロジェクトは、3.3.2 項及び 3.3.3 項で日立製作所が開発する CAMS 用ダイヤモンド FET 前置増幅器の目標性能(動作温度:230°C以上、積算線量:5MGy 以上等)を達成可能なダイヤモンド MESFET の開発と供給を行うことを目的としている。平成 28 年度から 30 年度までは、CVD エピ層の開発(平成 28 年度)、閾値制御性試験(平成 29 年度)、大型素子プロセス試験(平成 30 年度)を行い製造プロセスにおける実用化要素技術を開発した。令和元年度はゲート・ソース・ドレインの各電極パッド間に絶縁膜を形成し、表面保護層を形成することによりトランジスタ動作特性の安定化が可能であるかを調査した。また、平成 29、30 年度に確立した大型ゲート構造、低抵抗ソース・ドレイン構造を用い、更にパッシベーション膜を有する 30mm 以上のゲート幅を有するデバイスプロセスとして統合したダイヤモンド MESFET を試作し、電気特性を評価した。試作した MESFET は 3.3 節に供した。北海道大学と MESFET の試作プロセス及び評価技術について共有し、人材の交流、教育を通して試作を進めた。

【令和元年度の成果】

(A) トランジスタ動作特性の安定化と素子分離技術

(1) 目的

CAMS 用前置増幅器には複数の FET が用いられるため、耐放射線性ダイヤモンド MESFET の回路応用及び実用化には特性が安定してそろった素子の作製技術が必要不可欠である。特性の不安定性は主に表面の状態にあり^[1]、表面の結合を制御する必要がある。表面の安定性を得るためには、一般的に絶縁膜で表面を被覆させて保護するパッシベーション技術を用いられるが、絶縁膜は放射線照射により点欠陥の形成や電荷の蓄積などが起こるため素子自体の耐放射線性が劣化する。本プロジェクトではダイヤモンド MESFET の安定動作を目的として、パッシベーション膜を導入したダイヤモンド MESFET 及び表面制御技術を用いた MESFET について試作評価し検討した。

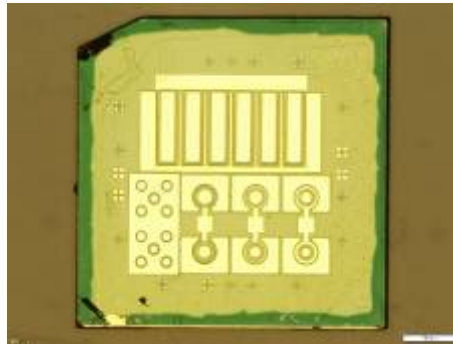
(2) 試験方法

まず単結晶ダイヤモンドに CVD 法によりチャンネルとなる p 型エピタキシャル層を成長させた。続いて、コンタクト層を選択成長法により形成し、続いて TEOS/CVD 法を用いて SiO₂ 膜を形成し表面パッシベーション膜とした。その後、ソース・ゲート・ドレイン各電極をリフトオフ法を用いて形成しパッシベーション膜付き MESFET とした。図 3.2-1(a)に試作したパッシベーション膜付き MESFET の写真を示し、図 3.2-1(b)に断面構造図を示す。また、耐放射線性を改善するためにパッシベーション膜を用いずに表面安定化処理を行った MESFET を同時に試作した。表面安定化処理は表面終端元素の変換処理技術^[2]を用いた。

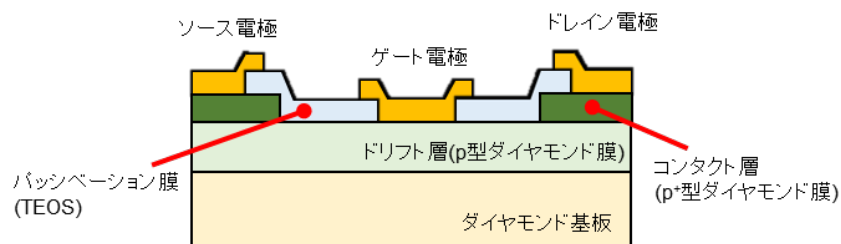
(3) 試験結果と分析及び考察

試作したパッシベーション膜付きダイヤモンド MESFET の電流・電圧特性を図 3.2-2 に示す。FET の動作は非常に不安定であった。これは、パッシベーション膜作製工程におけるダイヤモンド表面へのダメージやパッシベーション膜中の電荷による結果と思われる。

これに対して、表面終端変換処理工程を導入した素子の FET 特性を図 3.2-3 に示す。本技術により安定した FET 特性が得られるようになっており、表面終端変換処理による素子特性のチップ内標準偏差及び平均値は閾値電圧、最大ドレイン電流、相互コンダクタンス、出力インピーダンスに対してそれぞれ、4.39V/27.12V、0.155mA/0.955mA、5.68 μ S/63.7 μ S、28.8k Ω /176k Ω であった。



(a) 表面写真



(b) デバイス構造 (断面図)

図 3.2-1 パッシベーション膜を導入したダイヤモンド MESFET

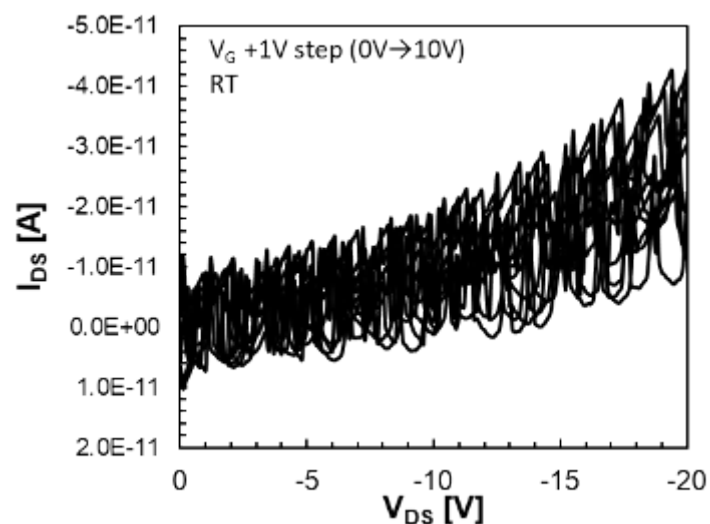


図 3.2-2 パッシベーション膜を導入したダイヤモンド MESFET の電流・電圧特性

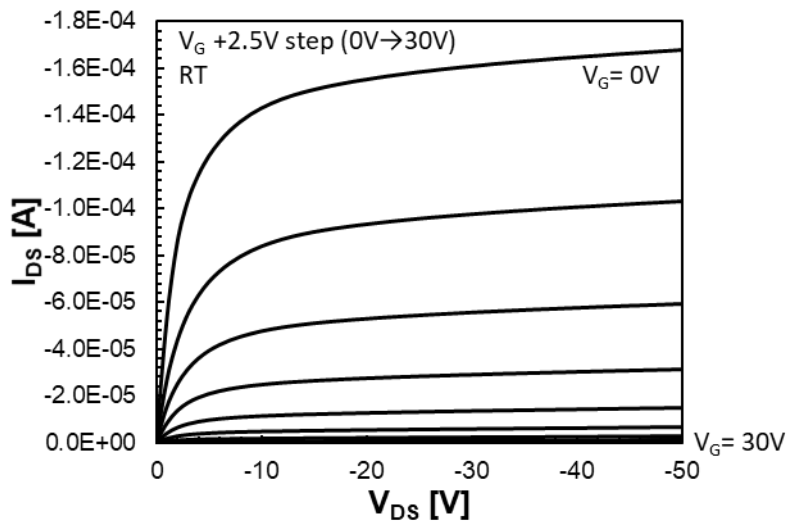
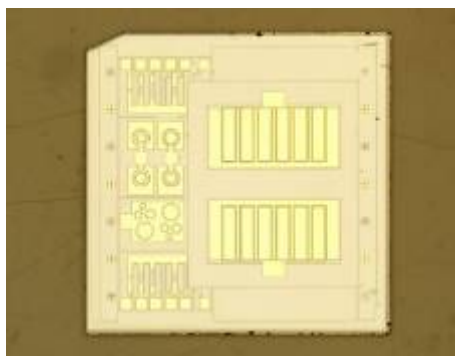


図 3.2-3 素子分離・加熱処理工程を導入したダイヤモンド MEFSET の電流・電圧特性

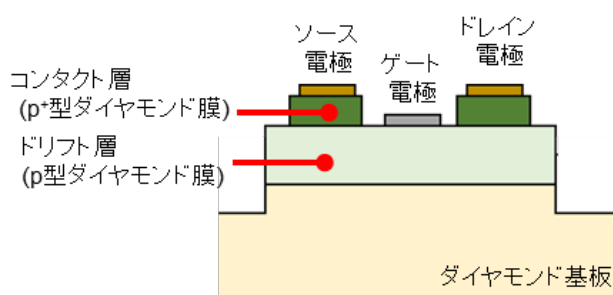
この表面終端変換処理技術により十分な表面安定化が得られたとし、この技術をパッシベーション膜形成に代わる技術として採用した。

また従来型で挙げられたもう一つの問題について、複数の素子間で流れる電流の問題があった。これは従来型ではダイヤモンド基板全面にドレイン層が存在していたことが原因であった。この問題解決のために、図 3.2-4 のようにデバイスの外側のドリフト層をドライエッチングにより取り除き、素子間の絶縁化（素子分離）を行った。この構造により、素子間に流れる電流を無くすことに成功した。

以上の改良点から、ダイヤモンド MESFET は加熱処理工程と素子分離工程を加えた構造を基本構造として作製を行っている。



(a) 表面写真



(b) デバイス構造 (断面図)

図 3.2-4 素子分離・加熱処理工程を導入したダイヤモンド MEFET

参考文献

- [1] 生駒英明, 解説 化合物半導体のパッシベーション技術, 応用物理 69, (2000) 159-165.
- [2] H. Umezawa, K. Ikeda, R. Kumaresan, N. Tatsumi, S. Shikata, Increase in Reverse Operation Limit by Barrier Height Control of Diamond Schottky Barrier Diode. IEEE Electron Device Lett., 30 (2009) 960-962.

(B) 長ゲート幅ダイヤモンド MESFET の試作

(1) 目的

実用に資するダイヤモンド MESFET を作製し、回路を設計及び試作するためには、プロセスの開発とともに素子特性パラメータと素子モデルを把握しシミュレーションを行う必要がある。このため、素子特性パラメータと素子試作における設計パラメータの相関を把握する必要がある。これまで、実用に資するデバイス用プロセスの開発として、高濃度ホウ素ドーピング p+選択成長技術の開発（平成 29 年度）、容量低減及び素子分離技術（平成 30 年度）を行い、また、設計パラメータの実験的検証として、ドーピング濃度の変動による最大電流及び閾値電圧の変動評価（平成 28 年度）を行った。令和元年度は回路設計に向けて、小型素子から大型素子、特に 30mm を超えるゲート幅の素子について素子特性パラメータがどのように変化するかを把握する実験を行った。

(2) 試験方法

まず単結晶ダイヤモンドに CVD 法により p 型エピタキシャル層を成長させた。続いて、設計した各ゲート幅の FET に対応するコンタクト層を選択成長法により形成し、ソース・ゲート・ドレイン各電極をリフトオフ法を用いて形成し MESFET とした。試作した MESFET の顕微鏡写真を図 3.2-5 に示す。本素子には表面安定化処理を行った。

試作素子の設計パラメータを表 3.2-1 に示す。ゲート幅は 0.62mm から 89mm である。第 1 世代素子はコルビノ型素子形状であり、第 2 世代素子は矩形にしたコルビノ素子をワイヤボンディングにて各ドレイン電極を並列接合し大ゲート幅化している。第 4 及び 4.5 世代は楕歯型電極とした。

(3) 試験結果と分析及び考察

試作後にそれぞれの FET 電気特性評価を行い、最大ドレイン電流 $I_{D\text{Smax}}$ ($V_{GS}=0V$)、相互コンダクタンス g_m 、出力インピーダンス r_o 、ゲートソース間容量 C_{GS} を抽出し、ゲート幅依存性としてまとめた。抽出した各デバイス特性パラメータのゲート幅依存性を図 3.2-6～図 3.2-9 に示す。大ゲート幅化にともない、最大ドレイン電流、相互コンダクタンスはゲート幅に対して線形もしくは線形を超える増加を見せている。一般にドレイン電流と相互コンダクタンスはゲート長に反比例し、ゲート幅に比例するが、寄生抵抗成分が温度依存性を持つため、大ゲート幅素子は自己発熱の影響によって寄生抵抗成分が低下し、比例法則以上の増加が得られている可能性がある。

また、ゲート幅の増大とともに出力抵抗が減少しゲートソース間容量は増大していることが分かる。ゲートソース間容量は 10mm 以上のゲート幅を有する素子では理論値にほぼ一致していることから、電極パッド成分ではなく真正チャンネル領域での容量がほとんどを占めていると考えられるが、小型素子では理論値より 1 桁程度高くなることから、電極パッド等の寄生容量が素子容量のほとんどを占めていると考えられる。これらの特性から回路に利用する素子特性を決定し、これをもとに回路に利用する素子の構造設計を行った。

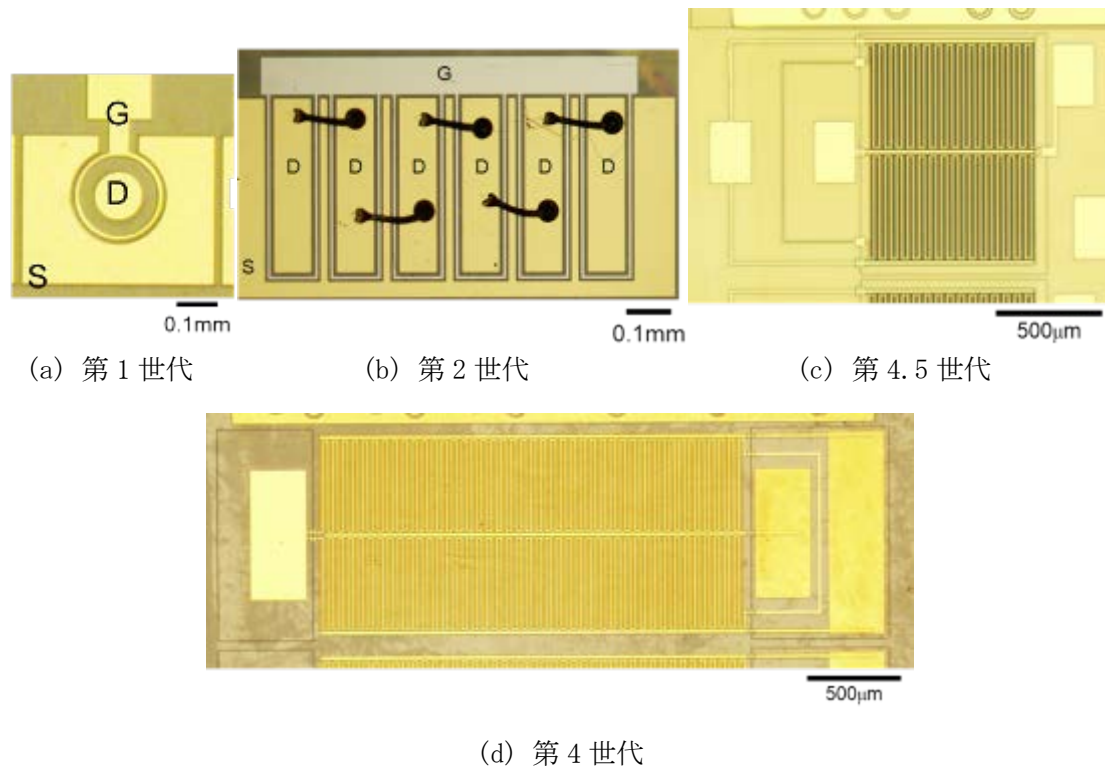


図 3.2-5 長ゲート幅化にともなうダイヤモンド MESFET の各モデルの写真

表 3.2-1 ダイヤモンド MESFET 各モデルの設計値

	第1世代	第2世代		第4.5世代		第4世代
		個別	ボンディング結合	エッチングなし	エッチングあり	
W_G	0.62 mm	9.4 mm		30 mm		89 mm
I_{DSmax} (設計値)	2 mA	~20 mA		30 mA		100 mA
電極面積 A	0.15 mm ²	0.88 mm ²	1.52 mm ²	0.86 mm ²	0.65 mm ²	2.24 mm ²
ゲート電極面積 $L_G \cdot W_G$	6.2×10^{-3} mm ²	1.6×10^{-2} mm ²	9.4×10^{-2} mm ²	0.30 mm ²		0.45 mm ²
ゲート電極面積率 ($L_G \cdot W_G / A \times 100$)	4.1 %	1.8 %	6.2 %	35 %	46 %	20 %

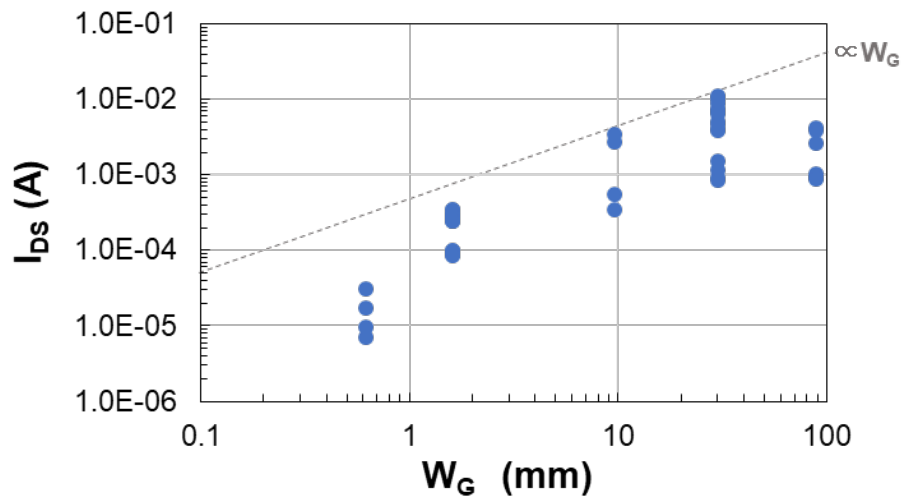


図 3.2-6 最大ドレイン電流のゲート幅依存性

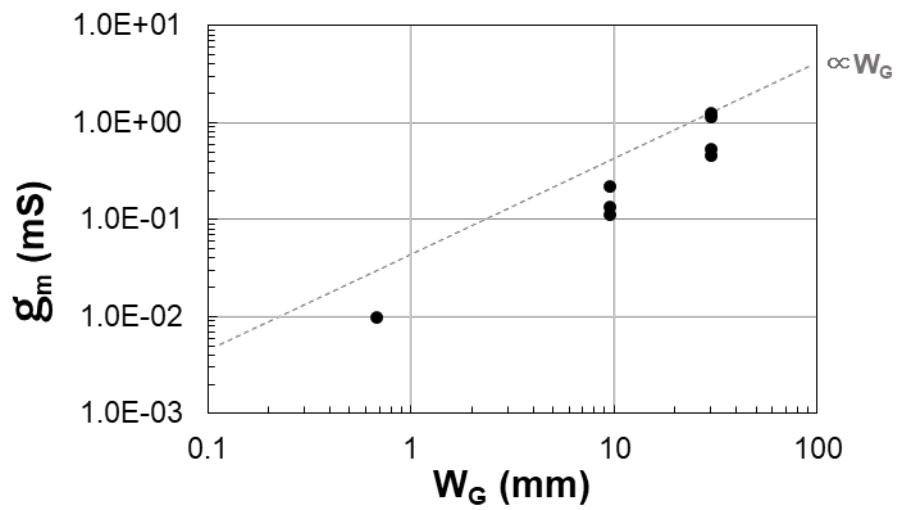


図 3.2-7 相互コンダクタンスのゲート幅依存性

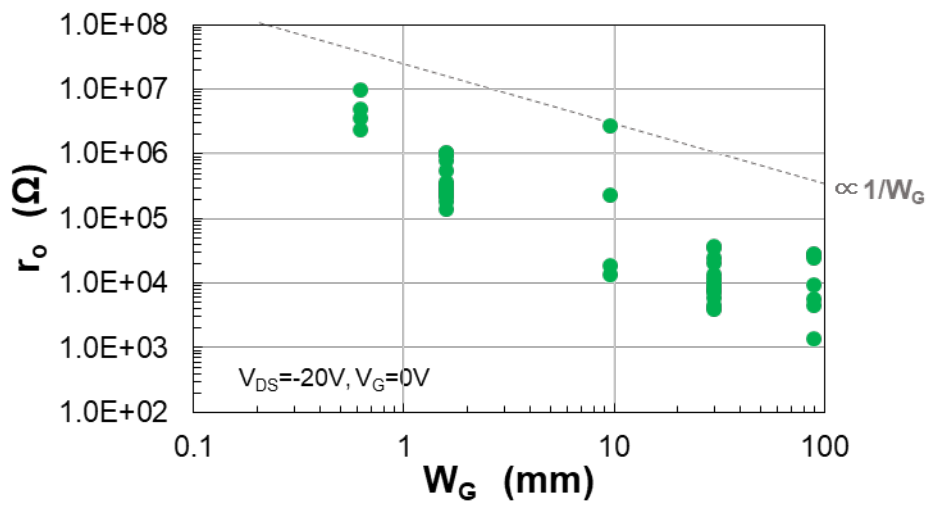


図 3.2-8 出力抵抗のゲート幅依存性

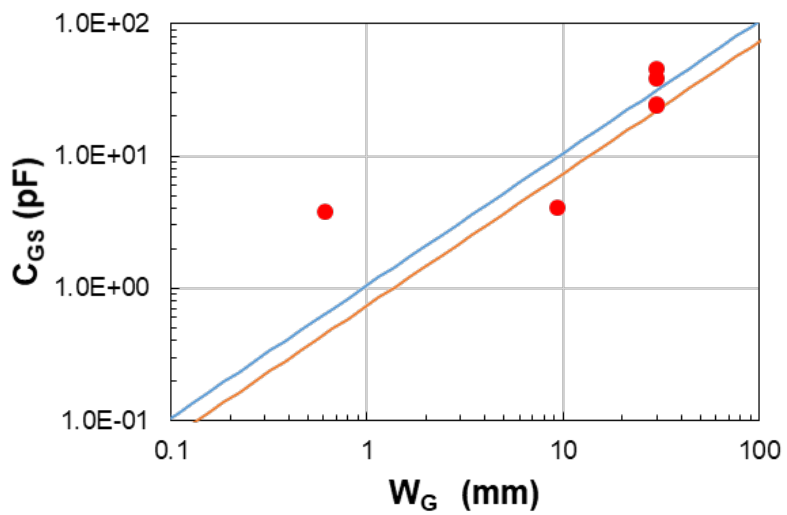


図 3.2-9 ソース・ゲート容量のゲート幅依存性

3.2.2 ダイヤモンド IC の要素技術開発

本プロジェクトではディスクリート素子を組み合わせる回路を作製することを目標としている。しかし、最も耐放射線・耐高温性能が得られるのは複数の FET と抵抗体やキャパシタを 1 枚のウェハ上に同時に搭載するモノリシックダイヤモンド IC であり、そのための要素技術開発が必要である。これまでモノリシック IC 化に向けた技術開発として、p+ダイヤモンド抵抗体の開発及びモノリシック IC 用 MIM キャパシタの試作（平成 29 年度）、ハーフィンチウェハ上への多素子同時作製プロセスの試験（平成 30 年度）を行った。令和元年度はダイヤモンド IC の要素技術開発として、ワンチップ内に増幅回路用であるダイヤモンド MESFET とともに抵抗を同時に搭載し回路利用が可能であるかを調査した。増幅回路用抵抗として MESFET もしくはダイヤモンド抵抗体を用い、同一基板上にモノリシックダイヤモンド回路を試作し電気特性を評価した。

また、ダイヤモンド IC の安定供給及び低価格化を目的としてハーフィンチウェハ上にプロセスが実施可能であるかを調査した。調査にはハーフィンチ専用プロセス設備であるミニマルファブを用い、ダイヤモンド MESFET を試作して電気特性を評価した。

【令和元年の成果】

(A) 同一基板上に形成したダイヤモンド半導体回路

(1) 目的

現在、ダイヤモンド MESFET を用いた前置増幅器はディスクリート素子を組み合わせる回路としている。しかし、半導体素子のばらつきやサイズ、寄生素子（配線等）を低減させて高性能化を行うには、ワンチップ内に FET と受動素子を組み合わせる作製することが望ましい。本実験では同一基板上に FET とダイヤモンド抵抗体を形成し、モノリシック回路が形成可能かを評価した。

(2) 試験方法

まず半絶縁性単結晶ダイヤモンドに CVD 法によりエピタキシャル成長を行い、p 型チャネルを形成した。次に抵抗体、MESFET 用に設計したコンタクト層を、選択成長技術を用いて形成した。最後にコンタクト及びソース・ゲート・ドレイン電極を形成し設計に応じて各電極間を接続させた。

(3) 試験結果と分析及び考察

図 3.2-10 に、形成した第 2 世代ダイヤモンド MESFET（データは単一素子を示す）及び第 4.5 世代ダイヤモンド MESFET の室温特性及び抵抗体の実測定値と設計抵抗値の比較を示す。抵抗体は 7 つの独立基板における設計抵抗値と実測定値の比較である。MESFET は小さいソース寄生抵抗による急峻な立ち上がりを見せている。抵抗体は基板内のばらつきは素子サイズに対して線形に変化しているものの、基板間のばらつきが大きくなっている。図中に示した通り、最大で設計の 4 倍、最小で設計の 40%にあたる抵抗値となっている。

このダイヤモンドチップの素子配置と回路図及び回路の信号特性を図 3.2-11 に示す。Vdd を -50V とし、vi を 6V として動作させ、回路動作が行われていることを確認した。

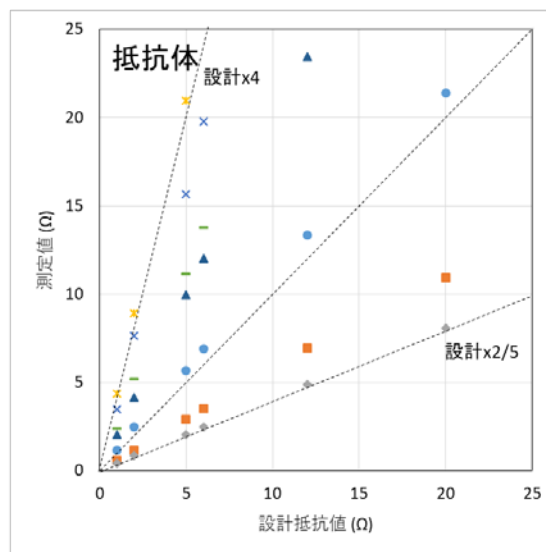
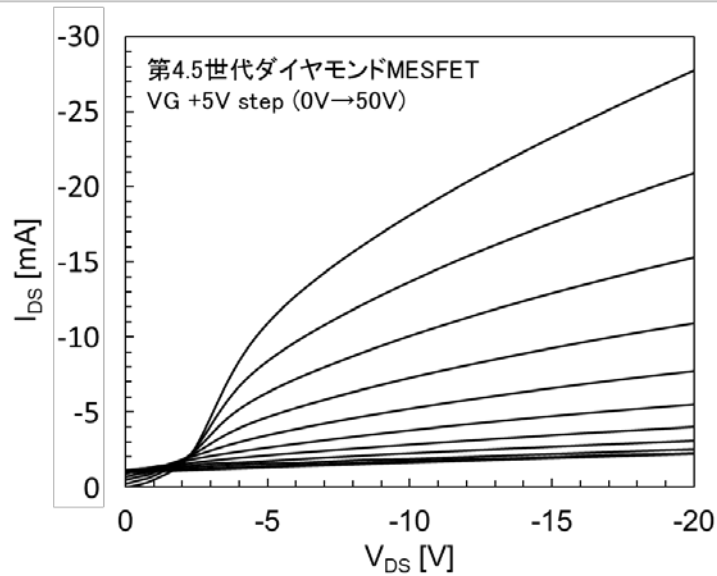
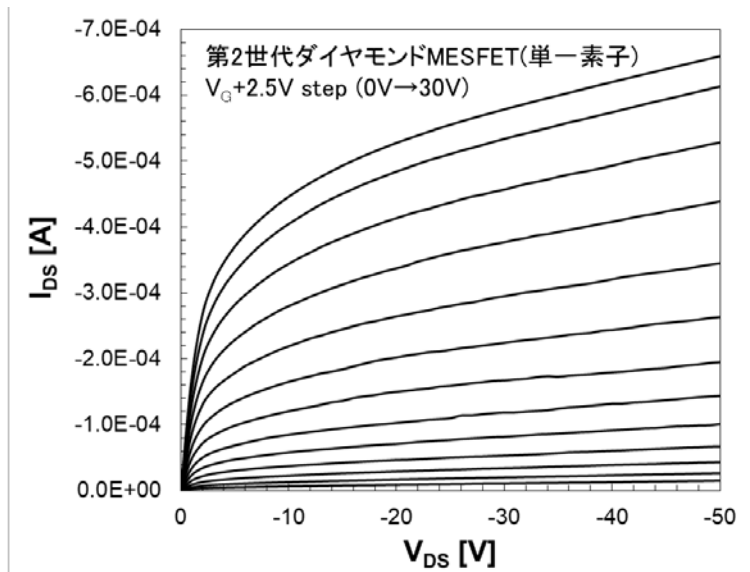


図 3.2-10 第 2 世代及び第 4.5 世代耐放射線ダイヤモンド MESFET の電気特性と 7 つの基板に形成した抵抗体の設計抵抗値と実測値の比較

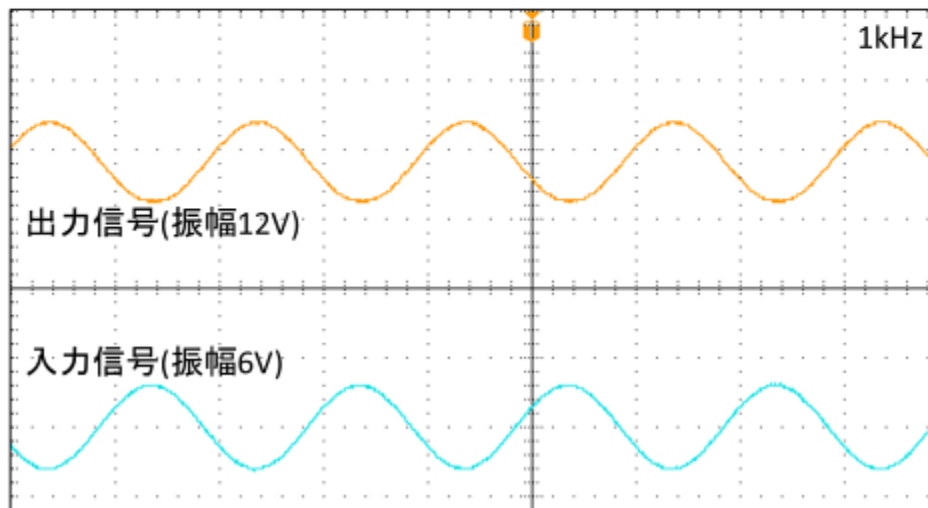
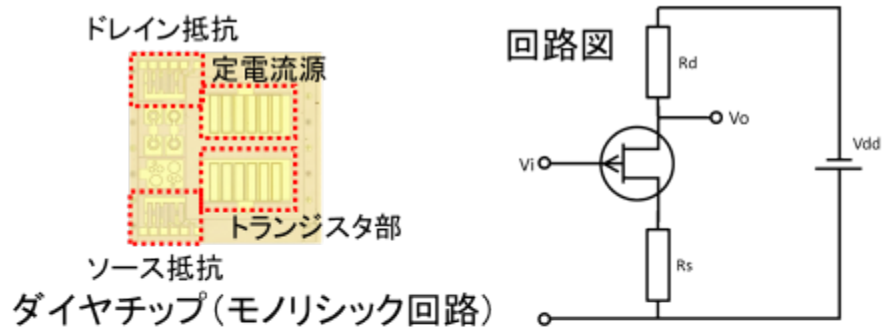


図 3.2-11 モノリシック回路用ダイヤモンドチップの素子配置と回路図
及び試作回路の信号特性

(B) ハーフインチウェハへのデバイス試作

(1) 目的

ダイヤモンド半導体素子は現在数 mm 角基板上に形成しているため、その素子特性は作業者の技量や確率的に発生する基板端部からのパーティクルの発生、成長条件のブレなどに極めて大きく依存する。令和元年度は定常的に素子供給する状況を見据え、ハーフインチウェハ上に素子作製が可能であるかを検討する。

(2) 試験方法

半絶縁性ハーフインチサイズダイヤモンド単結晶ウェハに p 型ダイヤモンド膜を CVD 法にてエピタキシャル成長し、チャンネル層を形成する。続いてコンタクト層を選択成長し、ソース・ゲート・ドレインの各電極を形成した。

(3) 試験結果と分析及び考察

図 3.2-12 にハーフインチウェハ上に試作した FET の写真を示す。116 個の MESFET を同一基板上に形成している。図 3.2-13 に試作 MESFET のソース・ゲート間及びゲート・ドレイン間電気特性を示す。ほぼ対称となる特性であり、どちらも 10V 程度で 10 μ A 程度の漏れ電流が発生している。これは、ショットキーゲート電極とダイヤモンドの界面品質が悪いことが示唆される。ショットキー障壁高さが小型ウェハに形成した FET におけるショットキーゲート電極より低いため、電極形成時の問題の可能性が考えられる。図 3.2-14 に MESFET の電流電圧特性を示す。ゲートバイアスに応じてドレイン電流の制御が見られているが、飽和領域のドレインコンダクタンスが高く、ピンチオフが不明瞭であり、またゲート電圧 $V_{GS}=24V$ においてもチャンネルが閉じていない。更に高ドレインバイアス領域で急峻なドレイン電流の上昇がみられている。これらはゲートでの漏れ電流及び膜の品質が原因と考えられる。素子分離技術の改善と膜の均一性の評価が必要である。

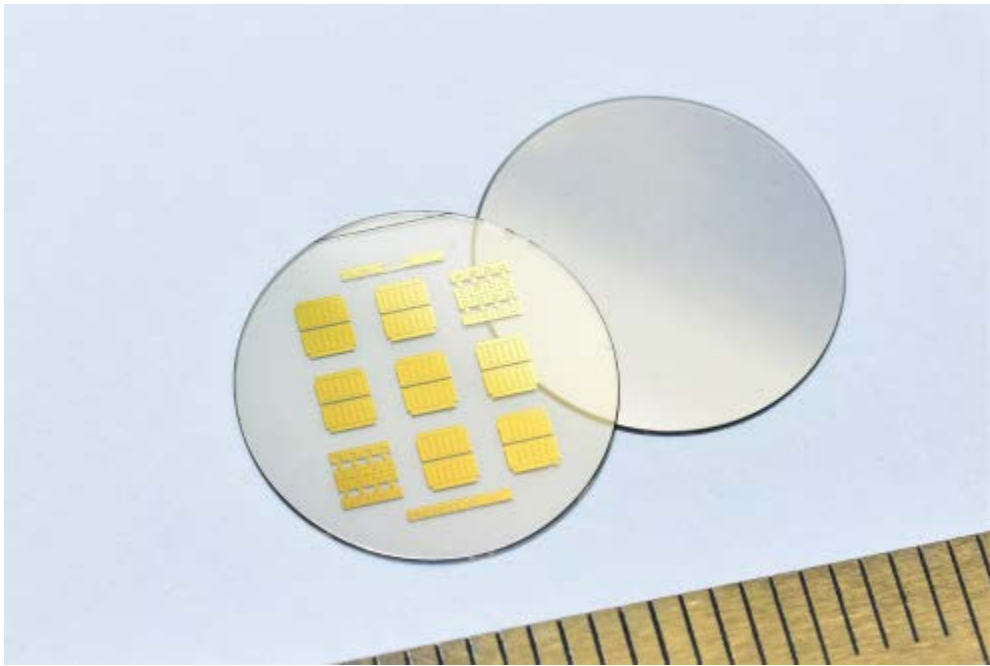


図 3. 2-12 ハーフインチサイズダイヤモンドウェハ上に形成したダイヤモンド MESA-FET

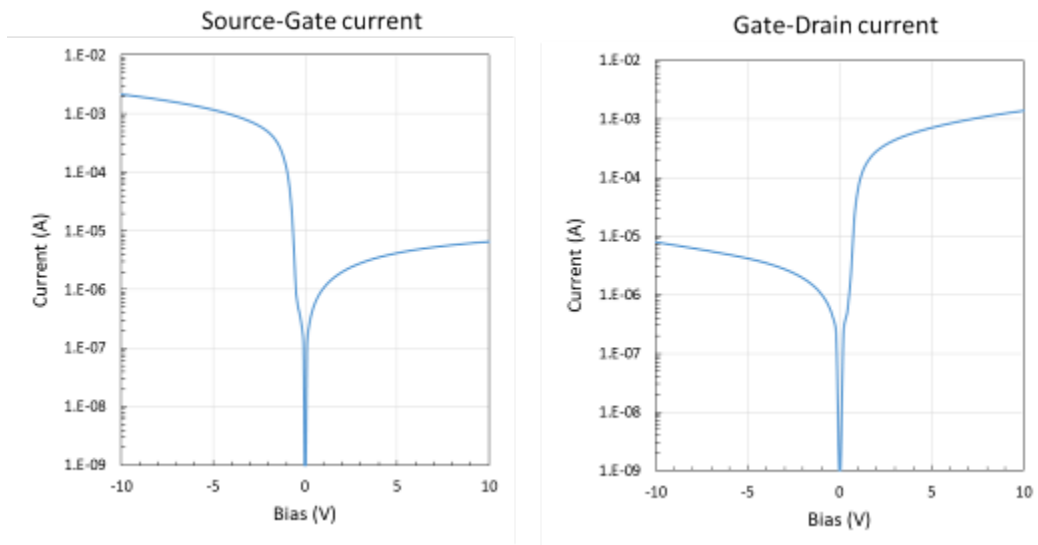


図 3. 2-13 ハーフインチサイズウェハ上に作製した MESA-FET のソース・ゲート及びゲート・ドレイン間特性

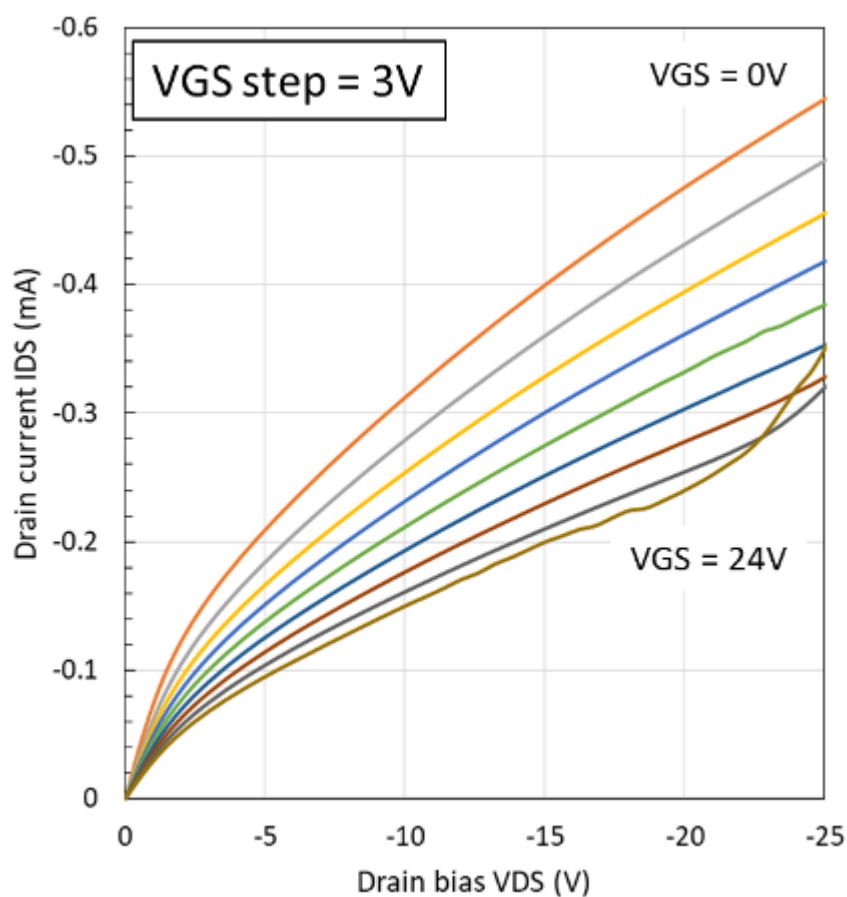


図 3.2-14 ハーフインチサイズダイヤモンドウェハに試作した
ダイヤモンド MESFET の電気特性

3.2.3 ダイヤモンド γ 線検出器開発と ^{11}B ドーピング型ダイヤモンド合成技術開発の支援

平成 28 年度～令和元年度まで、北海道大学が行うダイヤモンド γ 線検出器開発の支援として、リフトオフ法によるダイヤモンドの自立膜化、カソードルミネッセンス測定等を継続して分担した。詳細は 3.1.1、及び 3.1.3 に述べている。具体的には図 3.1-15、図 3.1-44 が産総研が行った作業の例及び使用したダイヤモンド基板である。

3.3 原子炉格納容器内雰囲気モニタプロトタイプの開発【H28-R1】（再委託先：日立製作所）

3.3.1 CAMS 用ダイヤモンド γ 線検出器の開発

北海道大学より 3.1.1 に基づき供されるダイヤモンド結晶、ダイヤモンド素子を用いて、平成 30 年度に実施した性能評価を反映した CAMS 用ダイヤモンド γ 線検出器を試作し、産総研より 3.2. に基づき供されるダイヤモンド FET を用いたダイヤモンド前置増幅器と組み合わせてエネルギー弁別性能、耐熱性及び耐放射線性について確認試験を実施した。

原子炉格納容器内雰囲気モニタ（CAMS）プロトタイプの開発目標は、動作温度： 230°C 以上（ 230°C 数時間、 200°C 数日間）、積算線量： 5MGy 以上、 ^{137}Cs 、 ^{60}Co とそれ以上のエネルギーを持った γ 線放出核種の弁別を可能にすること及び線量率線形性： $4\% \text{F. S.}$ 以内、ダイナミックレンジ： 7 桁である。以下、CAMS 用にそれぞれ開発したダイヤモンド γ 線検出器及びダイヤモンド前置増幅器に関して詳細を記す。

3.3.1.1 簡易核種弁別性評価【H28～H29】

ダイヤモンドは原子番号が小さいため光電ピークがほぼ観測されない^[1]ことから、極力ダイヤモンド素子を厚くして波高値スペクトルを測定し、コンプトン端を用いて簡易核種弁別ができるか評価した。

モンテカルロシミュレーションによりダイヤモンド素子の厚さ等を評価した結果、ダイヤモンド素子の厚さが $300\mu\text{m}$ 以上必要であることを確認した（図 3.3-1 a）参照）。更に、E6 製の素子厚 $300\mu\text{m}$ のダイヤモンド素子を使用し、 ^{137}Cs と ^{60}Co の 2 核種を用いて実測した結果を図 3.3-1 b）に示す。 0.5MeV （ 700ch ）近辺のコンプトン端の有無により ^{137}Cs の有無の判定、及びコンプトン端よりも高エネルギー側のカウン트의有無による ^{60}Co （ ^{137}Cs より高いエネルギー核種）の有無の判定が可能であることを確認した。以上より、簡易核種弁別法により、 ^{137}Cs 、 ^{60}Co とそれ以上のエネルギーを持った γ 線放出核種の弁別が可能であることを確認した。

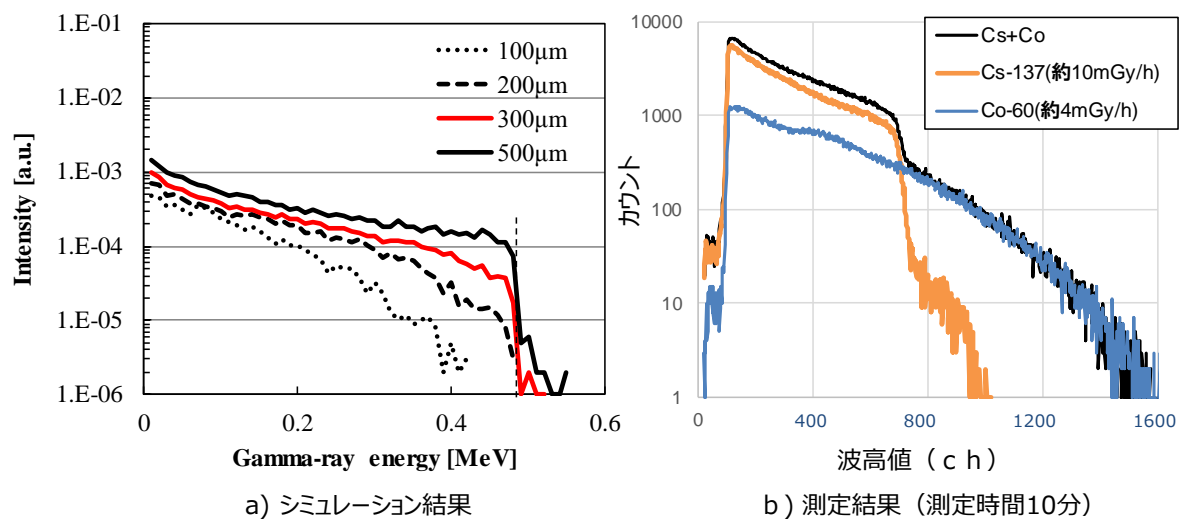


図 3.3-1 簡易核種弁別手法評価結果（波高値スペクトル）

3.3.1.2 積層ダイヤモンド検出器開発【H30-R1】

3.3.1.2.1 ダイヤモンド積層試作（2層）【H30】

北海道大学から供された積層ダイヤモンド素子（ $160\mu\text{m}=100\mu\text{m}+60\mu\text{m}$ ）を用いて2層の積層検出器を試作し特性を評価した。

波高値スペクトルを評価（ ^{137}Cs を用いて、線量率約 10mGy/h で1分間測定）したところ、合計厚 $160\mu\text{m}$ であり目標の $300\mu\text{m}$ 未満のためコンプトン端は見られなかったがシミュレーション通りの波高値スペクトルが得られ、経時変動も少ないことを確認した（図 3.3-2 a）参照）。

一方、耐環境性特性評価の結果、積算線量 1.4MGy 照射時点でノイズが増加、更に 145°C でノイズが増加して計測不能となった（図 3.3-2 b）参照）。

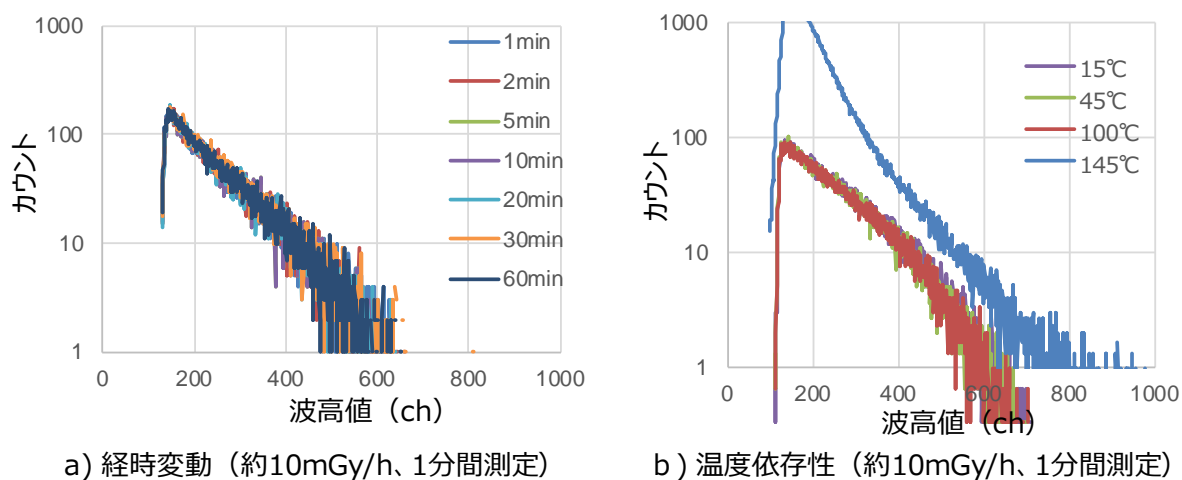


図 3.3-2 試作積層検出器の波高値スペクトル測定例

3.3.1.2.2 ダイヤモンド積層検出器【R1】

積層する各素子には同じ電圧を印加して合算した信号を読み出すため、不良素子の混入は許されず、また各素子の特性が均一であることが望まれる。そこで、図 3.3-3 に示すように、北海道大学で大型の素子を育成（膜厚： $67\mu\text{m}$ ）し、それをレーザー切断により4分割して使用した。

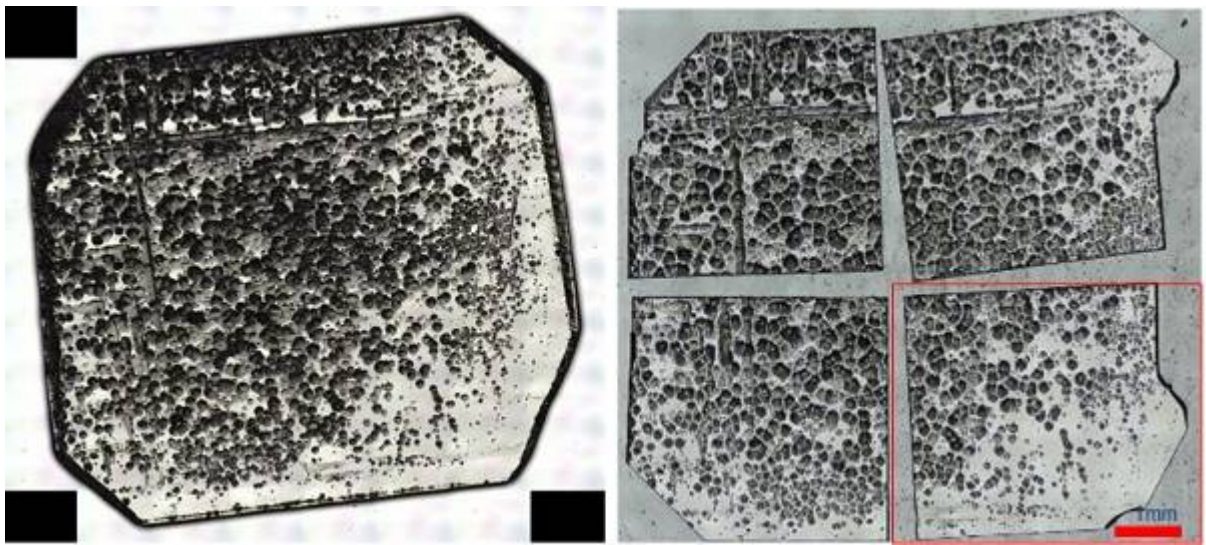


図 3.3-3 北大製大型ダイヤモンド半導体素子（レーザー顕微鏡写真）

また、平成 30 年度実施のダイヤモンド積層試作における不具合は、導電ペーストが電極からはみ出しダイヤモンド素子に直接接触したため、温度上昇により素子表面に付着した導電性物質の影響でリーク電流が増大したためと考えられる。そこで対策として、導電ペーストがダイヤモンド素子に直接接触しないようにする目的で、ダイヤモンド素子を穴の開いた絶縁板（アルミナ板）で挟み、その上から電極を蒸着したものを単層として、それらを導電ペーストで接続する方法を考案した。

以下、1 層分の製作手順を、図 3.3-4 を用いて説明する。

① 化学薬品洗浄

従来と同様に、表面不純物除去及び酸素終端の目的で、化学薬品処理を実施する。

② ③ アルミナ板両面接着

Φ1.5mm 穴の開いたアルミナ板（5mm x 5mm、0.1mmt）でダイヤモンド素子を挟み高温エポキシ接着剤にて接着する。

④ 両面電極蒸着

アルミナ板の上に更に蒸着マスクを載せて治具で固定し、スパッタ蒸着装置にて、白金（Pt）を両面に蒸着する。図 3.3-4 b) に示すように、蒸着部は鍵穴の形状とし、円形部分（Φ3mm）がアルミナの穴（Φ1.5mm）を通してダイヤモンド素子上の電極となり、アルミナ上の直線部は層間の電極接続用である。

本構造では、両面とも白金によるショットキー電極としている。従来のオーミック電極では超高真空での電極蒸着が必要であるが、接着剤で固定した部材を超高真空状態にすることは困難なため、低真空で蒸着可能な白金電極を採用した。基本的にはショットキー電極はリーク電流を低減するので、両面ショットキー構造で問題はなく、北海道大学にて検出器として実績のある手法である。

図 3.3-5 に改良積層構造を、図 3.3-6 に積層素子の写真をそれぞれ示す。アルミナで挟み込んだ 4 層のダイヤモンド素子（図 3.3-6 a) 参照）を導電ペーストで検出器キャップに固定

(図 3.3-6 b) 参照) している。各層間に金ワイヤを挟み込み信号線とアースにそれぞれ接続する構造である。

図 3.3-7 にダイヤモンド検出器の構成図及び写真を示す。ダイヤモンド半導体を電気的なグラウンドで囲い、電磁誘導による電気ノイズ流入を防ぐために、ダイヤモンド半導体を SUS 製検出器ケース内部に固定する構成とした。また、検出器信号出力の低下を防ぐために検出器周りの浮遊容量の低減を図った。具体的には、平成 30 年度試作品は検出器ケースと検出器ケーブルをねじ止めする構造としたが本開発では一体物として、検出器ケースの長手方向を 147mm から 119mm に短縮した。

ダイヤモンド素子の積層完了後に導電ペーストにて検出器キャップ (アース) に固定し、信号取出し用の金ワイヤは筐体に接触しないように注意して MI ケーブルに導電ペーストで接続した。

ダイヤモンド検出器はリモネクタにて、ダイヤモンド FET 搭載プリアンプに接続、または検出器ケーブルを介して市販のプリアンプに接続可能な構造とした。

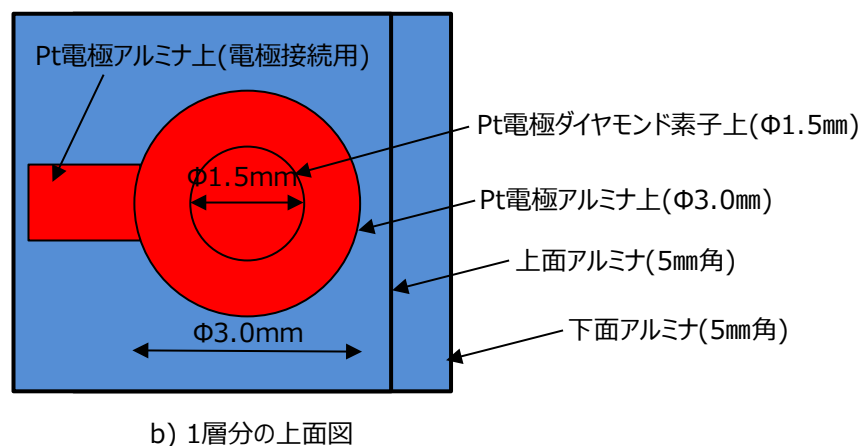
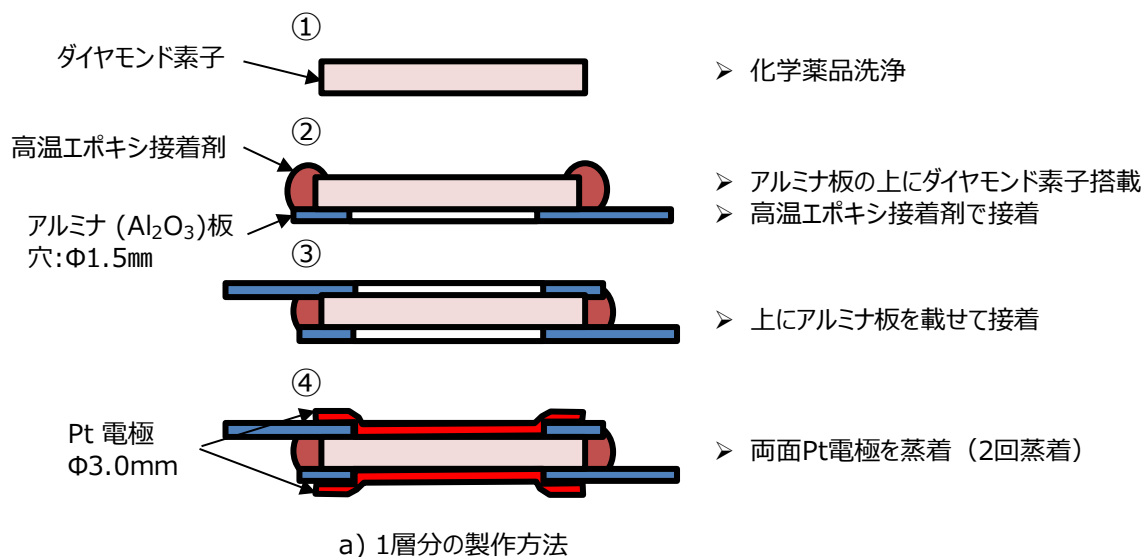


図 3.3-4 積層検出器用の 1 層分の製作方法及び上面図

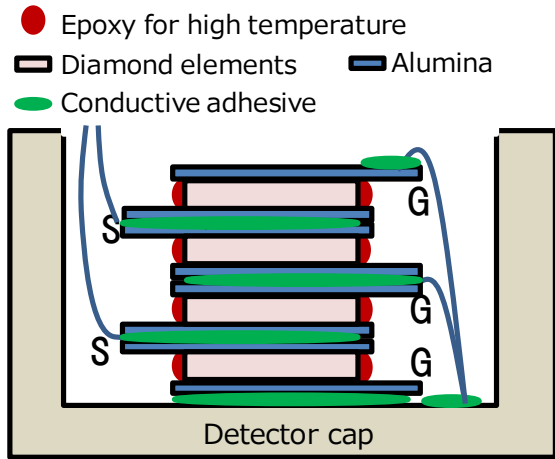


図 3.3-5 改良積層構造



a) 4 layer diamond elements

b) Diamond detector on the detector cap

図 3.3-6 ダイヤモンド積層素子写真

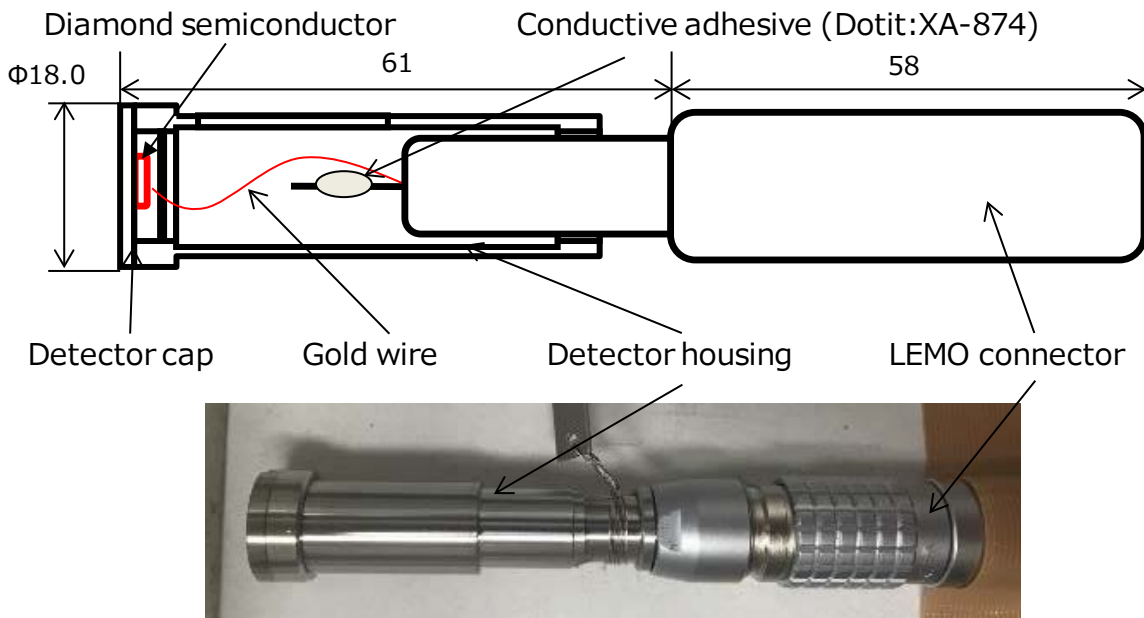


図 3.3-7 ダイヤモンド検出器の構造図及び写真

3.3.1.3 積層ダイヤモンド検出器特性評価【R1】

3.3.1.3.1 簡易核種弁別

簡易核種弁別特性を評価する目的で、 ^{137}Cs 点線源 (270MBq) と ^{60}Co 点線源 (23MBq) の 2 核種を用いて測定評価した。線源と検出間距離は、 ^{137}Cs で 15mm (約 90mGy/h)、 ^{60}Co で 20mm (約 20mGy/h) とし、 ^{137}Cs と ^{60}Co の同時照射、 ^{137}Cs と ^{60}Co の個別照射で、それぞれ 20 分間測定した波高値スペクトルを図 3.3-8 に示す。700ch (0.5MeV) 近辺のコンプトンエッジの有無により ^{137}Cs の有無の判定、及びコンプトンエッジよりも高エネルギー側のカウントの有無による ^{60}Co (^{137}Cs より高いエネルギー核種) の有無の判定が可能であることを確認した。

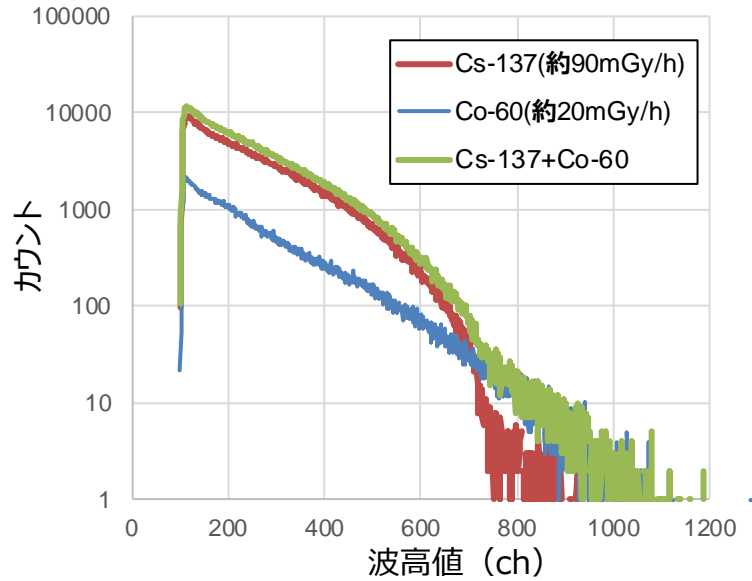


図 3.3-8 積層ダイヤモンド検出器による簡易核種弁別手法評価結果 (20 分間測定)

3.3.1.3.2 線量率線形性

^{137}Cs 点線源 (270MBq) を用い、ダイヤモンド検出器との線源間距離を変えて、線量率を約 $9\mu\text{Gy/h}$ (距離 150cm) から約 210mGy/h (1cm) まで振って、それぞれ 1 分間測定を 3 回実施して平均し、計数率を算出した結果を図 3.3-9 (左) に示す。また、図 3.3-9 (右) は、遮蔽効果 3 桁程度の遮蔽体を有する検出器を加えること (2 検出器構成) を想定したものである。図 3.3-9 中の破線は開発目標の $\pm 4\% \text{F.S.}$ の上下限で以下の式 1) 及び式 2) で与えられる。

$$\text{上限 USL} = 10^{\left(\log(M) + \text{FS} \times \frac{4}{100}\right)} \quad \dots \text{式 1)}$$

$$\text{下限 LSL} = 10^{\left(\log(M) - \text{FS} \times \frac{4}{100}\right)} \quad \dots \text{式 2)}$$

ここで、M は測定カウント値、FS はフルスケールの桁数である。図 3.3-9 a)、b) の FS 値は、それぞれ 4 及び 7 とした。図 3.3-9 (左) からダイナミックレンジ 4 桁において、 $\pm 4\% \text{F.S.}$ 誤差以内であること、また、図 3.3-9 (右) から、遮蔽効果 3 桁程度の遮蔽体を有する検出器を加えること (2 検出器構成) により、ダイナミックレンジ 7 桁で $\pm 4\% \text{F.S.}$ 誤差以内となることを確認した。

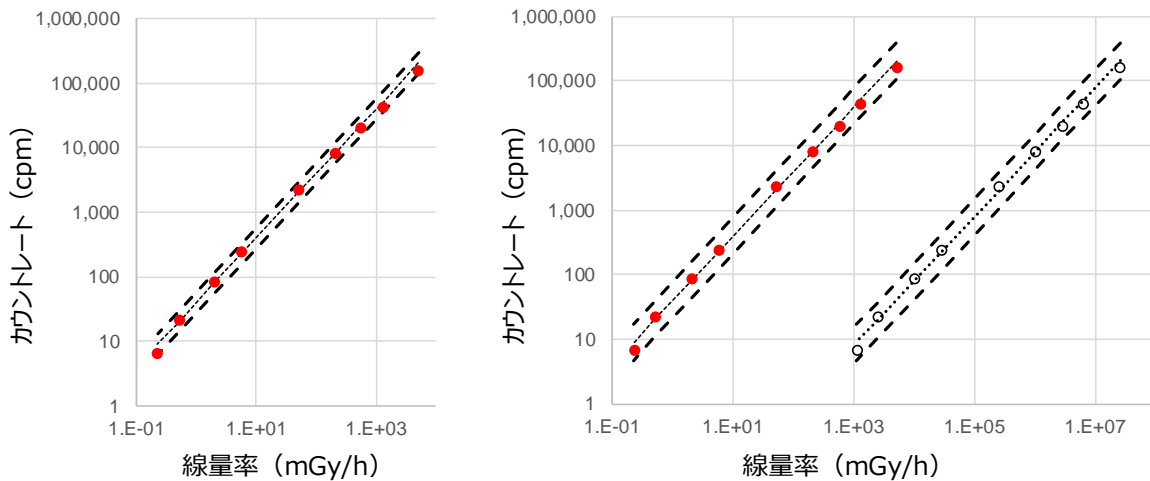


図 3.3-9 線量率線形性評価結果

3.3.1.3.3 耐放射線性

図 3.3-10 に示すように日立製作所内の ^{60}Co 照射施設にて、積層ダイヤモンド検出器の照射試験を実施した。線量率 9.1kGy/h にて積算線量が 1.0MGy、3.1MGy 及び 5.2MGy になったところで照射施設から取り出し特性を評価した。

特性評価として、 ^{137}Cs 点線源 (270MBq) を距離 1cm (210mGy/h) に設置し、印加電圧+100V にて 5 分間、波高値スペクトルを計測した。結果を図 3.3-11 に示す。積算線量 5.2MGy まで波高値スペクトルに大きな変動が無いことが分かる。また、5 分間の合計計数値は、759k (照射前)、786k (1.0MGy)、758k (3.1MGy)、813k (5.2MGy) であり、照射前の計数値と比較して、最大誤差+7%であった。線源と検出器間距離は 1cm でありその設置誤差が最大 0.5mm 程度 (誤差 10%) であると考えられるので、本計測誤差は設置誤差範囲内であると考えられる。

以上より、積算線量 5MGy 以上で正常動作することを確認した。

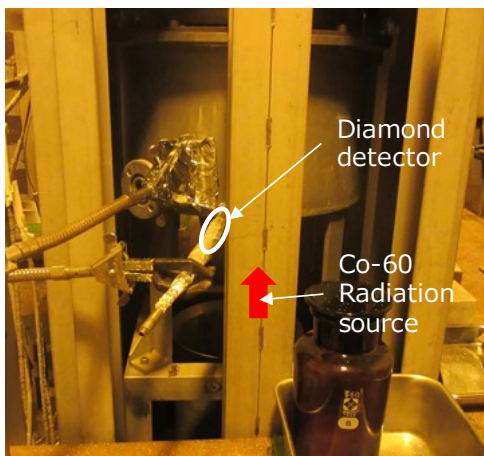


図 3.3-10 照射試験体系

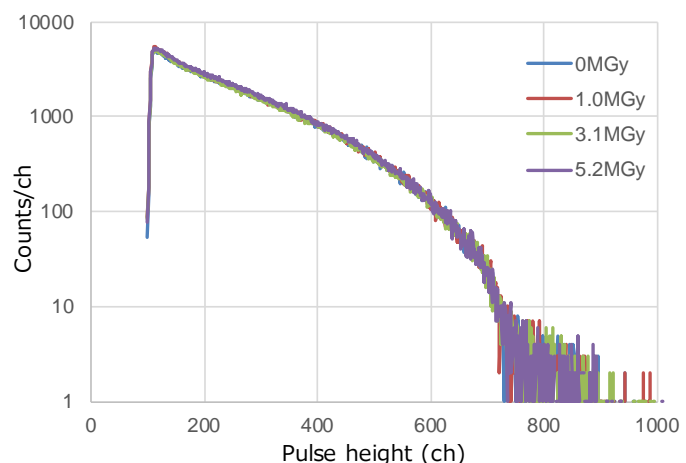


図 3.3-11 波高値スペクトルの積算線量依存性

3.3.1.3.4 耐熱性

高温 (230℃) 動作を確認する目的で、2 種の試験 (200℃ 48 時間及び 230℃ 3 時間) を実施した。以下それぞれの試験の詳細を記す。

1) 200°C 48 時間試験

5MGy 照射後の積層ダイヤモンド検出器を 200°C の環境において 48 時間保持して特性の変化を検討した。図 3.3-12 に示すように恒温槽中に積層ダイヤモンド素子を設置し、積層ダイヤモンド筐体に設置した熱電対の温度が 200°C になるように恒温槽の温度をコントロールし、48 時間保持した。

特性評価として、 ^{137}Cs 点線源 (270MBq) を距離 5cm (8mGy/h) に設置し、印加電圧+100V にて 5 分間、波高値スペクトルを計測した。200°C 48 時間試験の前後の波高値スペクトル測定結果を図 3.3-13 に示す。試験前と比較して試験後は最大波高値が低下している。この現象は半導体検出器の分極現象に見られる傾向と同様であるが、本試験後に実施した 230°C 3 時間試験において、分極現象で発生する波高値の経時変動は観察されなかった。一方、全カウント値は、試験前後でそれぞれ 38.8k、29.1k カウントであり、試験後のカウントは試験前の 75%であった。従って、本現象は、4 積層中の 1 層分のダイヤモンド素子信号が得られなくなったため、ダイヤモンド素子の特性劣化ではなく接続不良であると考ええる。

2) 230°C 3 時間試験

上記の 200°C 48 時間試験後の積層ダイヤモンド検出器にて、230°C 3 時間試験を実施した。 ^{137}Cs 点線源 (270MBq) を距離 5cm (8mGy/h) に設置し、印加電圧を+100V にして、温度上昇時 (室温から 230°C まで)、230°C 保持中 (3 時間) 及び温度下降時 (230°C から 50°C まで) のそれぞれで波高値スペクトルを計測した。

温度上昇時及び下降時の 3 分間測定の波高値スペクトルを図 3.3-14 a)、b) に、230°C で 3 時間保持中の波高値スペクトル (1 分間測定) の経時変動を図 3.3-14 c) にそれぞれ示す。100ch 近傍に見られるカウントの増加は、温度コントロール用に使用したリボンヒータと熱電対からのノイズであり、本ノイズを除外した 200ch 以上の波高値スペクトルにおいて大きな変動が無いことが分かる。ただし、図 3.3-14 b) に示す温度下降時においては、温度 200°C の波高値スペクトルのカウントが増加している。これは、100ch 近傍のカウントの増加が大きいことから分かるように、前述のリボンヒータ及び熱電対からのノイズが何らかの原因で増加したもので、検出器自体の特性変動ではないと考える。



図 3.3-12 200°C48 時間試験体系

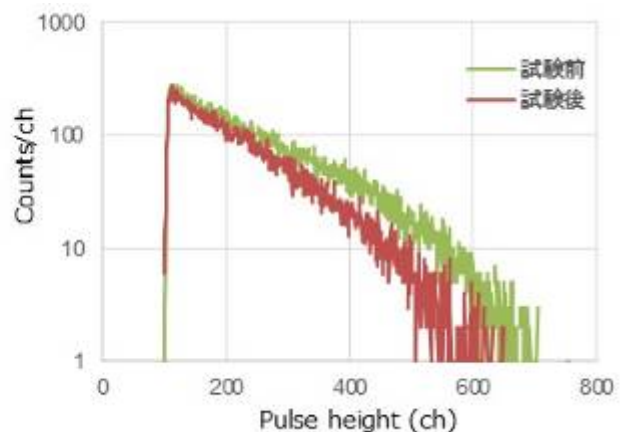


図 3.3-13 200°C48 時間前後の波高値スペクトル

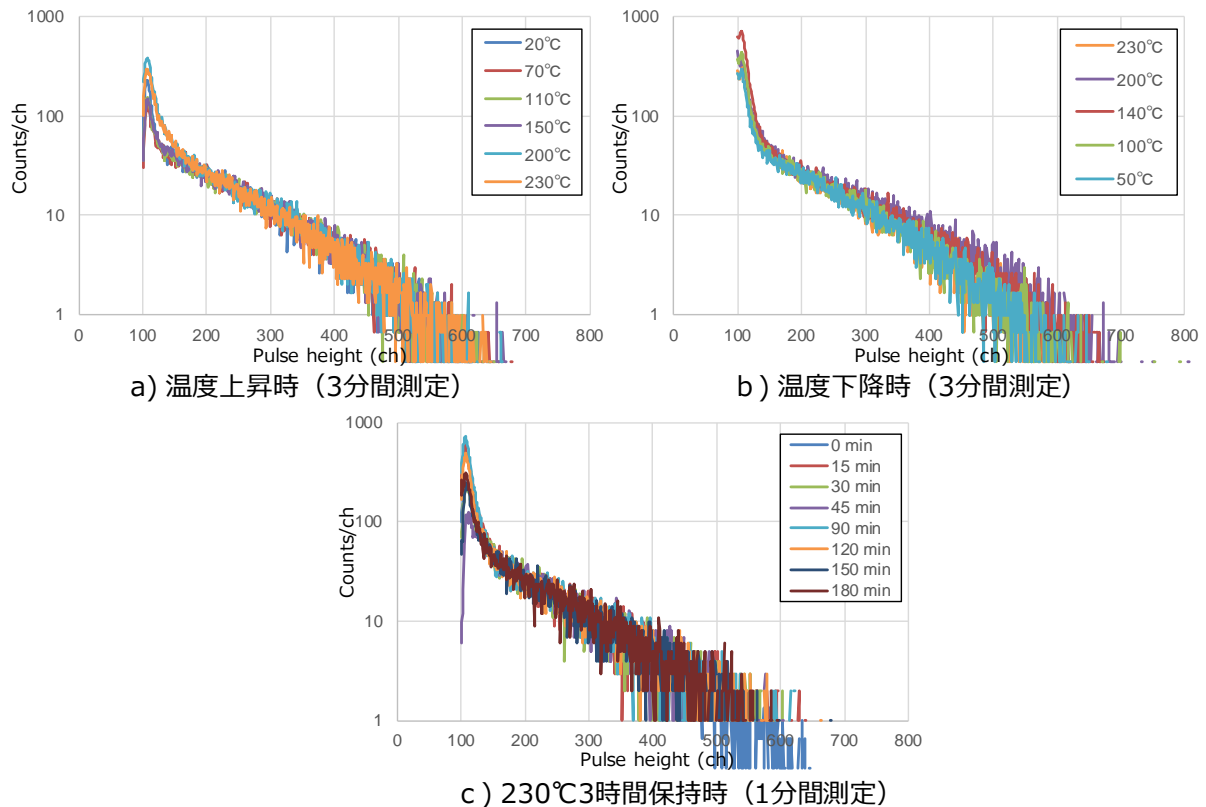


図 3.3-14 230°C3 時間試験の波高値スペクトル

以上の2種の耐熱試験（200°C 48 時間及び 230°C 3 時間）の結果、4 積層中の 1 層分のダイヤモンド素子接続不良によるものと思われるカウントの低下が見られた以外、検出器の特性劣化は見られなかった。ダイヤモンド検出器は高温（230°C）動作することを確認した。

3.3.1.3.5 ダイヤモンド前置増幅器結合特性

積層ダイヤモンド素子と次項（3.3.2）にて説明するダイヤモンド前置増幅器について別々に耐放射線試験（5MGy 照射）及び耐熱試験（200°C 48 時間）を実施し、最後にそれらを結合し 230°C 動作試験を実施した。試験は、図 3.3-15 に示すように、積層ダイヤモンド素子とダイヤモンド前置増幅器部分をそれぞれにリボンヒータと熱電対を設置して温度コントロールし、常温から 230°C までの範囲で γ 線検出能力を検討した。

^{60}Co 点線源（23MBq）を距離約 1cm（約 80mGy/h）に設置して、常温（20°C）にて出力波形の最大値モニタ結果を図 3.3-16 a) に示す。出力波形の波高値は、CdTe 検出器及び本積層ダイヤモンド検出器でそれぞれ約 7mV、2mV であり、ダイヤモンド検出器の波高値は CdTe 検出器比で約 1/3.5 であった。電子正孔対生成エネルギーからダイヤモンド検出器波高値は CdTe 検出器の 1/3（ $=4.43/13.1$ ）であり、測定値が理論値より小さいのは、積層ダイヤモンド検出器の厚さが十分ではなく ^{60}Co のホトピークが捉え切れていないためである。

次に積層ダイヤモンド素子とダイヤモンド前置増幅器の温度を 50°C、100°C、150°C、200°C 及び 230°C とした時の、同様に計測した出力波形を図 3.3-16 b) に示す。230°C まで ^{60}Co γ 線検出が可能であることを確認した。

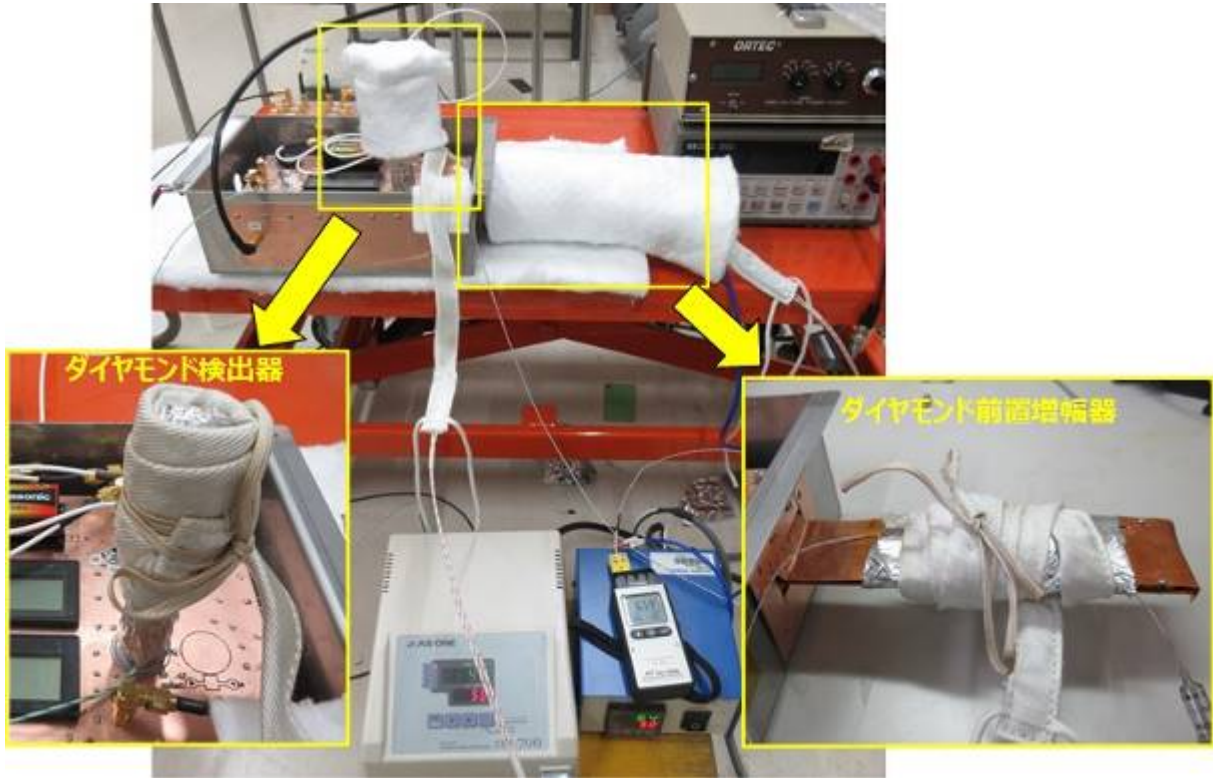


図 3.3-15 ダイヤモンド前置増幅器結合試験体系

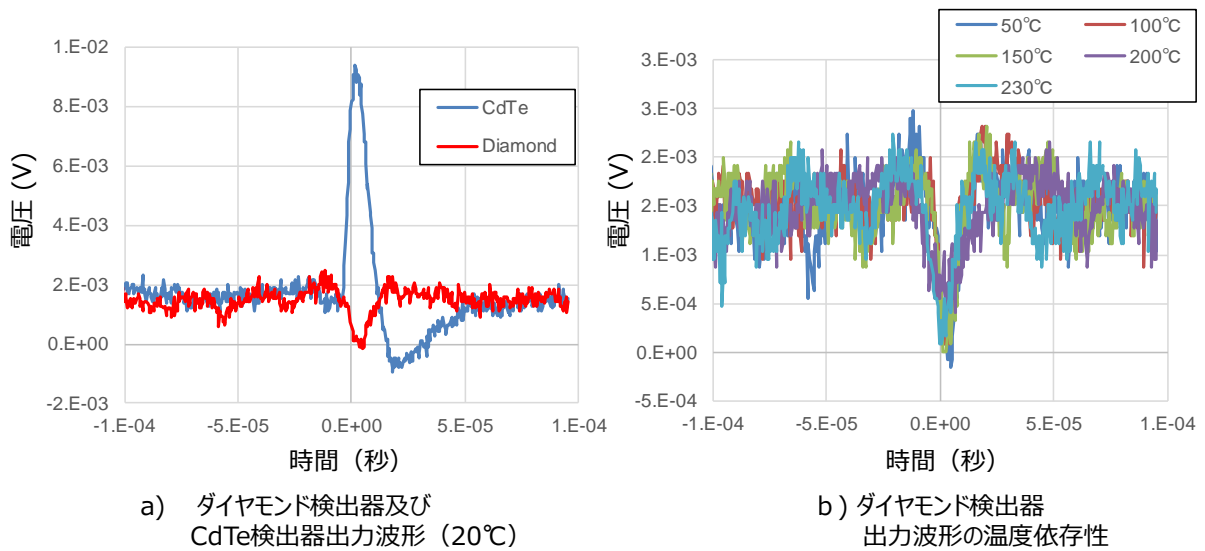


図 3.3-16 ダイヤモンド前置増幅器結合試験における出力波形

3.3.2 CAMS 用ダイヤモンド前置増幅器の開発

平成 30 年度に試作したダイヤモンド素子を用いた前置増幅器を元に、3.3.1 の CAMS 用ダイヤモンド線検出器と組み合わせ評価試験を実施するための試作を実施し、性能評価を実施した。CAMS 放射線モニタとしての本開発システムの有効性を評価・検討した。

3.3.2.1 シミュレーション評価【H28】

ダイヤモンド MESFET の電流・電圧特性をもとに、FET のモデル化を行い、増幅器の利得・帯域をシミュレーションにより検討した。電流増幅率が 1 となる周波数 (f_T) が低い点と利得が少なく多段構成が必要という課題を抽出した。

3.3.2.2 前置増幅器試作【H29-H30】

ダイヤモンド MESFET を用いた前置増幅器を試作し、単体性能評価を実施した。利得の周波数特性をシミュレーションと比較し、一致を確認した。更に、CdTe 検出器と結合試験を行った結果、電源雑音及び環境雑音対策が必要であることが判明した。環境雑音対策としてシールドケースを作製し、ノイズが 1/4 以下となることを確認した。

3.3.2.3 改良前置増幅器【R1】

3.3.2.3.1 概要

ダイヤモンド MESFET を用いた前置増幅器を試作し、単体性能評価を実施した。初段のみダイヤモンド MESFET を用いた増幅器として設計を行い、入力・出力振幅を検討し、ノイズ対策が必要であることを確認した。電源基板・プリアンプ基板間の GND インピーダンス低減による電源ノイズ影響低減と、シールドボックスによる環境ノイズ低減を行い、100°C、230°C で単体評価を行った。その結果、設計通りの信号振幅が得られ、ノイズも十分抑えられた結果が得られた。

3.3.2.3.2 デバイス要求検討

ダイヤモンド FET として、産総研においては MESFET (MEtal-Semiconductor FET) を検討し、物材機構においては MISFET (Metal-Insulator-Semiconductor FET) を検討している。ダイヤモンド MESFET は電流が少ないが、耐放射線性が優れており、ダイヤモンド MISFET は耐放射線性は多少低いが、大電流を流すことができる。増幅回路において、トランジスタは出力抵抗が高くなるよう飽和領域で動かす必要があり、電流が多いとトランジスタ部の消費電力が大きくなり、熱の問題が生じる。熱が上昇すると電流が増え、更に熱が上がるという正のフィードバックがかかることから、パッケージで冷却できる範囲内に発生する熱を抑える必要がある。その点で、大電流は不利であることから、MISFET の使用は諦め、MESFET を使用した前置増幅器を検討することとした。

3.3.2.3.3 前置増幅器回路構成

放射線検出器の等価回路とプリアンプ初段のチャージアンプの回路図を図 3.3-17 に示す。図 3.3-17 において、 Q_d は放射線検出器出力電荷、 C_d は放射線検出器負荷容量、 C_p はケーブル負荷容量、 C_f はチャージアンプフィードバック容量、 A はチャージアンプゲインとした。この時、図 3.3-17 の回路の出力電圧は、式 3) のように求められる。ダイヤモンド MESFET の電流・電圧特性より、ゲイン A は 10dB を想定した。式 3) より、入力振幅は 123.5 μ V となり、ノイズ環境下で信号伝送することを考えると 10mV まで増幅する必要があり、プリアンプのトータルゲインは 40dB を目指した。ただし、ダイヤモンド FET は十分な良品が揃わなかったため、初段のみダイヤモンド FET とし、残りは汎用アンプを利用した。

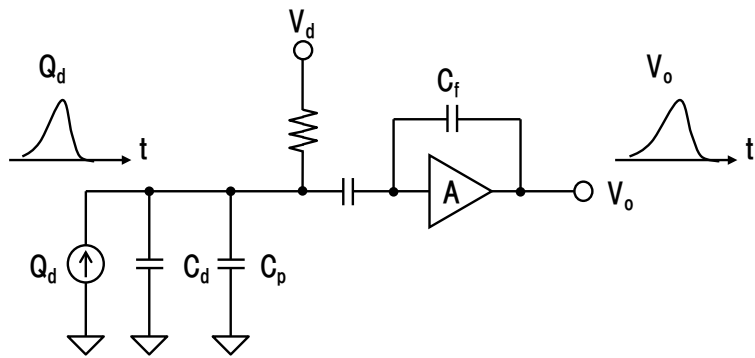


図 3.3-17 放射線検出器とチャージアンプの等価回路

$$V_o = Q_d \cdot \frac{A}{C_d + C_p + A \cdot C_f}$$

式 3)

第 2.6 世代ダイヤモンド MESFET を用いた場合、1 段当たり 10~14dB 程度のゲインが限界であり、ダイヤモンド MESFET のみでプリアンプを構成する場合、4 段必要となる。しかし、ダイヤモンド MESFET は試作段階で数も少なく、ゲートやドレインのリーク電流が少ない良品サンプルは更に少ないことから、図 3.3-18 のように、初段のみダイヤモンド MESFET を使い、2 段目は汎用のアンプを使用する構成とした。評価時は、初段のプリアンプのみ高温環境下に置き、2 段目のアンプとはケーブルを用いて接続する。

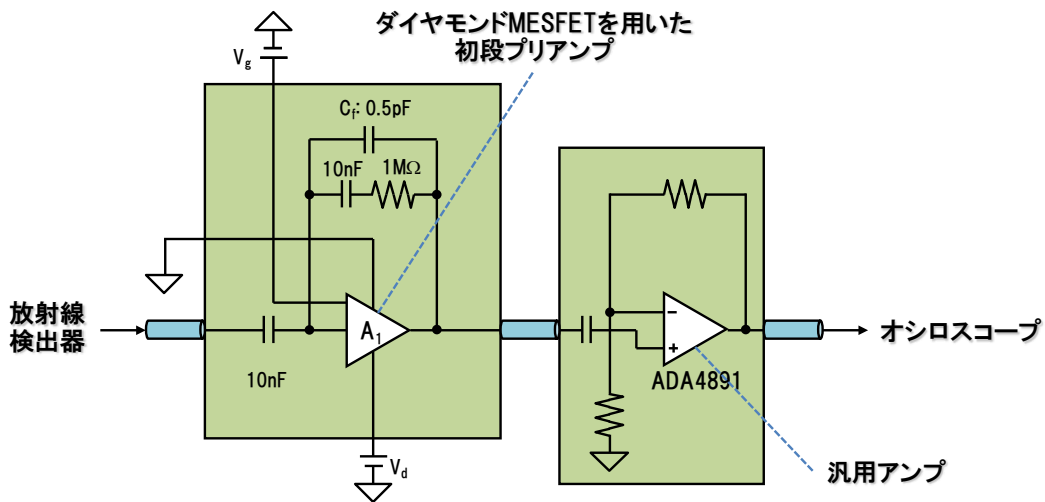


図 3.3-18 前置増幅器回路図

図 3.3-19 に図 3.3-18 内のダイヤモンド MESFET を使用したアンプの回路図を示す。利用可能なダイヤモンド MESFET の数が少ないことから、定電流回路を用いないソース接地アンプとした。定電流回路を持たないため、電源変動がそのままソース電圧から出力に伝わることとなり、電源ノイズに弱くなる。そのため、評価を行う際は、電源ノイズ対策が必要となる。

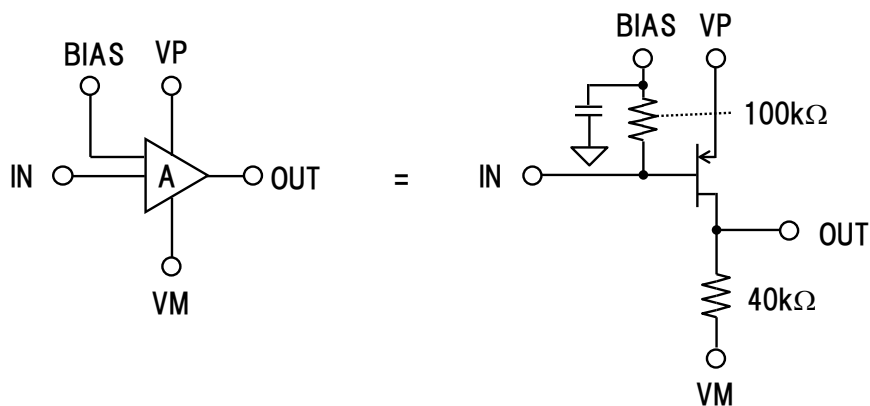


図 3.3-19 ダイヤモンド MESFET を用いたソース接地アンプ回路図

3.3.2.3.4 シミュレーションによる検討

図 3.3-18 の増幅器について、オープンループ特性を検討した。ダイヤモンド MESFET は 100°C から 200°C で電流が 4 倍程度に増加するため、検討の際、100°C に対して 200°C では FET のゲート並列数を減らしている。100°C と 200°C におけるオープンループでの周波数特性のシミュレーション結果は図 3.3-20 に示す。100°C、200°C の結果ともに、14dB 程度のゲインが取れており、3dB 帯域も 100kHz を超えており、問題ない。

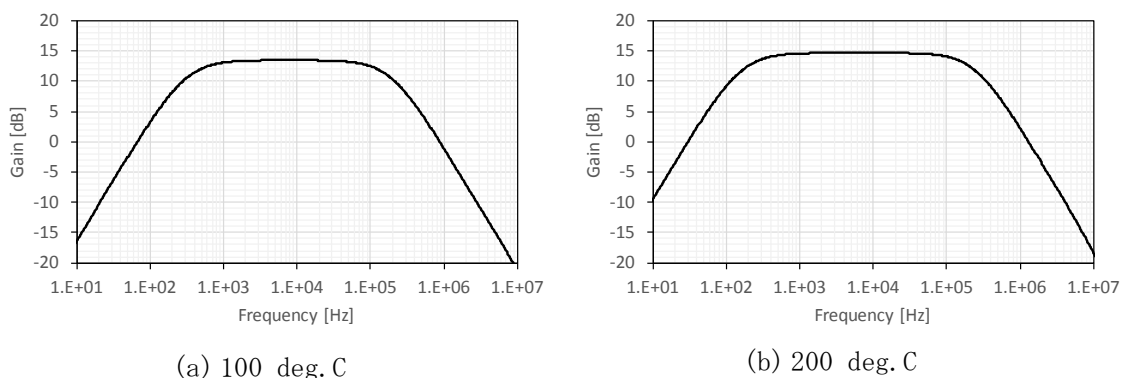


図 3.3-20 前置増幅器（初段）オープンループゲイン

図 3.3-17 に示した放射線検出器等価回路を使い、図 3.3-18 と接続してシミュレーションを行った。100°C の条件で、前置増幅器初段のチャージアンプ入力端 (out_s0) と出力端 (out_s1) での信号をシミュレーションした結果を図 3.3-21 に示す。入力信号のピーク値が 140μV 程度しかなく、ソースを電源直結する構成では電源からのノイズはゲートからの信号と同等の利得を持って出力されるため、10 数 μV 程度の電源ノイズしか許容されない。また、入力信号、出力信号ともに小信号であり、電波など環境雑音からのシールドも必要である。

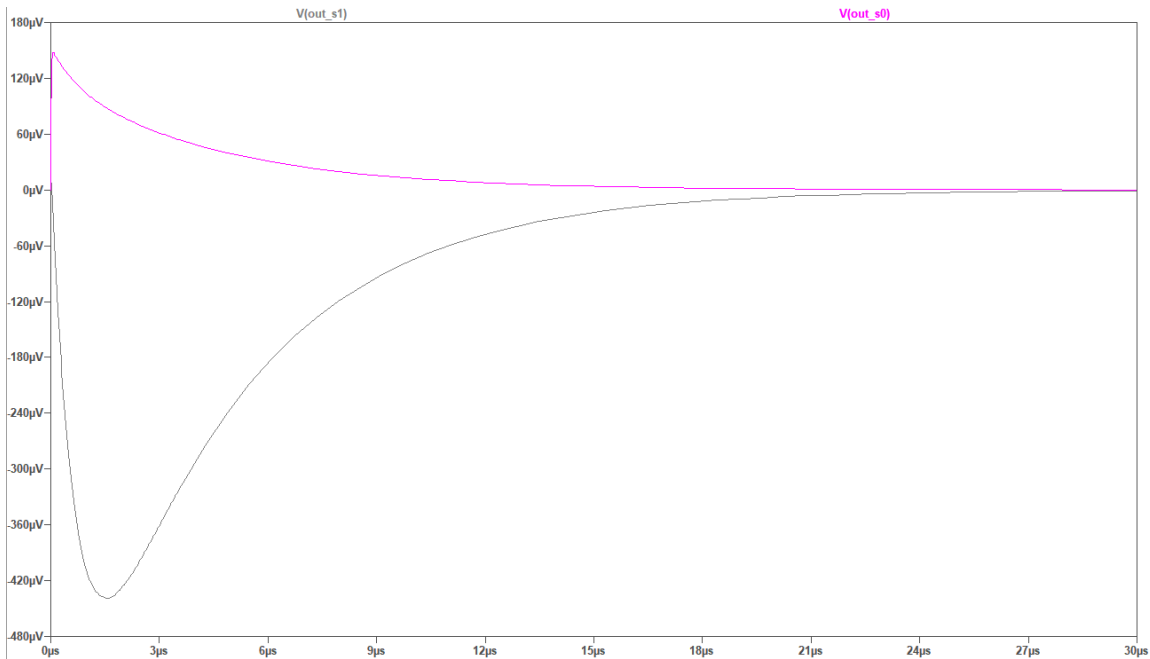


図 3. 3-21 放射線検出器出力パルス入力時のチャージアンプ入力信号
及び出力信号のシミュレーション結果

3. 3. 2. 3. 5 シールドによるノイズ対策

検出器からの信号はプリアンプ入力端で $140 \mu\text{V}$ 程であり、周囲からの雑音に容易に埋もれてしまう。そのため、周囲の雑音をシールドし、GND は共通化し、基板 GND 間のインピーダンスをできるだけ下げることが必要である。そのため、図 3. 3-22 に示すように、プリアンプ基板と電源をシールドにより囲い、シールド内で各基板の GND を共通化した。

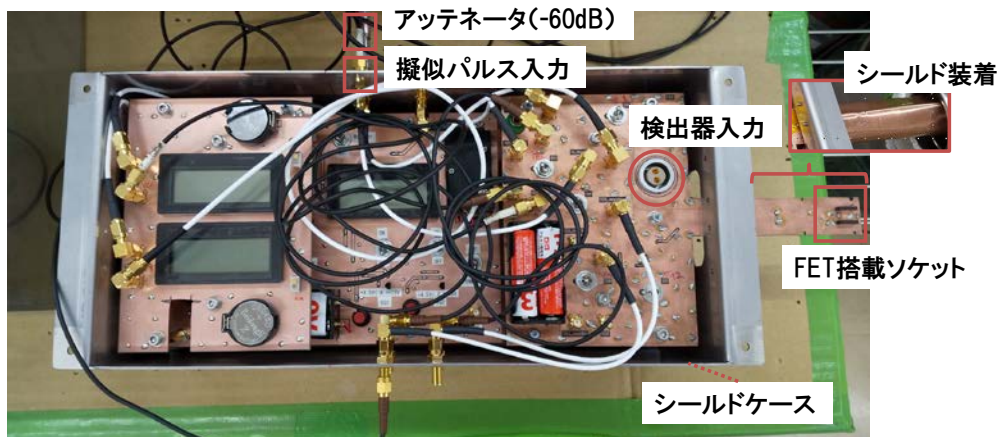


図 3. 3-22 シールドによる環境雑音対策

3. 3. 2. 3. 6 擬似パルスによる前置増幅器評価 (230°C、5MGy 放射線照射後)

以下 (3. 3. 3. 1) に示す耐放射線試験後 (積算線量 5MGy) のダイヤモンド FET 搭載プリアンプの単体試験として、検出器パルスと同等の電荷量となるパルスを入力し出力レベルを評価する試験を行った。図 3. 3-23 に評価系を示す。図 3. 3-23 に示すように、パルス生成器よりパルス

を入力し、プリアンプ入力振幅が γ 線検出器と同等となるようにパルスの振幅を調整し、 γ 線検出器からプリアンプに入力される電荷量を擬似的に作った。今回、オシロスコープのノイズの影響を受けないよう、2 段目アンプの利得は 40dB とし、100mV 近くの出力が取れるようにした。

図 3.3-24 に擬似パルス試験の評価結果を示す。230°Cにおける擬似パルス入力試験結果を示す。300mV のパルスジェネレータ出力を減衰器で-60dB 減衰させて 300 μ V としてプリアンプに入力し、2 段目の汎用アンプで 40dB 増幅して出力を観測した。図 3.3-24 に示すように、出力は 100mV となり、初段のダイヤモンド FET を用いたアンプ出力は 1mV と計算される。これより、図 3.3-21 でシミュレーションしたように、入力に対して 3 倍強増幅された結果となった。また、環境ノイズも抑制されており、十分波形を判読可能となっている。

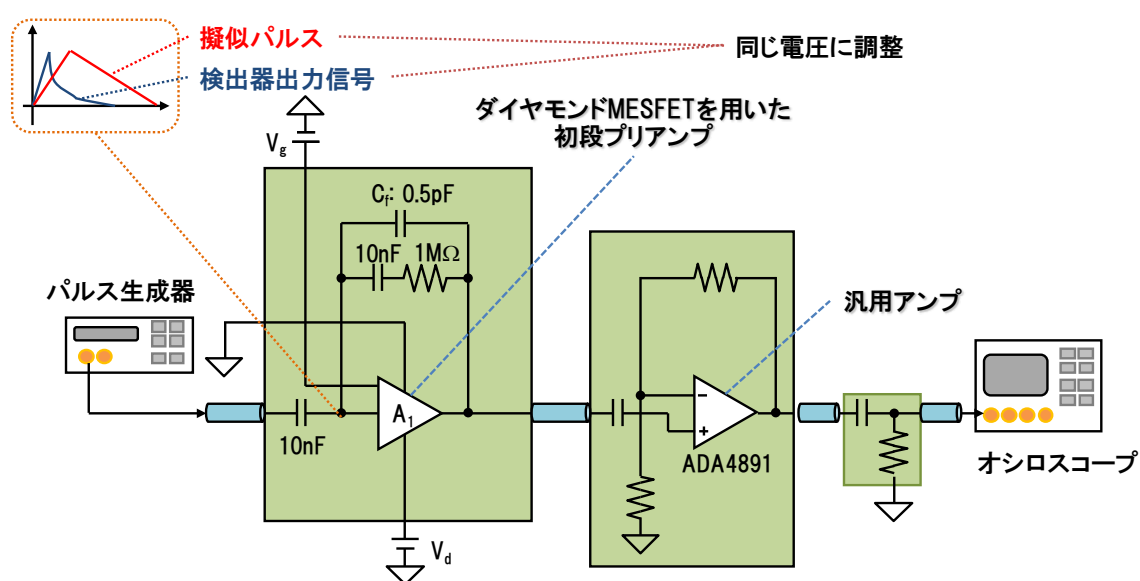


図 3.3-23 擬似パルスを用いたプリアンプ単体評価系

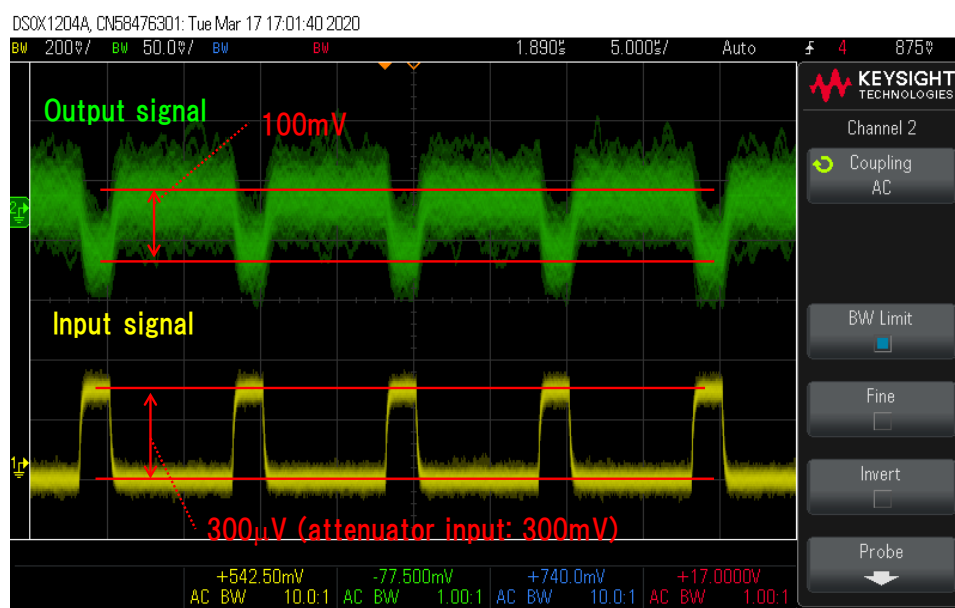


図 3.3-24 230°Cにおける擬似パルス試験評価結果

3.3.3 回路系材料の耐熱・耐放射線試験

平成 29 年度及び平成 30 年度に検討した 3.2 への適用可能性検証結果を踏まえ、必要に応じ改良検討を行い、耐熱及び γ 線照射試験を実施した。

(1) 概要

平成 29 年度に検討した CAMS 用ダイヤモンド前置増幅器への適用可能性検証結果を踏まえ、必要に応じ改良検討を行い、耐熱及び γ 線照射試験を実施した。

平成 29 年度の試験において γ 線照射で抵抗値が大きく低下したチップ抵抗についてサンプル数を増やし、また他メーカーのリード抵抗を追加して再評価を行い、性能変化を再確認した。その結果、積算 5MGy の γ 線照射によりリード抵抗で抵抗値が 10M Ω から 700k Ω まで低下することが分かった。前置増幅器に用いる大抵抗はバイアス用であり、バイアス抵抗値による前置増幅器出力パルス高への影響評価結果から劣化後も 1M Ω 以上の抵抗値があれば機能上の影響は生じないため、設計段階で抵抗値の低下を考慮した抵抗を選定することで対応が可能となる見通しを得た。

(2) 抵抗素子の耐環境性評価

平成 29 年度に高温耐性のあるディスクリット部品を選定し耐環境評価を行った。その結果、耐熱試験で問題は無かったものの、積算 5MGy の耐放射線試験でチップ抵抗の抵抗値が大きく低下するという懸念点が判明した。そのため、平成 30 年度に再度チップ抵抗の耐放射線試験を実施するとともに、追加で選定した抵抗素子の耐環境性評価を行った。表 3.3-1 に部品を示す。追加で選定した抵抗は KOA 社のリード抵抗である。図 3.3-25 に耐放射線試験時の放射線源とセラミック基板の様子を示す。部品が AuGe 実装されたセラミック基板を基板ホルダーで固定し放射線源近くに設置した。

表 3.3-1 回路部品

種類	形態	部品
抵抗	リード	Vishay社 G200シリーズ (500 Ω ~100k Ω)
	チップ	RIEDON社 HVC2512H (10M Ω , 100M Ω)
	リード	KOA社 RCR60CT52A106J (10M Ω)
容量	チップ	Presidio社 HT2225NHT103M9NG5 (10nF)

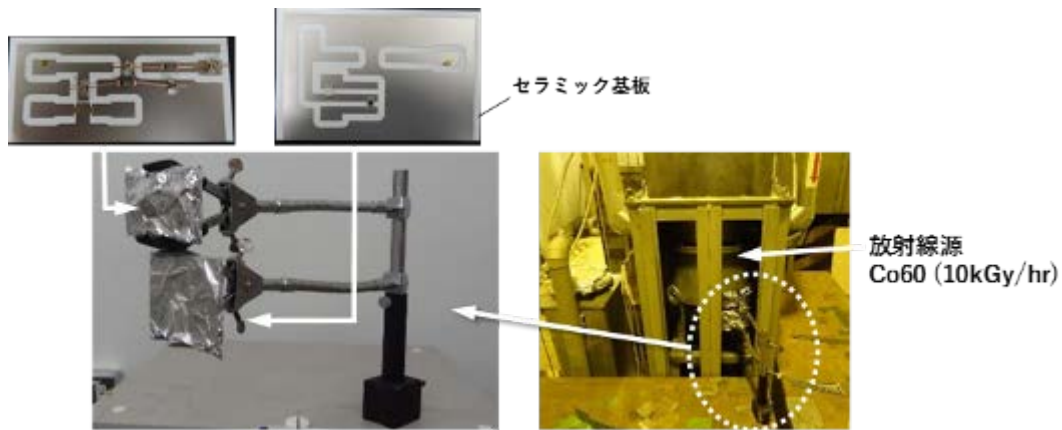


図 3.3-25 耐放射線試験の様子

図 3.3-26 に RIEDON 社製チップ抵抗 (10MΩ) の耐放射線試験結果を示す。抵抗値は 100Hz~1kHz の平均インピーダンスとして求めた。(a) は平成 29 年度の、(b) は平成 30 年度の結果である。変動量の多少の差はあるが大きく抵抗値が低減する現象が再現した。図 3.3-27 は KOA 社製リード抵抗 (10MΩ) の耐放射線試験結果である。こちらも放射線照射により抵抗値が低減するのは同様であるが、積算 5MGy 照射後の抵抗値がチップ抵抗の約 100kΩ に対し 700kΩ と程度が良いことが分かった。KOA 社製リード抵抗 (10MΩ) について耐熱試験を行った結果が図 3.3-28 であり、データシート記載の温度特性 (350ppm/K) 内の変動であることを確認した。前置増幅器の次期試作へフィードバックする。

10MΩ 級の抵抗は前置増幅器のダイヤモンド FET にバイアスを供給するためのバイアス抵抗として用いる。バイアス抵抗値が低下した場合の影響を調べるため、図 3.3-29 に示す前置増幅器を用いバイアス抵抗 (R_{BIAS}) を変えながら出力のパルス高を評価した。検出器には市販 CdTe 検出器、線源としてセシウム-137 (^{137}Cs) を用いた。図 3.3-29 の評価結果から、1MΩ 以上の抵抗値があればパルス高に影響は生じないことが分かった。従って、設計段階で抵抗値の低下を考慮した抵抗を選定することで対応が可能となる見通しを得た

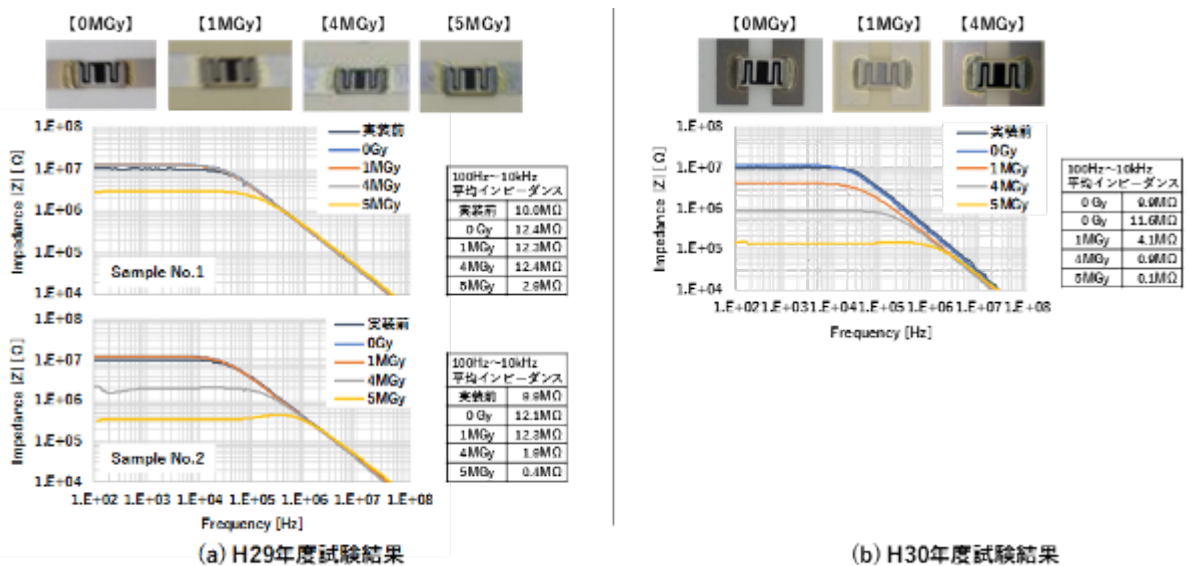


図 3.3-26 RIEDON 社製チップ抵抗 (10MΩ) の耐放射線試験結果

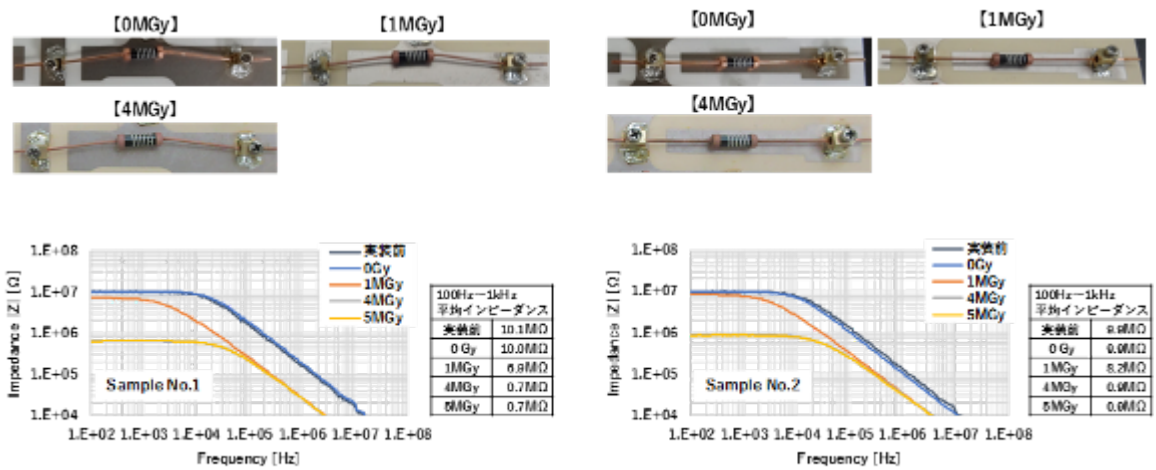


図 3.3-27 KOA 社製リード抵抗(10MΩ)の耐放射線試験結果

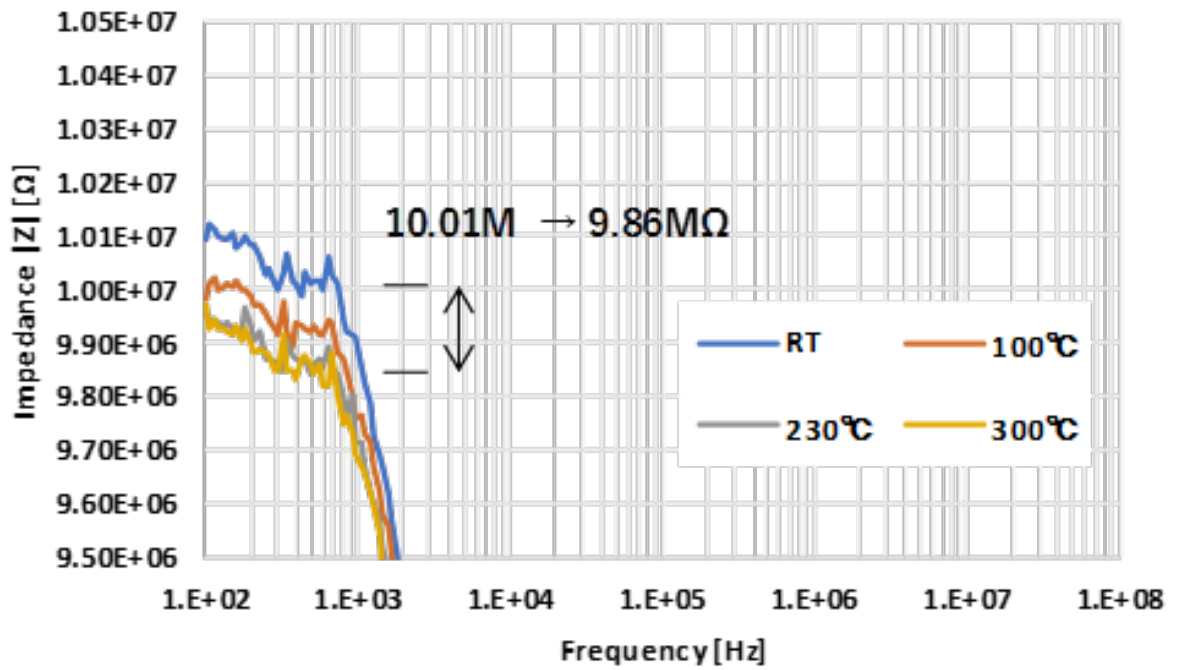


図 3.3-28 KOA 社製リード抵抗(10MΩ)の耐熱試験結果

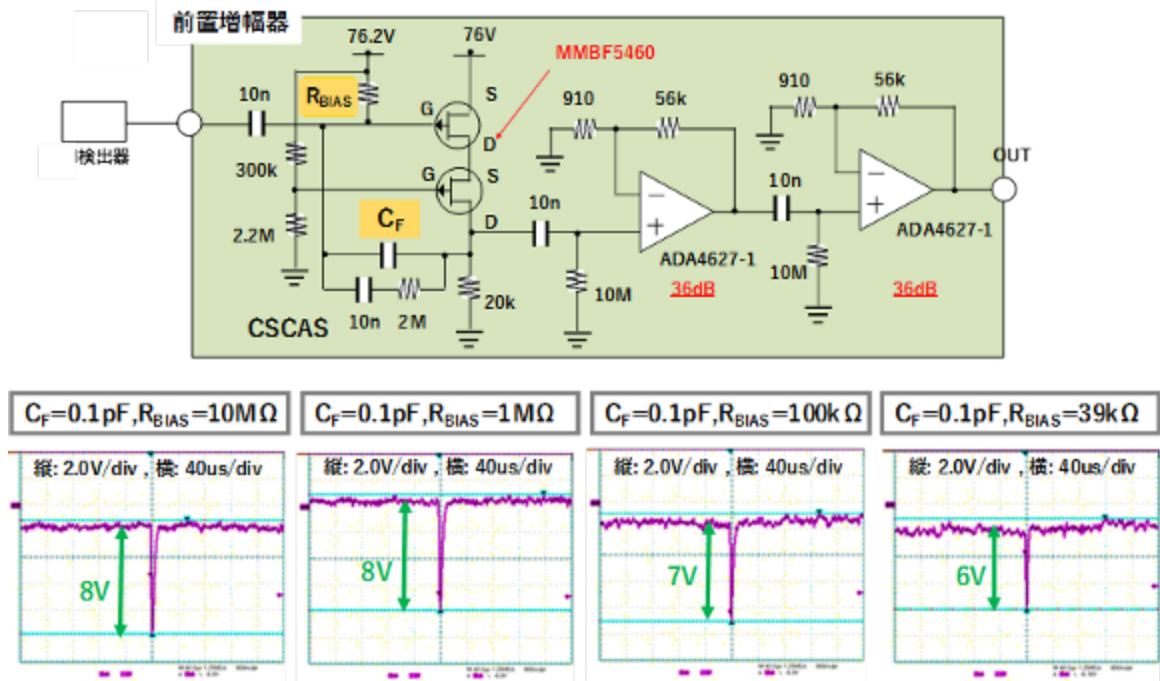


図 3.3-29 前置増幅器出力パルス高に対するバイアス抵抗の影響

(3) 令和元年度の成果

3.3.3.1 耐放射線試験

ダイヤモンド FET を用いたプリアンプはディスクリート部品で構成されるため、同一基板上に搭載する部材も放射線環境下に置かれる。そのため、各部材について放射線照射による影響を検討した。

まず、抵抗・キャパシタについて耐熱性を検討した。抵抗・キャパシタを 230℃環境下に置き、10 分刻みで 60 分まで抵抗値・容量値の変化を評価した。図 3.3-30 に常温で評価した結果の値で規格化した、230℃環境下での各素子値の変化を示す。図 3.3-30(a) より、抵抗は抵抗値に関わらずほぼ熱による影響はない。キャパシタについては、図 3.3-30(b) より、0.2pF のような小容量では変化はないが、10nF 以上のキャパシタは値が 3 割ほどに低減する。10nF 以上のキャパシタについては、DC カット用や電源の安定化に用いるため、利得に影響するなどの致命的な問題は起きないことから、問題ないと判断した。

次に、抵抗・キャパシタに放射線照射を行い、素子値の変化を観察した。図 3.3-31 は放射線照射により、値が元からどの程度変化するかを計測した結果となる。図 3.3-31 より、1MΩ までの抵抗ではほぼ変化がなく、10MΩ 以上では 3MGy の放射線照射量で大幅に抵抗値が小さくなるが、5MGy 照射後に抵抗値が元に戻っている。10MΩ 以上でのこの現象の原因として、5MGy 照射後の評価は時間が経っていたことが挙げられる。抵抗はどこにも接続しない状態で放射線照射しており、放射線照射で抵抗に電荷が貯まっていたものが逃げるパスがなく、自然放電に時間がかかったと推測している。通常は、基板上で抵抗はどこかに接続しているため、電荷が抜けるパスがあり、低抵抗化の問題は生じないと考えている。また、キャパシタに関しては、約 10%小さくなる程度に収まっており、問題ない。

更に、使用する基板に放射線照射を行い、パターン剥がれなどの見た目の変化と線路インピーダンスの変化を観察した。照射試験前後を比較した結果を図 3.3-32 に示す。図 3.3-32(a)が照射前、図 3.3-32(b)が照射後の基板上線路の写真であるが、5MGy の放射線照射後にパターン剥れなどはなく、問題ないことが確認された。また、図 3.3-32(c)は放射線照射前後の線路伝達特性、図 3.3-32(d)は放射線照射前後の線路反射特性を比較しており、ほぼ変化がないことが確認された。

次に、ダイヤモンド FET に 5MGy 放射線照射し、放射線照射前後での電流特性を評価した。図 3.3-33 にそれぞれの、100°Cでのドレイン・ソース間電圧に対するドレイン・ソース間電流をプロットしている。ゲート・ソース間電圧は 5 条件で比較している。図 3.3-33 より、放射線照射後に多少の電流の減少が見られるものの、ほぼ変化はないと言える。

以上の素子の耐熱試験・放射線照射試験結果により、選定した部材は高温・高放射線環境下で使用可能な見込みを得られた。

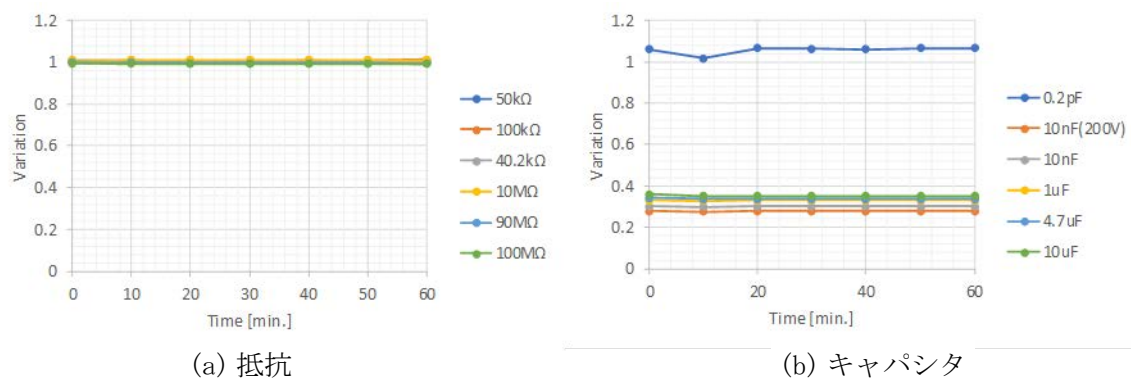


図 3.3-30 230°C環境下での抵抗・キャパシタの素子値変化

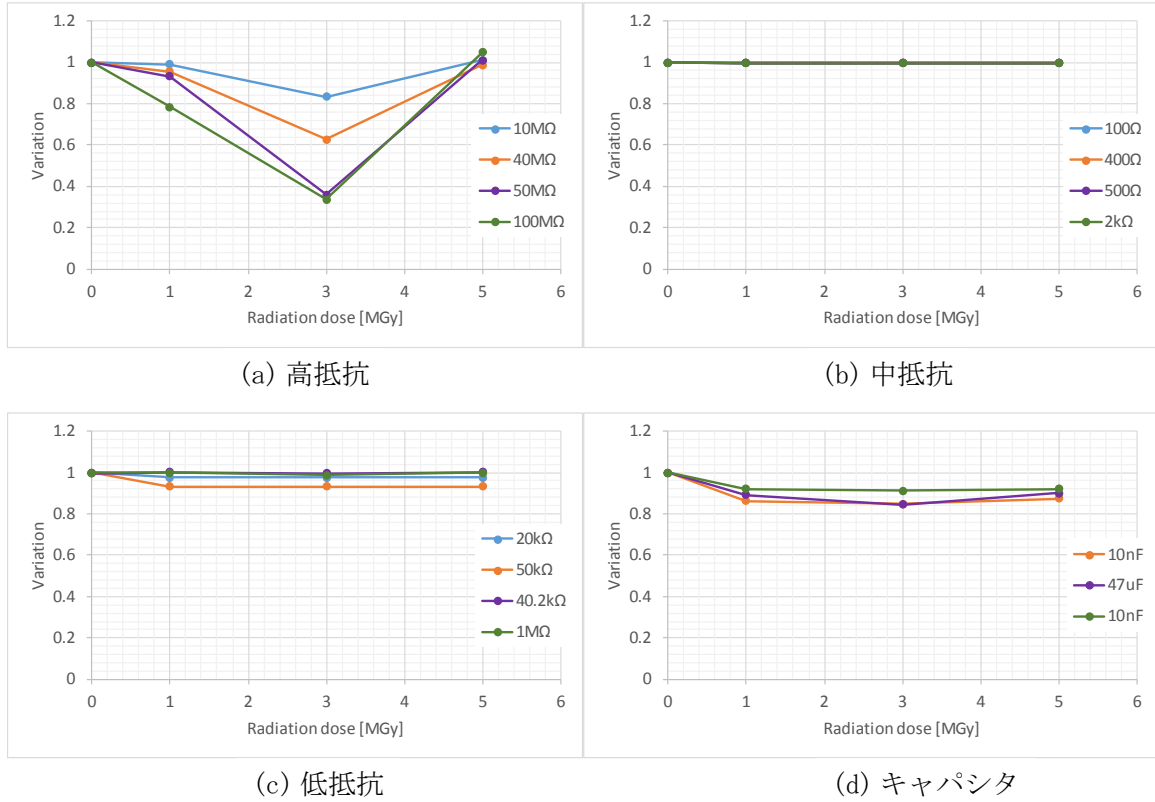


図 3.3-31 放射線照射による受動素子への影響



(a) 放射線照射前の耐熱基板上信号線路写真



(b) 放射線照射後の耐熱基板上信号線路写真

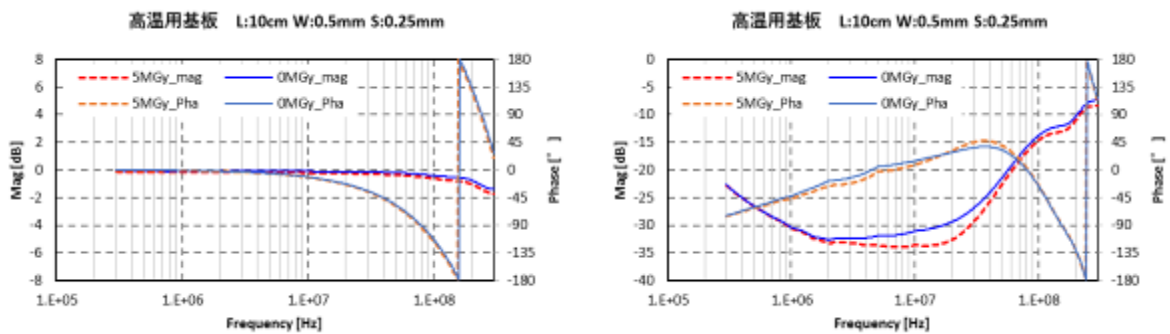


図 3.3-32 放射線照射による基板への影響

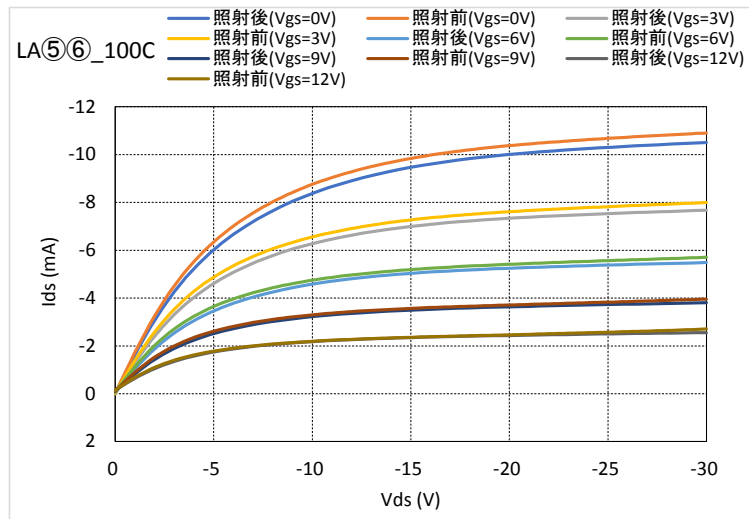


図 3.3-33 5MGy 放射線照射前後のダイヤモンド FET 電流・電圧特性

3.3.3.2 長時間耐熱試験【R1】

5MGy 放射線照射したダイヤモンド FET を搭載した基板を 48 時間 200°C 環境下に置き、影響を検証する試験を行った。図 3.3-34 のように、ダイヤモンド FET 基板を恒温槽内に入れ、基板周辺が 200°C に保たれていることを温度センサにより確認しつつ、48 時間この状態を維持した。

200°C 環境下で 48 時間耐熱試験を行った後、室温において電流・電圧特性に変化があるかを比較した。ゲート電圧を 2 条件とし、ドレイン・ソース間の電流・電圧特性を 200°C 48 時間の耐熱試験前後で比較した結果を図 3.3-35 に示す。図 3.3-35(a) のように、 $V_{GS}=0V$ では電流電圧特性の変化は少ないが、図 3.3-35(b) のように、 $V_{GS}=10V$ では電流が 1.5 倍程度に増加している。 $V_{GS}=0V$ での変化が少なく、 $V_{GS}=10V$ で電流が増加していることから、キャリア移動度は変わらず閾値が下がっているように見える。出力抵抗の変化は少ないため、ゲートバイアス電圧の調整で特性の変化は吸収可能である。

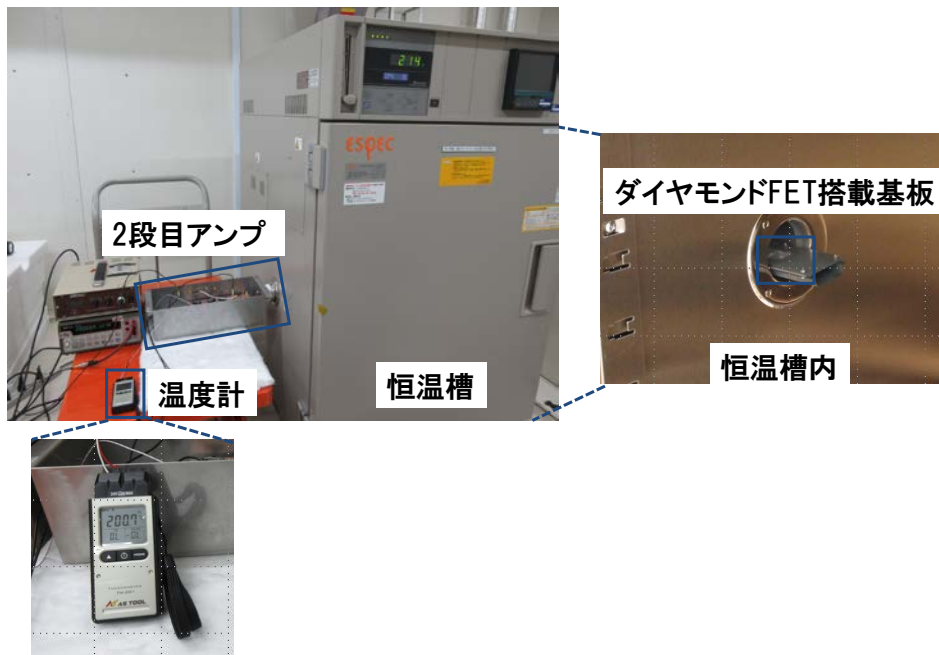


図 3.3-34 48 時間 200°C耐熱試験評価系

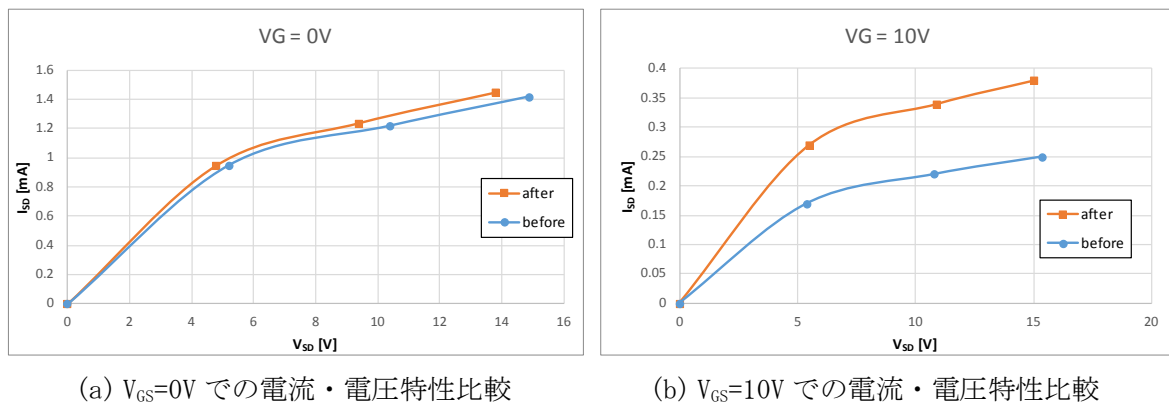


図 3.3-35 耐熱試験前後のダイヤモンドFET 電流・電圧特性比較

参考文献

- [1] ダイヤモンドエレクトロニクスの最前線：(株)シーエムシー出版：
2008年9月30日出版

3.4 MIMSFET の耐放射線性能向上とダイヤモンド IC 要素技術開発の支援【H28-R1】

(再委託先:物材機構)

3.4.1 MIMSFET の耐放射線性向上【H28-R1】

MIMSFET のゲート誘電体材料であるアルミナ層を原子層堆積法 (ALD) 成膜後の高温アニールにより形成した。FET 素子構造を形成しトランジスタ静特性を測定した。作製した素子を北海道大学に供し X 線を照射した。照射前後の電気特性の変化を調べて MIMSFET の耐放射線性を評価した。評価結果をフィードバックして耐放射線性の向上を図った。

100mA 超級ダイヤモンド MISFET (ノーマリーオン) を作製し日立製作所に提供した。

大電流かつノーマリーオフ動作可能な MIMSFET (Metal-Insulator-Metal-Semiconductor Field-effect Transistor) の放射線劣化のプロセス解明を目指した。本研究実施項目では MIMSFET の構成要素である表面伝導層、誘電体、半導体-金属界面評価のために各構成要素を顕在化した 3 種類の素子を作製し、北海道大学に供し X 線を照射、照射前後の電気特性の変化を調べた。その過程で 3 つの構成要素のうち、ゲート誘電体の絶縁性劣化が素子の特性変化に影響を及ぼしていることを明らかにした。また、CAMS 駆動回路プロト開発支援として、アルミナゲートを用いた 100mA 超級ダイヤモンド MISFET (ノーマリーオン) を作製し日立製作所に提供した。令和元年度は MIMSFET の放射線耐性向上に誘電体膜へのポストアニールが有効であることを確認した。

3.4.1.1 耐放射線性の向上

(1) サンプル作製及び評価

Ib 型 {100} 単結晶ダイヤモンド (2.5mm×2.5mm×0.5mm) 表面へホモエピタキシャル成長した水素終端ダイヤモンド表面に MIMSFET 構造を形成した。ダイヤモンド薄膜成長は物材機構(物質・材料研究機構、NIMS: National Institute for Materials Science)型マイクロ波プラズマ CVD 法を用いた。図 3.4-1 に CVD システムの概略を示す。本装置ではリークレートを低減させることで意図しない不純物混入を押さえた高品質の CVD ダイヤモンドの成長が可能である。典型的なエピタキシャル成長条件を表 3.4-1 に示す。

MIMSFET の電極配置描画は、レーザーフォトリソグラフィによりなされ、金属電極は到達真空度 1×10^{-9} Torr の電子ビーム蒸着により形成された。水素終端ダイヤモンドの表面伝導を保持しながら原子層堆積法 (ALD) で (膜厚 25nm) アルミナを形成した。成膜温度は 120°Cであった。酸素プラズマにより素子分離をした後、その表面にソースドレイン電極として Au/Ti/Pd 積層電極を形成した。最後にゲート電極としてアルミナ上に Au/Ti 電極を形成した。本課題では MIMSFET の構成要素である (i)表面伝導層、(ii)誘電体、(iii)半導体-金属界面について、放射線照射の影響を個別に評価できるよう、上記のプロセスから一部を抜粋して構成要素毎に評価できるサンプルを作製した。

電気特性評価には高温プローバ (図 3.4-2) 及びアジレント・テクノロジー社製パワーデバイスアナライザ B1505A を用いた。FET のトランジスタ特性としてドレイン電流 (I_d) -ドレイン電圧 (V_d) 特性、ドレインソース間電流 (I_{ds}) -ゲート電圧 (V_g) 特性を評価した。

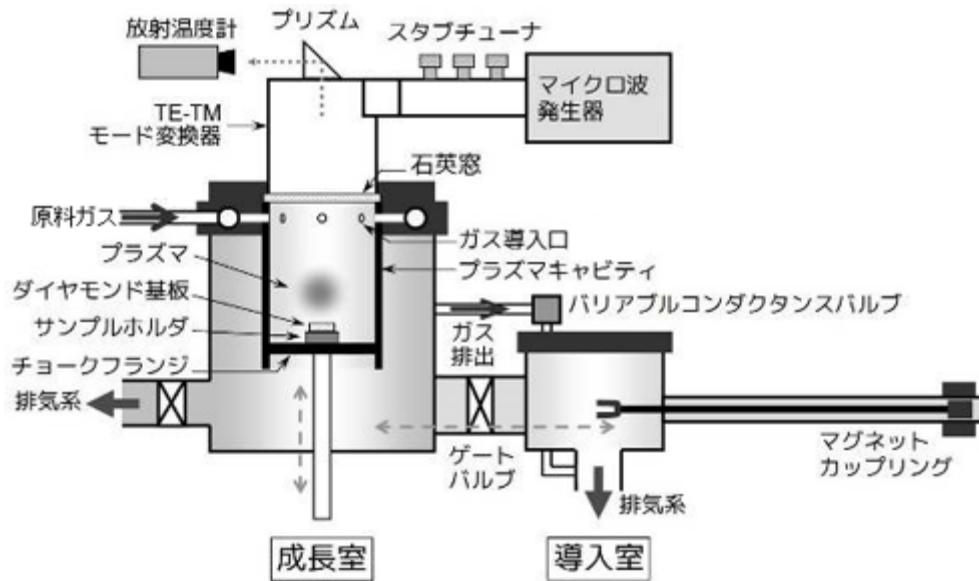


図 3. 4-1 NIMS 型プラズマ CVD システムの概略図

表 3. 4-1 ダイヤモンドのエピタキシャル成長条件

基板結晶面方位/基板種別	{100}/Ib 型単結晶ダイヤモンド
メタン濃度 $[\text{CH}_4]/[\text{H}_2]$	0.1%
反応ガス圧力	80Torr
基板温度	900 - 950°C
成長速度	100nm/h
成長時間	3-5h



図 3. 4-2 測定に用いた高温プローバ

(2) 各構成要素の X 線照射による影響【H28-H30】

① 金属—表面伝導界面（ショットキー界面）検査

図 3.4-3 に同一基板表面に作製した複数の MEFET のうち、典型的なトランジスタ動作特性を 2 つ示す。図 3.4-3(a), (b)にはアルミニウム—水素終端ダイヤモンドの I_d-V_{sd} 特性、図 3.4-3(c), (d)にはショットキーゲートの I_d-V_G 特性の例である。X 線照射前後の変化は、ドレイン電流の低下が見られるもの(b 及び d)、ほとんど変化がないもの(a 及び c)があり、デバイス間でばらつきがみられた。ドレイン電流値低下の原因は下地である窒素を含む Ib 型単結晶ダイヤモンド基板によるものと考えられる。図 3.4-4 に X 線照射によるドレイン電流値低下のモデルを示す。水素終端を用いたダイヤモンド MEFET は上方へのバンド湾曲により誘起された正孔を電気伝導に用いる。X 線照射により、固定電荷が発生し分極電界が形成される。これが上方へのバンドベンディングを妨げることで水素終端表面の正孔濃度を減少させ、電気伝導低下を引き起こすものと考えられる。Ib 基板内の成長セクターによる窒素濃度分布、基板ごとの窒素濃度のばらつきが照射後の電流値低下のばらつきを生じている可能性がある。上記の仮説に基づき、窒素濃度 1ppm 以下の IIa 型単結晶ダイヤモンドを下地としてデバイスを作製、X 線照射前後の電流値を調査した。図 3.4-5 には Ib 基板、IIa 基板表面に作製した MEFET の X 線照射前後のドレイン電流を示す。縦軸は照射後のドレイン電流を照射前のドレイン電流で規格化した値を示している。窒素濃度の小さい IIa 基板表面に作製した MEFET のドレイン電流変化は Ib 基板表面に作製した MEFET と比較し、ばらつきが低減した。窒素濃度の小さい IIa 型単結晶を下地に用いることでトランジスタ特性劣化を低減できる目途が得られた。

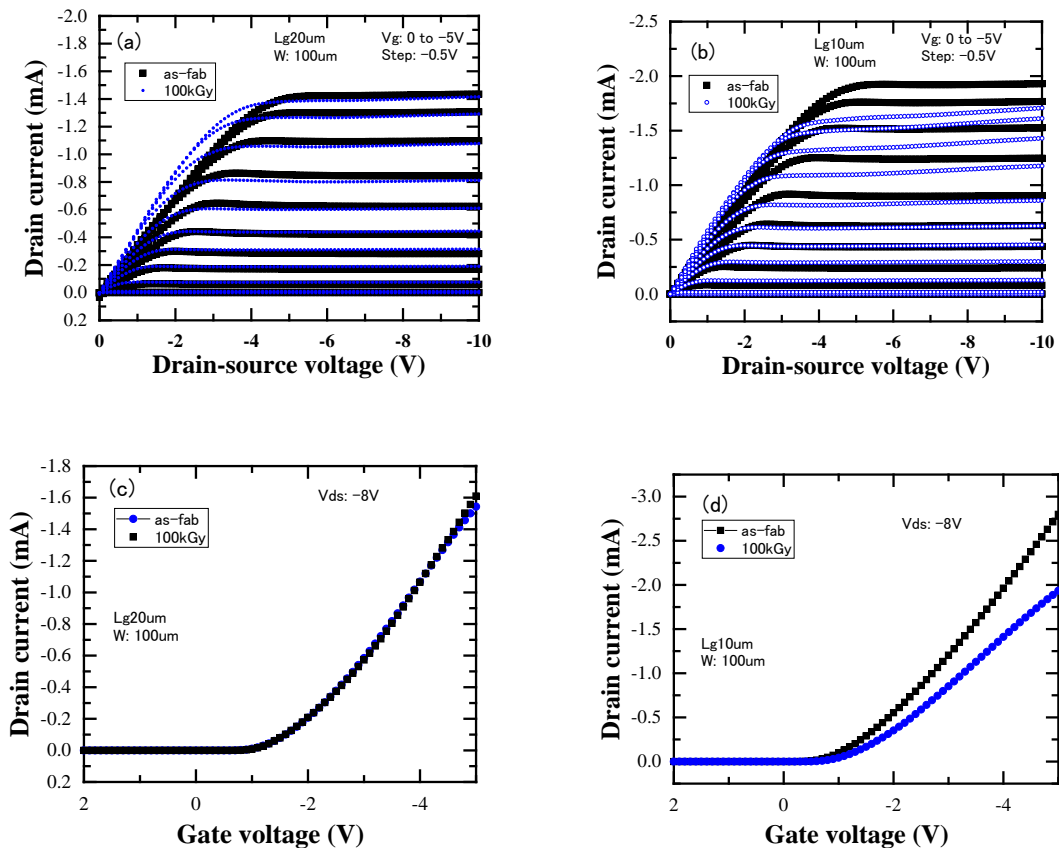


図 3.4-3 MEFET のトランジスタ動作静特性 (a), (b) I_d-V_{sd} 特性、(c), (d) I_d-V_G 特性

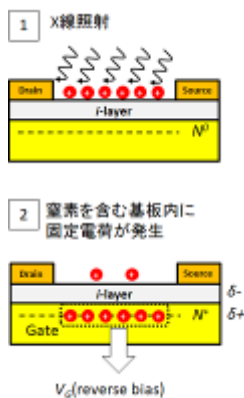


図 3.4-4 X線照射によるドレイン電流低下モデル

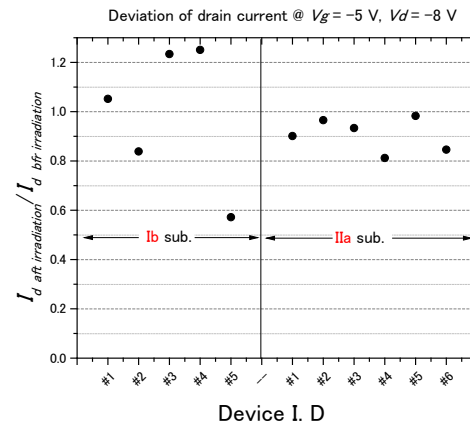
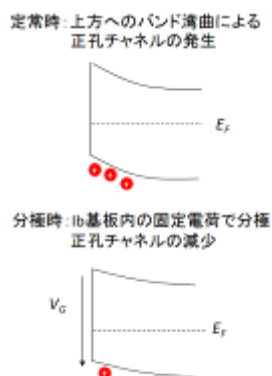


図 3.4-5 Ib、IIa 基板表面に作製した MESFET の X線照射前後のドレイン電流変化

② 表面伝導検査

図 3.4-6 に X線照射前後の水素終端ダイヤモンド表面伝導層の I-V 特性を示す。I-V 特性に有意な変化は見られず、100kGy までの X線照射に対して水素終端状態はほぼ安定に保たれた。

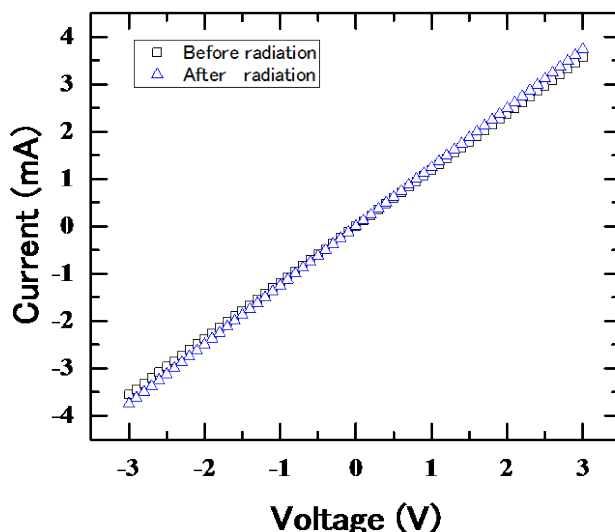


図 3.4-6 100kGy の X線照射前後の表面伝導層 I-V特性

③ 誘電体検査

ダイヤモンド上に形成した Al_2O_3 誘電体の MIMCAP の容量特性を評価したところ、多くの素子で絶縁性が劣化することが確認された。図 3.4-7 に X線照射後に短絡したキャパシタの割合と電極直径及びアルミナ膜厚との関係を示す。全体の傾向として、電極直径が大きく、アルミナ膜厚が薄いほど短絡するデバイスが多い。実際の MIMS FET のゲートに用いられるアルミナ膜厚に近い 30nm では、電極直径 400 μ m で 93%、最小電極直径 100 μ m で 63%のデバイスが短絡していることが分かる。これらは、X線照射による酸素欠損（空孔欠陥）が発生することで導電性を示したものと考えられる。電極直径が大きいかほど短絡するデバイスの割合が大きいかことは、単に放射線の

照射領域が大きいために、欠陥発生の確率も同時に上がってしまうことに起因すると考えられる。

本プロジェクト全体の開発目標値（積算線量 5MGy）を考慮すると、上記の実験結果は、その 50 分の 1 の積算線量（100kGy）で、ALD アルミナを用いた MIM キャパシタの 7%以上が劣化してしまうことを示している。また、上記の結果から MIMSFET 耐放射線性向上の解決策として、電極面積を小さくすることやアルミナ膜厚を厚くすることなどが考えられるが、ドレイン電流が減少するため、実デバイスの耐放射線性という観点から根本的な解決策ではない。そのため、MIMSFET の耐放射線向上には、アルミナゲート絶縁層の高度な結晶化及び膜質の改善が必要と判断した。その指針として、これまでの条件（120℃）でアルミナを成膜し、その後のアニール処理によりアルミナ薄膜の結晶化を促進することがあげられる。このポストアニール処理は、フランス国立科学研究センター（CNRS: Centre national de la recherche scientifique）のネール研究所（Neel 研）（仏グルノーブル市）で研究されているダイヤモンド MOSFET（Metal-Oxide-Semiconductor field-effect transistor：金属-酸化膜-半導体 電界効果トランジスタ）形成で効果が実証されており、非晶質及び多結晶が混在した状態からアニール処理によって単結晶に近い γ - Al_2O_3 へ構造変化することが確認されている [M. Gutiérrez et al., Nanomaterials, 8, 584 (2018)]。

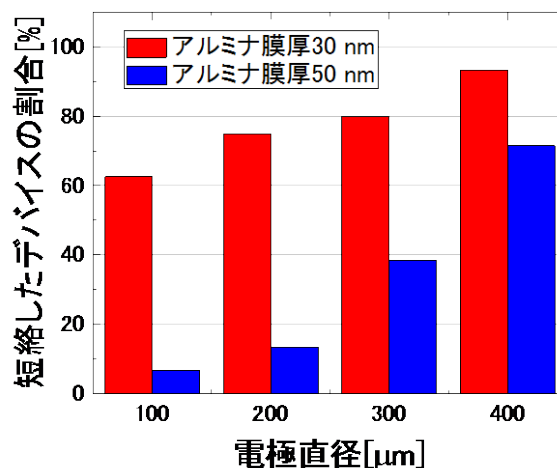


図 3.4-7 X 線照射後に短絡したキャパシタの割合と電極直径及びアルミナ膜厚との関係

(3) ゲート絶縁体（アルミナ）へのポストアニールによる放射線耐性向上【R1】

前節(2)③からゲート誘電体の絶縁性劣化が FET 特性を劣化させていることが明らかとなった。この結果を受け、令和元年度はゲート誘電体材料のアニールにより放射線耐性の向上を目指した。ALD によるアルミナ成膜後、アニールを施した。アニールは大気中 320℃で 1 時間行った。評価用 FET に対し、放射線照射前後のトランジスタ静特性を調査した。FET はゲート絶縁体を含み、より単純な構造を持つ MISFET (Metal-Insulator-Semiconductor Field Effect Transistor) とした。図 3.4-8 には代表的なサンプルの X 線照射前後の MISFET 静特性を示す。100kGy 照射後であっても電流値の減少は見られず、明瞭な FET 特性を示した。これらの結果からゲート絶縁膜のポストアニールによる放射線耐性向上を確認した。

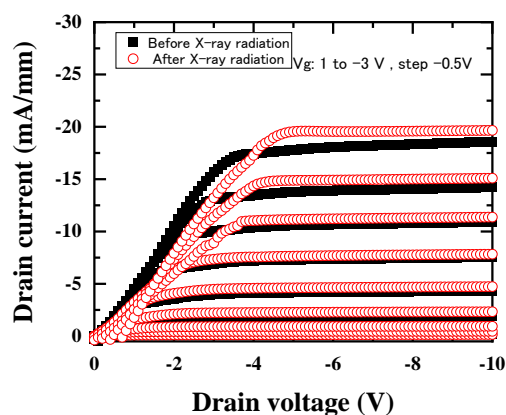


図 3.4-8 ゲート絶縁膜へのポストアニールを施した MISFET の静特性

3.4.1.2 100mA 超級ダイヤモンド MISFET の作製【R1】

物材機構にて、アルミナゲートを用いた 100mA 超級ダイヤモンド MISFET（ノーマリーオン）を作製、パッケージにマウント後、日立製作所に提供し CAMS 駆動回路プロト開発を支援した。

CAMS 用前置増幅器 FET として必要なスペックを日立製作所との協議により確認し、前項の 3.4.1.1 同様の CVD ダイヤモンド水素終端試料表面で同様のプロセスによりノーマリーオン特性のアルミナゲートダイヤモンド MISFET (Metal-Insulator-Semiconductor Field Effect Transistor) を作製し、トランジスタ静特性等基礎特性を評価した。電気特性の評価には前項 3.4.1 同様、超高真空・高温プローバ及びパワーデバイスアナライザを用いた。図 3.4-9 に室温におけるトランジスタ特性の測定結果を示す。ゲート電圧 V_g をマイナス側に印加するに従い I_d カーブの値は上昇し、明瞭なトランジスタ動作が確認できた。 I_d - V_d 特性からドレイン電流密度は 100mA/mm を上回り、実動作電流 100mA 級の MISFET 作製に成功した。同試料及び他に複数作製した MISFET をワイヤボンディングによりパッケージに装着した。図 3.4-10 にパッケージにマウントした MISFET の外観を示す。同試料を日立製作所に提供することで CAMS 駆動回路プロト開発を支援した。令和元年度も同様の素子を作製し、日立製作所に試料提供を行った。

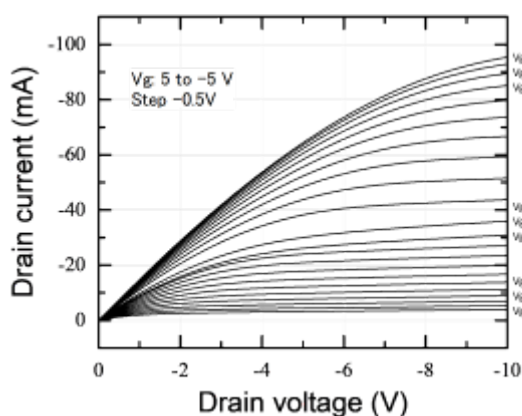


図 3.4-9 典型的なダイヤモンド MISFET のトランジスタ動作静特性

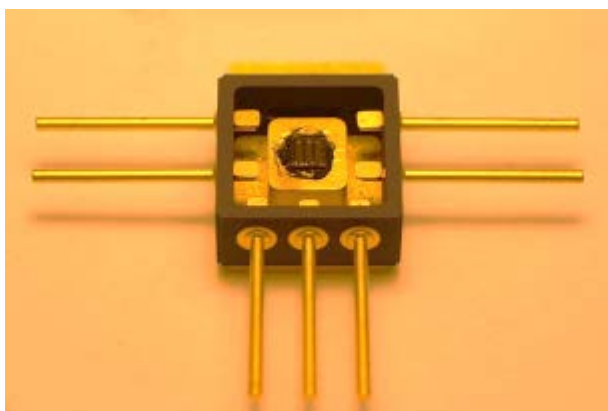


図 3.4-10 パッケージにマウントした MISFET の外観

3.4.2 ダイヤモンド IC 要素技術開発の支援 【H28-R1】

産総研が行ったダイヤモンド表面におけるキャパシタデバイスの作製に際し、物材機構が産総研への技術的支援及び容量特性評価、更に物材機構が持つノウハウを産総研に提供した。北海道大学で合成した ^{11}B ドープ p 型ダイヤモンド結晶に対して、物材機構においてホール効果温度依存性を測定し、半導体特性を調べた。

(1) ダイヤモンド表面でのキャパシタデバイスの容量特性評価

産総研が中心となって進めるダイヤモンド IC の要素技術開発のうち、ダイヤモンド上へのキャパシタ等の製作支援として MIMCAP を作製、評価した。ALD（原子層堆積法）により設定膜厚 35nm のアルミナ薄膜を作製した。成膜条件は、原料気体にトリメチルアルミニウム（TMA）、水蒸気を用い、成膜温度 120°C である。薄膜の組成を X 線光電子分光法（XPS）により分析した結果、75eV 付近に Al_{2p} に対応するピークが、532eV 付近に O_{1s} に対応するピークが観測され、アルミナ薄膜が形成されていることを確認した。膜厚の制御性はレーザー顕微鏡で評価した。その結果、膜厚は 30nm であり、優れた膜厚制御性が得られることを確認した。図 3.4-11 に MIM キャパシタの断面構造を示す。ダイヤモンド基板に Au/Mo/Ti の積層金属電極（下部電極）を作製後、金属電極表面に ALD により 350°C でアルミナ薄膜を成膜した。アルミナ薄膜の膜厚は、30 及び 50nm である。基板の四隅のみアルミナをエッチングし、最後に上部電極を成膜した。四隅の電極は、下部電極に接している。また上部電極の直径は、400、300、200、100 μm で、一つの基板上にそれぞれ 15 個作製し、容量特性を評価した。

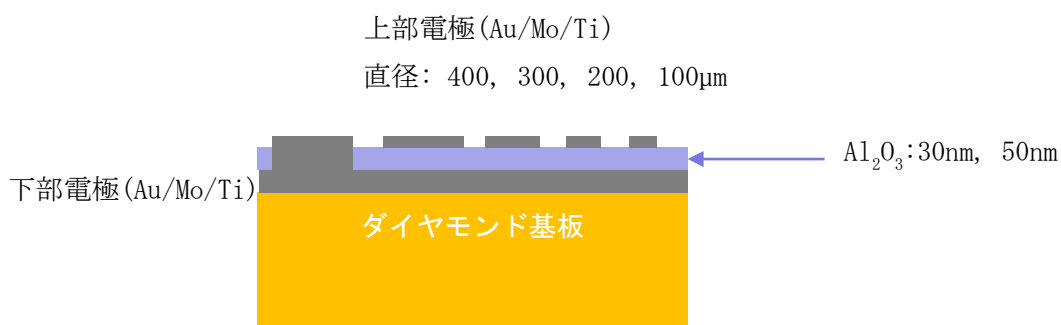


図 3.4-11 MIM キャパシタの断面構造

図 3.4-12 に MIM キャパシタの典型的な容量電圧特性及び容量周波数特性を示す。アルミナ膜厚及び電極直径は、それぞれ 50nm と 300 μm である。電圧及び周波数に対して、容量が変化しないことが分かる。各電極直径の平均容量をプロットしたものを図 3.4-13 に示す。静電容量の理論式に沿う特性が得られた。フィテティングから求めたアルミナの誘電率は 7.7 で、ALD 成膜のアルミナで報告されている値と一致した。令和元年度は北海道大学が作製したバルクサファイヤキャパシタについて容量特性を放射線照射前後で評価した。実験結果の詳細については 3.1.5 項に示す。

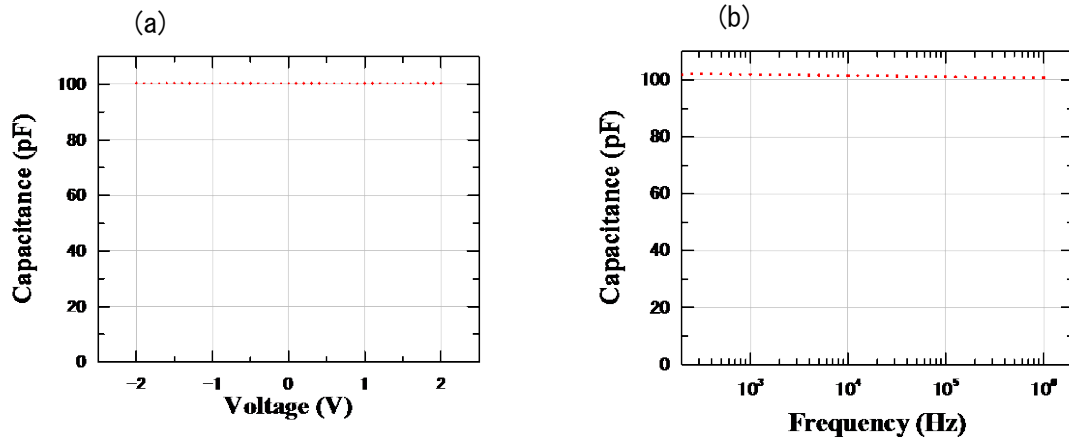


図 3.4-12 MIM キャパシタの典型的な (a) 容量電圧及び (b) 容量周波数特性
(アルミナ膜厚 50nm, 電極直径 300 μ m、X 線照射前)

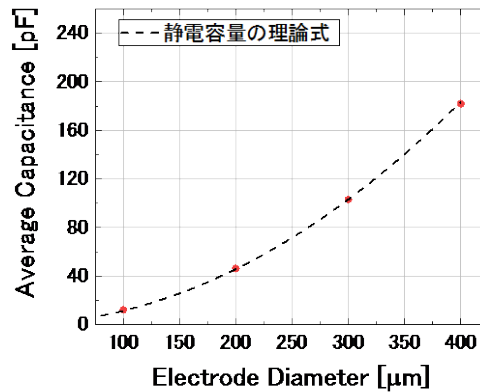


図 3.4-13 各電極直径における平均容量 (アルミナ膜厚 50nm、X 線照射前)

(2) ^{11}B -doped ダイヤモンドのホール効果測定【H30-R1】

産総研が行う業務の支援として、北海道大学が作製した ^{11}B ドープ p 型ダイヤモンドのホール効果温度依存性を評価した。試料は、Ib (100) ダイヤモンド基板表面にマイクロ波プラズマ CVD により膜厚 3 μm 成長させたものである。ホール測定前の二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) 測定から ^{11}B は $1 \times 10^{17} \text{cm}^{-3}$ ほど膜内に取り込まれていることが分かっている。物材機構では、ファン・デル・ポワ (Van der Pauw) 法を用いたホール測定の Au/Mo/Ti 電極の蒸着と室温から 600 $^{\circ}\text{C}$ までのホール効果測定を行った。評価は平成 30 年度及び令和元年度で継続して行った。図 3.4-14 に代表的なサンプルの比抵抗、キャリア濃度の温度依存性を示す。温度上昇に伴い、比抵抗が減少していることから半導体伝導を示していることを確認した。キャリア濃度に関しては、室温から 550K 程度までの領域でキャリア濃度温度依存性を半導体の状態密度関数、フェルミディラック統計及び電荷中性条件に基づきフィッティングし、アクセプタ濃度 N_a 及びドナー (補償不純物) 濃度 N_d を求めた。 $N_a = 1.3 \times 10^{18} \text{cm}^{-3}$ 、 $N_d = 4.1 \times 10^{15} \text{cm}^{-3}$ となり、SIMS による ^{11}B 濃度から判断すると 1 桁ほど高いアクセプタ濃度となっていることが分かった。この原因として、ドーピング層の結晶性が低いことが考えられる。

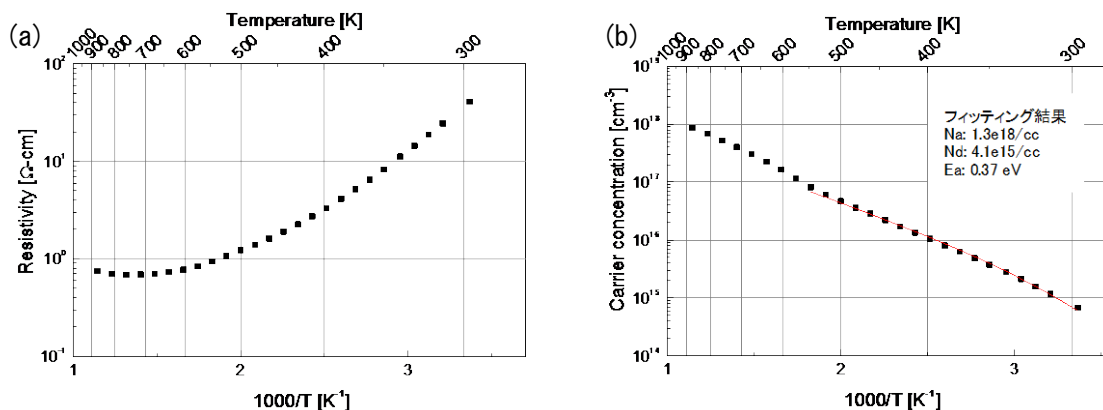


図 3.4-14 ^{11}B ドープ p 型ダイヤモンドのホール効果温度依存性
(a) 比抵抗、(b) キャリア濃度

平成 30 年度に引き続き、産総研が行うダイヤモンド表面でのキャパシタデバイス作製に関して物材機構が持つノウハウを提供して技術的支援及び容量特性評価を行った。また、産総研が行う業務の支援として ^{11}B ドープ p 型ダイヤモンドのホール効果温度依存性を測定した。

3.4.3 ダイヤモンド半導体デバイスの上限動作温度の探求 【H28-R1】

【平成 28 年度】

超高温プローバの動作確認試験並びに評価試料製作準備を開始した。本研究ではダイヤモンド半導体デバイスの上限動作温度の探求のために、当所に既存の超高温プローバを利用して本研究課題に関係するダイヤモンド基本電子デバイスの高温電気特性を測定する。そのため、平成 28 年度においてはプローバシステムの高温動作試験を行った。上部窓材は試料ステージ温度が 900°C 以上に達する場合でも輻射により生ずる赤外線透過して、加熱による破損を防ぐために無水石英ガラスを使用した。試料ステージ、その周辺部材はモリブデン、高純度セラミックスを使用し、高温時の変形、溶着、不純物の放出が最小となるように工夫した。H28 年度の試験ではプローバ試料ステージの加熱制御を 600°C まで行った。真空の劣化は $1 \times 10^{-7}\text{Torr}$ 以下であり高温電気測定に支障がないことを確認した。評価試料である基本電子デバイスのダイヤモンド pn 接合を作製するため、その基板の準備を開始した。プローバでの試験に適するデバイスサイズを見極めるため、試験的にダイヤモンド試料をプローバシステムに導入した。その結果、 $150 \mu\text{m}$ 程度のデバイスまでは 600°C 加熱時においても試料の移動等の影響なく安定して測定可能であることが分かった。

【平成 29 年度】

600°C までのダイヤモンド pn ダイオードの I-V 特性を評価した。 600°C まで明瞭なダイオード特性を示し、整流比は 10^5 以上であった。室温から 400°C までのショットキーダイオードの I-V 特性では、耐熱用デバイスのショットキー電極候補としては Mo, Ru などがあるため、平成 29 年度は Mo/Au 積層電極を形成した疑似縦型 p 型ダイヤモンドショットキーダイオードを評価した。室温から 300°C までは 9 桁以上の良好な整流比を示した。試料温度の上昇に伴い、順方向電流の

立ち上がり電圧が小さくなることからショットキー障壁高さが低下する傾向がみられた。特に試料温度 300°Cから 400°Cの間でその傾向が顕著にみられた。試料温度 300°C以上で Mo-ダイヤモンド界面のカーバイド化が急激に進んだものと考えられる。MESFET については水素終端ダイヤモンド表面伝導層をチャンネルとして用いたため、100°C程度の低温で測定不能となった。これは昇温時に電気伝導を司る表面吸着物が熱脱離、または金属界面で反応を起こし電気伝導度が急激に低下したためと考えられる。

平成 29 年度評価した試料は疑似縦構造を形成するための p+層をホットフィラメント法で成膜している。ホットフィラメント法では 2 次核形成により平坦性に優れた膜を得ることが難しく、電極-ダイヤモンド界面の品質を低下させている可能性がある。動作上限温度を更に向上させるためには、耐熱性に優れたショットキー電極の使用、高品質エピタキシャル層による電極-ダイヤモンド界面の改善等が考えられる。前者については、Ru 電極の使用を予定している。後者についてはマイクロ波プラズマ CVD 法により成長した高品質 p、p+エピタキシャル層を用いることが有効と考えられる。

【平成 30 年度】

Mo 電極を用いたショットキーダイオードでは、400°Cで明確な劣化が見られた。MESFET は、水素終端ダイヤモンド表面伝導層をチャンネルとして用いたため、100°C程度の低温で測定不可となった。そのため、高温動作が期待される Ru (Ruthenium: ルテニウム) 電極を用いたショットキーダイオードと、さらなる高温での pn 接合ダイオードの電気特性評価を行った。産総研が作製している Au/Ru ゲート電極を用いた MESFET については、その構造が Ru 電極を用いたショットキーダイオードとほぼ同じであり、昇温による電極界面の反応は同じであると判断し、除外した。

室温から 900°Cまでのダイヤモンド pn 接合ダイオードの I-V 特性を測定した。900°Cまで明瞭なダイオード特性を示し、整流比は 10^5 以上であった。室温から 500°Cまでのショットキーダイオードの I-V 特性を測定した。室温から 200°Cまでは 9 桁以上の良好な整流比を示した。試料温度の上昇に伴い、順方向電流の立ち上がり電圧が小さくなることからショットキー障壁高さが低下する傾向がみられ、200°Cで立ち上がり電圧がほぼ 0V となった。試料温度 300°C以上では、温度に応じて逆方向電流が 1 桁から 2 桁程度増加する傾向がみられた。500°Cの昇温後、室温で同デバイスを測定したところ、ダイオード特性が保たれているものの、昇温前の室温と比較して、立ち上がり電圧が小さくなっていることが分かった。

平成 29 年度の結果も踏まえると、ショットキーダイオードでは、動作上限が 200 から 300°C程度であることが分かり、それ以上の温度では、カーバイド化などショットキー界面で何らかの変化が生じることが分かった。一方、バルク伝導を利用した pn 接合ダイオードは、900°Cでも明確にダイオード特性を示しており、ダイヤモンド半導体デバイスの高温動作の優位性が示された。

【令和元年度】

超高温プローブシステムにより高真空中でのダイヤモンド半導体デバイスの~1000°C度までの高温動作特性を評価した。ダイヤモンド半導体デバイスとしては pn 接合、ショットキーダイオードを対象とした。令和元年度は pn 接合ダイオードの 600-1000°Cまでの高温動作特性を新たに評価した。バルク伝導を利用した pn 接合ダイオードが最も優れた高温耐性を示し、1000°Cでも明

確にダイオード特性を示した。ショットキーダイオードは 300°C以上での高温下でカーバイド化などショットキー界面の変化が生じ整流特性が劣化した。

(1) 評価装置及びサンプル

本研究ではダイヤモンド半導体デバイスの上限動作温度の探求のために、当所に既存の超高温プローバを利用して本研究課題に関係するダイヤモンド基本電子デバイスの高温電気特性を測定した。デバイスとしてpnダイオード、ショットキーダイオードの電気特性評価を行った。

図 3.4-15 にプローバシステムの外観を示す。上部窓材は試料ステージ温度が 1000°C以上に達する場合でも輻射により生ずる赤外線透過して、加熱による破損を防ぐために無水石英ガラスを使用している。試料ステージ、その周辺部材はモリブデン、高純度セラミックスを使用し、高温時の変形、溶着、不純物の放出が最小となるように工夫されている。到達真空度は室温で 1×10^{-11} Torr である。評価試料としては絶縁性の HPHT Ib 型ダイヤモンド上に形成した疑似縦型のpnダイオード及びショットキーダイオードを用いた。

(2) 高温動作特性

図 3.4-16 には令和元年度に評価した 710°Cから 1070°Cまでのダイヤモンド pn ダイオードの I-V 特性を示す。1070°Cであっても印可電圧±20V において、整流比 10^3 以上で明瞭なダイオード特性を示した。また、1070°Cを経験後もそれ以下の温度で整流特性を保っており、pn 接合に対する昇温ダメージはほとんどないことが確認された。

耐熱用デバイスのショットキー電極候補として本事業では Mo/Au 積層電極、Ru/Au 電極を形成した p 型ダイヤモンドショットキーダイオードを評価した。各電極の室温から 500°Cまで評価したところ、いずれのダイオードも室温では 9 桁以上の良好な整流比を示した。試料温度の上昇に伴い、順方向電流の立ち上がり電圧が小さくなり、300°Cから 400°Cの間でその傾向が顕著にみられた。500°Cの昇温後、室温で同デバイスを測定したところ、ダイオード特性が保たれているものの、昇温前の室温での I-V 特性と比較して、立ち上がり電圧が小さくなった。300°C以上では、カーバイド化などショットキー界面の変化が生じることが確認された。

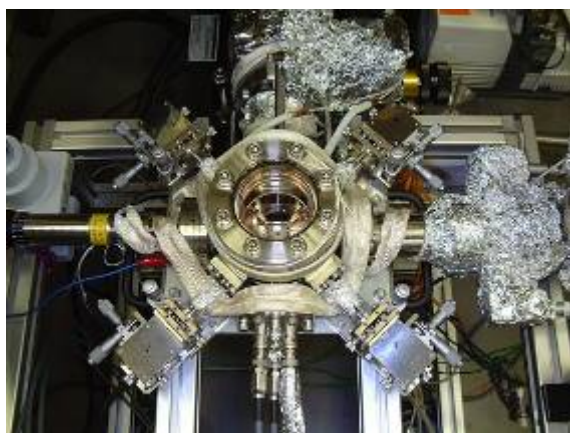


図 3.4-15 超高温プローバシステムの外観

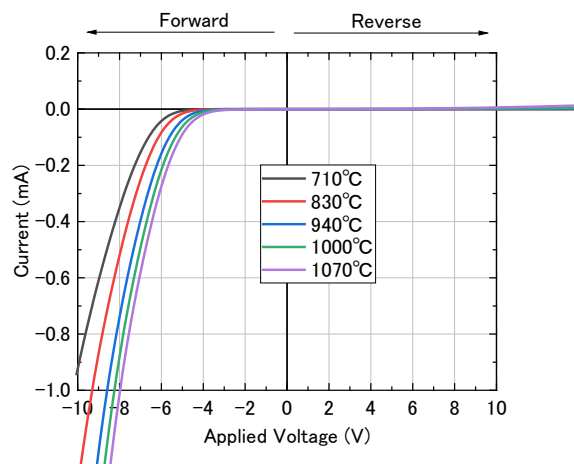


図 3.4-16 高温下での pn ダイオードの I-V 特性

3.5 研究推進

3.5.1 技術報告・検討会

本研究を推進するにあたり、開発プロジェクトの概要、令和元年度の年次計画、進捗状況に関する報告を外部委員に対して行った。実機適用可能なシステム開発への展開を念頭に置いたご意見を外部委員から頂き、研究計画に反映させた。図 3.5-1 にアジェンダ(会議詳細)、図 3.5-2 に会議写真を示す。

第6回技術報告・検討会

日時：2019年9月26日(水)13:30～20:00

場所：北海道大学 工学部 A棟4階 (A4-63) 会議室2

CONFIDENTIAL

2019年9月24日版
北大 金子

原子カシシステム研究開発事業
「原子炉計装の革新に向けた耐放射線・高温動作ダイヤモンド計測システムの開発と
ダイヤモンド IC の要素技術開発」
第6回技術報告・検討会

○目的 開発プロジェクトの概要、進捗状況、平成31年度前期の年次計画に関する報告を外部委員に対して行う。実機適用可能なシステム開発への展開を念頭に置いたご意見を外部委員から頂き、研究計画に反映させる。

○日時：2019年9月26日(水)13:30～20:00
場 所：北海道大学 工学部 A棟4階 (A4-63) 会議室2

○外部委員 (県不同)

京都大学 原子炉実験所 原子力基礎工学研究部門 教授	：三澤 聡 様
三菱重工業㈱ ICTソリューション本部 電気計測技術部 電気計装設計課(電計設)：吉田 成臣 様	
東芝電力放射線テクノサービス株式会社(TRS) 技術統括責任者	：前川 立行 様

○出席予定者 (敬称略)

北海道大学：	金子、小泉(均)、花田
産業技術総合研究所：	梅沢、川島
日立製作所：	上野、乗松
物質・材料研究機構：	嶋岡

○タイムテーブル

・開会のご挨拶	13:30-13:40	金子
・今年度前期の進捗状況と今年度後期の開発計画		
北海道大学	13:40-14:00	花田
(質疑応答)	14:00-14:10	
産業技術総合研究所	14:10-14:30	梅沢、川島
(質疑応答)	14:30-14:40	
<休憩>	14:40-15:00	
日立製作所	15:00-15:20	上野、乗松
(質疑応答)	15:20-15:30	
物質・材料研究機構	15:30-15:50	嶋岡
(質疑応答)	15:50-16:00	
・全体討論	16:00-17:00	金子
・意見交換会	18:00-20:00	

図 3.5-1 第6回技術報告・検討会のアジェンダ



図 3.5-2 第6回技術報告・検討会の会議写真

3.5.2 学会、論文等における発表実績

表 3.5-1 に学会等における口頭・ポスター発表の実績、表 3.5-2 に学会誌・雑誌等における論文掲載の実績、表 3.5-3 に特許出願の実績を示す。

表 3.5-1 学会等における口頭・ポスター発表

発表した成果（発表題目）	口頭・ポスター発表の種別	発表者氏名	発表した学会等名、場所	発表月日等	国内・外の別
MIMS-FET based on semiconductor Diamond with controllable threshold voltages	口頭	M. Liao, L. Sang, S. Takehiro, M. Imura, S. Koizumi, Y. Koide	The 13th New Diamond and Nano Carbon Conference (NDNC 2019), 2019, Hualien, Taiwan	2019/5/15	国外
Radiation hardness of diamond Schottky barrier diode	口頭	H. Umezawa, H. Kawashima, S. Ohmagari, D. Takeuchi	The 13th New Diamond and Nano Carbon Conference (NDNC 2019), 2019, Hualien, Taiwan	2019/5/15	国外
Increasing the sensitive area of diamond energy spectrometer	口頭	S. Hirano, J. H. Kaneko, S. Itoh, T. Hanada, A. Ouyahara, H. Umezawa	福島県研究国際会議 International Workshop on Fukushima Decommissioning Research (FDR2019) 場所: J-Village (福島県双葉郡楳葉町)	2019/5/25	国内
Diamond semiconductor devices, current status and future prospects	口頭	H. Umezawa	Taiwan Minimal Fab Symposium 2019 "Research Project Showcase", Taiwan	2019/6/13	国外
Development of diamond radiation detector and charge sensitive preamplifier based on diamond FET	口頭	J. H. Kaneko	International conference on Advancements in Nuclear Instrumentation Measurement Methods and their Applications (ANNM2019) 場所: Portoroz (Slovenia) ポルトロゾ(スロベニア)	2019/6/17	国外
ダイヤモンド放射線 MESFET の開発	口頭	川島 宏幸, 梅沢 仁, 大曲 新矢	分子・物質合成プラットフォーム 令和元年ユーザーミーティング	2019/7/6	国内
Diamond Schottky barrier diodes on half-inch single-crystal wafers fabricated by Minimal Fab System	ポスター	T. Hanada, H. Umezawa, S. Ohmagari, D. Takeuchi, J. H. Kaneko	International Conference on Solid State Devices and Materials 2019 (SSDM2019) 2019年国際固体素子・材料カンファレンス 場所: 名古屋大学 東山キャンパス	2019/9/4	国内
Characterization of defects in diamond P-N diodes by electron beam induced current	ポスター	H. Umezawa, T. Shimaoka, K. Driche, E. Gheeraert, S. Koizumi, D. Takeuchi	2019 International Conference on Solid State Devices and Materials (SSDM2019), Nagoya	2019/9/5	国内
Development of diamond radiation detector and charge sensitive preamplifier based on diamond FET	口頭	J. H. Kaneko	The 2019 European Materials Research Society (E-MRS) Fall meeting 場所: Warsaw University of Technology (ポーランド)	2019/9/17	国内
Device processing and crystallographic defects on diamond Schottky barrier diodes	口頭	T. Hanada, H. Umezawa, S. Ohmagari, H. Kawashima, D. Takeuchi, J. Kaneko	E-MRS Fall meeting 2019, Warsaw	2019/9/17	国外
ミニマルファブを活用したダイヤモンドSBDの製作と評価	ポスター	花田 尊徳, 梅沢 仁, 大曲 新矢, 竹内 大輔, 根本 一正, クンプアン ソマワン, 原 史朗, 金子 純一	2019年 第80回 応用物理学会秋季学術講演会 場所: 北海道大学 札幌キャンパス (北海道札幌市)	2019/9/18	国内
Long-gate-width diamond MESFET for large drain current capability	口頭	H. Kawashima, H. Umezawa, S. Ohmagari and D. Takeuchi	E-MRS Fall meeting 2019, Warsaw	2019/9/18	国外
[111]ダイヤモンドにおけるホウ素取り込みの基板オフ角依存性	口頭	嶋岡 毅哉, 市川 公善, 小泉 聡	第80回応用物理学会秋季学術講演会、北海道大学、札幌市	2019/9/20	国内
共焦点ラマン分光マッピングを用いたホモエピタキシャルダイヤモンド中の転位の評価I	口頭	市川 公善, 寺地 徳之, 加藤 有香子, 嶋岡 毅哉, 小泉 聡	第80回応用物理学会秋季学術講演会、北海道大学、札幌市	2019/9/20	国内
Improvement of diamond MESFET for large drain current	口頭	H. Kawashima, H. Umezawa, S. Ohmagari and D. Takeuchi	JSPS-CNRS Diamond detector workshop 2019, 湯沢市, 秋田県	2019/10/30	国内
Homopitaxial growth of high crystalline quality diamond [111] film	口頭	Kin'yoshi Iohikawa, Tokuyuki Teraji, Takehiro Shimaoka, Satoshi Koizumi	JSPS-CNRS Diamond detector workshop 2019, 湯沢市, 秋田県	2019/10/31	国内
Characterization of defects in diamond diodes by electron beam induced current	口頭	H. Umezawa, T. Shimaoka, K. Driche, E. Gheeraert, S. Koizumi, D. Takeuchi	JSPS-CNRS Diamond detector workshop 2019, 湯沢市, 秋田県	2019/10/31	国内
[111]ホウ素ドーパダイヤモンド薄膜成長の基板オフ角依存性評価	口頭	嶋岡 毅哉, 市川 公善, 小泉 聡	第33回ダイヤモンドシンポジウム、東京工業大学、東京	2019/11/13	国内
微傾斜ダイヤモンド[111]基板までの高品質ホモエピタキシャル成長	口頭	市川 公善, 寺地 徳之, 加藤 有香子, 嶋岡 毅哉, 小泉 聡	第33回ダイヤモンドシンポジウム、東京工業大学、東京	2019/11/13	国内
ミニマルファブを活用したダイヤモンドSBDの作製と多層膜の形成	口頭	花田 尊徳, 梅沢 仁, 大曲 新矢, 竹内 大輔, 金子 純一	第33回ダイヤモンドシンポジウム 場所: 東京工業大学 大岡山キャンパス	2019/11/15	国内
ダイヤモンド放射線検出器とダイヤモンドFETを用いた前置増幅器の開発	口頭	金子 純一	応用物理学会 先進パワー半導体分科会 第6回講演会 場所: 広島国際会議場 (広島市中区中島町1番5号 (平和記念公園内))	2019/12/4	国内
ODV grown diamond films and devices for harsh-environment applications	口頭	H. Umezawa, S. Ohmagari, H. Kawashima, T. Hanada, J. Kaneko	The 11th Asia-Pacific International Symposium on the Basics and Applications of Plasma Technology, Kanazawa	2019/12/13	国内
高温環境用ダイヤモンド中性子検出器の開発	口頭	平野 慎太郎, 金子 純一, 伊藤 彰祐, 茶谷原 昭哉, 花田 尊徳, 渡邊 幸志, 梅沢 仁, 竹内 大輔	日本原子力学会北海道支部 第37回研究発表会 場所: 北海道大学工学部4棟44-63会議室	2020/2/26	国内

表 3.5-2 学会誌・雑誌等における論文掲載

掲載した論文(タイトル)	発表者氏名	発表媒体(学会誌・雑誌等名 巻号ページ、発表日時 等)	発表した月	DOI(持っており分かれれば)	国内・国外の別	査読の有無
Threshold Voltage Instability of Diamond Metal-Oxide-Semiconductor Field-Effect Transistors Based on 2D Hole Gas	M. Yang, L. Sang, M. Liao, M. Imura, H. Li, Y. Koide	Phys. Stat. Solidi A 1900538 (2019).	2019/10/16	10.1002/pssa.201900538	国外	有
Heat and radiation resistances of diamond semiconductor in gamma-ray detection	Katsunori Ueno, Takahiro Tadokoro, Yuichiro Ueno, Keisuke Sasaki, Satoshi Koizumi, Akiyoshi Chayahara, Yoshiaki Mokuno, Shintaro Hirano, and Junichi H. Kaneko	Japanese Journal of Applied Physics 58, 106509 (2019)	2019/9/1	https://doi.org/10.7567/1347-4065/ab4044	国外	有
Thermally stable heavily boron-doped diamond resistors fabricated via selective area growth by hot-filament chemical vapor deposition	S. Suzuki, S. Ohmagari, H. Kawashima, T. Saito, H. Umezawa, D. Takeuchi	Thin Solid Films 680 (2019) 81-84	2019/4/19	10.1016/j.tsf.2019.04.029	国外	有
Improved drain current of diamond metal-semiconductor field-effect transistor by selectively grown p+ contact layer	H. Kawashima, S. Ohmagari, H. Umezawa, D. Takeuchi	Japanese Journal of Applied Physics 58, SB0017 (2019)	2019/4/4	10.7567/1347-4065/ab073d	国外	有

表 3.5-3 特許出願

特許の名称	出願者	出願番号	出願日
半導体装置、パワーデバイスおよび制御用電子装置	廖梅勇, サン リウエン, 小泉 聡, 小出 康夫	特願2019-057963	2019年3月

4. 結言

本研究開発事業は、原子炉用耐放射線・高温動作計測システム開発の第一段階として、ダイヤモンド線検出器とダイヤモンド FET を用いた前置増幅器からなる原子炉格納容器雰囲気モニタ (CAMS) プロトタイプを開発することを目的とした。開発目標として過酷事故対応で求められる、耐熱温度:230°C以上、積算線量:5MGy 以上の達成を目指した。努力目標として可能な限り動作温度:300°Cに近づくことを目指した。また圧力容器内を除く原子炉格納容器内での使用を念頭に、動作温度:500°C、積算線量:10MGy を満たす電子デバイス実現の要となるダイヤモンド IC 等の要素技術開発としてダイヤモンド基板上へのキャパシタ、抵抗製作技術等を開発した。

北海道大学において、CAMS 用ダイヤモンド線検出器(動作温度:230°C以上、積算線量:5MGy 以上等)用として必要となるダイヤモンド単結晶もしくはダイヤモンド素子を産総研に供した。平成 30 年度に引き続きダイヤモンド合成技術の改良を継続した。また、平坦表面と電荷キャリア輸送特性に優れた結晶合成法・合成条件の探索も継続して実施した。合成したダイヤモンドを産総研に供し、カソードルミネッセンス法による結晶品質評価後、リフトオフ法により自立膜化した。自立膜化した結晶から検出器を製作し、電荷収集効率等を測定・評価した。これらの情報に基づき合成条件の改善を進めた。積層型検出器を試作し性能を評価した。日立製作所からの要請に従い、検出器開発を支援した。

産総研が行った MESFET の開発支援として、北海道大学においてフォトリソグラフィ、メタライズ、アニール等の製作作業を分担した。産総研と MESFET の試作プロセス及び評価技術について共有し、人材の交流、教育を通して試作を進めた。

北海道大学において、 ^{11}B ドープ p 型ダイヤモンドの合成と評価を継続した。北海道大学において合成した p 型ダイヤモンドを産総研に供し、カソードルミネッセンス法により結晶性の評価、物材機構に供し、ホール測定により半導体特性を評価し、その結果に基づき合成条件を改善した。

産総研より北海道大学に供された評価試料、物材機構より供された評価試料に対して X 線照射を継続した。

北海道大学において、500°Cで動作可能な高温用電子部品の成立可能性検証として抵抗、コンデンサ等を試作し高温動作特性を評価した。また、X 線照射試験も行った。

日立製作所が開発する CAMS 用ダイヤモンド FET 前置増幅器の目標性能(動作温度:230°C以上、積算線量:5MGy 以上等)を達成可能なダイヤモンド MESFET の開発と供給を行うため、プロセスにおける実用化要素技術を、産総研が開発した。産総研がゲート・ソース・ドレインの各電極パッド間に絶縁膜を形成し、表面保護層を形成することによりトランジスタ動作特性の安定化が可能であるかを調査した。また、平成 29、30 年度に確立した大型ゲート構造、低抵抗ソース・ドレイン構造を用い、更にパッシベーション膜を有する 30mm 以上のゲート幅を有するデバイスプロセスとして統合したダイヤモンド MESFET を、産総研が試作し、電気特性を評価した。試作した MESFET は日立製作所に供した。北海道大学と産総研で MESFET の試作プロセス及び評価技術について共有し、人材の交流、教育を通して試作を進めた。

産総研において、ダイヤモンド IC の要素技術開発として、ワンチップ内に増幅回路用であるダイヤモンド MESFET とともに抵抗を同時に搭載し回路利用が可能であるかを調査した。産総研において、増幅回路用抵抗として MESFET もしくはダイヤモンド抵抗体を用い、同一基板上にモノリシックダイヤモンド回路を試作し電気特性を評価した。

また、産総研において、ダイヤモンド IC の安定供給及び低価格化を目的としてハーフィンチウェハ上にプロセスが実施可能であるかを調査した。調査にはハーフィンチ専用プロセス設備であるミナマルファブを用い、ダイヤモンド MESFET を試作して電気特性を評価した。

北海道大学が行ったダイヤモンドγ線検出器開発の支援として、リフトオフ法によるダイヤモンドの自立膜化、カソードルミネッセンス測定等を産総研において分担した。

北海道大学より日立製作所に供されたダイヤモンド結晶、ダイヤモンド素子を用いて、平成 30 年度に実施した性能評価を反映した CAMS 用ダイヤモンドγ線検出器を、日立製作所において試作し、産総研のダイヤモンド前置増幅器と組合せてエネルギー弁別性能、耐熱性及び耐放射線性について確認試験を、日立製作所が実施した。

平成 30 年度に北海道大学が試作したダイヤモンド素子を用いた前置増幅器を元に、北海道大学の CAMS 用ダイヤモンドγ線検出器と組み合わせ評価試験を実施するための試作と性能評価を日立製作所において実施し、CAMS 放射線モニタとしての本開発システムの有効性を評価・検討した。

日立製作所において、平成 29 年度及び平成 30 年度に検討した CAMS 用ダイヤモンド前置増幅器の開発への適用可能性検証結果を踏まえ、必要に応じ改良検討を行い、耐熱及びγ線照射試験を実施した。

物材機構において、MIMSFET のゲート誘電体材料であるアルミナ層を原子層堆積法 (ALD) 成膜後の高温アニールにより形成した。物材機構において、FET 素子構造を形成しトランジスタ静特性を測定した。作製した素子を北海道大学に供し X 線を照射した。物材機構において、照射前後の電気特性の変化を調べて MIMSFET の耐放射線性を評価し、評価結果をフィードバックして耐放射線性の向上を図った。

物材機構において 100mA 超級ダイヤモンド MISFET (ノーマリーオン) を作製し日立製作所に提供した。

平成 30 年度に引き続き、産総研がダイヤモンド IC の要素技術開発で行うダイヤモンド表面でのキャパシタデバイス作製に関して物材機構が持つノウハウを提供して技術的支援及び容量特性評価を行った。また、産総研がダイヤモンドγ線検出器開発と ^{11}B ドープ p 型ダイヤモンド合成技術開発の支援で行う業務の支援として、物材機構において、 ^{11}B ドープ p 型ダイヤモンドのホール効果温度依存性を測定した。

物材機構において、既存の超高温フローバシステムにより高真空中でのダイヤモンド半導体デバイスの 900°C 以上の高温動作特性を評価した。ダイヤモンド半導体デバイスとして pn 接合を対象とした。

研究代表者の下で各研究項目間における連携を密にして研究を進めるとともに、広く意見を聴きながら研究を進めるため委員会を開催した。

以上、4 ヶ年計画の最終年として本年度の業務項目を実施し、所期の目標を達成した。