

令和4年度

文部科学省 国家課題対応型研究開発推進事業

原子力システム研究開発事業

過酷事故対応電子機器の実用化に向けた耐放射線・高温動作半導体デバイスの高性能化

成果報告書

令和5年3月

国立研究開発法人 産業技術総合研究所

本報告書は、文部科学省の原子力システム研究開発事業による委託業務として、国立研究開発法人 産業技術総合研究所が実施した令和元年度～令和 4 年度「過酷事故対応電子機器の実用化に向けた耐放射線・高温動作半導体デバイスの高性能化」の成果を取りまとめたものです。

# 目次

概略	vii
1. はじめに	1-1
2. 業務計画	
2.1 全体計画	2.1-1
3. 業務の実施内容及び成果	
3.1 バルク伝導型ダイヤモンド FET 高利得化と準量産技術開発	3.1-1
3.1.1 微細ゲートプロセス開発【R2-R4】	3.1-1
3.1.2 回路性能評価開発【R3-R4】	3.1-5
3.1.3 準量産技術開発【R2-R4】	3.1-10
3.2 表面伝導型ダイヤモンド FET の開発（再委託先：北海道大学）	3.2-1
3.2.1 耐放射線ゲート構造の開発【R2-R4】	3.2-1
3.2.2 高周波動作の確認【R3-R4】	3.2-4
3.2.3 高温信頼性試験【R2-R4】	3.2-7
3.3 接合型 SiC オペアンプの開発	3.3-1
3.3.1 オンチップ受動素子の開発【R2-R4】	3.3-1
3.3.2 耐放射線 JFET の開発【R2-R4】	3.3-5
3.3.3 オンウェハ IC 回路技術開発【R3-R4】	3.3-32
3.4 高温用電子部品の開発と耐放射線性試験（再委託先：北海道大学）	3.4-1
3.4.1 高温用受動素子の開発【R2-R4】	3.4-1
3.4.2 耐環境試験【R2-R4】	3.4-9
3.5 回路技術・システム試験（再委託先：福島高専）	3.5-1
3.5.1 トランジスタモデル抽出【R2-R4】	3.5-1
3.5.2 回路設計シミュレーション【R2-R4】	3.5-3
3.6 研究推進【R2-R4】	3.6-1
4. 結言	4.1

## 表一覧

表 1.1	半導体材料と形式による計測用途向け半導体デバイス性能の比較	1-1
表 1.2	本研究の開発項目と目標	1-2
表 2.1	本研究の全体計画	2.1-1
表 3.1.1	各位置での欠陥密度 (Do) と予測歩留まり (Y)	3.1-12
表 3.3.1	高温処理前後の抵抗値変化	3.3-3
表 3.3.2	ゲート層の厚さとチャネル面積の関係	3.3-6
表 3.3.3	出力抵抗のゲート電圧依存性 ( $L_G=4 \mu\text{m}$ , $V_D=10 \text{ V}$ )	3.3-7
表 3.3.4	各素子のパラメータ ( $L_G=4 \mu\text{m}$ , $V_D=10 \text{ V}$ )	3.3-9
表 3.3.5	各素子のパラメータ ( $T_G=0.2 \mu\text{m}$ )	3.3-9
表 3.3.6	各素子のしきい値電圧	3.3-10
表 3.3.7	Al イオン分布における Al インプラ条件	3.3-13
表 3.3.8	素子パラメータ ( $L_G=3 \mu\text{m}$ , チャネル=1~82 本)	3.3-22
表 3.3.9	素子パラメータ ( $L_G=1 \mu\text{m}$ )	3.3-24
表 3.3.10	素子パラメータ ( $L_G=2 \mu\text{m}$ )	3.3-25
表 3.3.11	素子パラメータ ( $L_G=3 \mu\text{m}$ )	3.3-26
表 3.3.12	素子パラメータ ( $L_G=4 \mu\text{m}$ )	3.3-27
表 3.3.13	温度依存性の素子パラメータ (チップ 8-D, $L_G=3 \mu\text{m}$ , チャネル=28 本)	3.3-31
表 3.5.1	モデルパラメータの対応	3.5-1
表 3.5.2	パラレル接続各種計測値 (抵抗負荷)	3.5-10
表 3.5.3	パラレル接続各種計測値 (アクティブ負荷)	3.5-10

## 図一覧

図 2.1	研究体制図	2.1-2
図 3.1.1	従来型のダイヤモンド MESFET の構造図	3.1-1
図 3.1.2	約 $0.5 \mu\text{m}$ ゲート長を持つダイヤモンド MESFET	3.1-1
図 3.1.3	$L_G=0.5 \mu\text{m}$ のダイヤモンド MESFET の静特性	3.1-2
図 3.1.4	リセス構造付ダイヤモンド MESFET の概要図	3.1-2
図 3.1.5	実際の素子の写真	3.1-2
図 3.1.6	試作したリセスゲートダイヤモンド MESFET の静特性	3.1-3
図 3.1.7	微細ソースドレイン間隔ダイヤモンド MESFET	3.1-4
図 3.1.8	試作したセルフアライン型 MESFET の静特性	3.1-4
図 3.1.9	試作 MESFET の S パラメータ特性	3.1-7
図 3.1.10	FET の小信号等価回路とポート	3.1-8
図 3.1.11	試作 MESFET の電流利得 (h21) の周波数特性	3.1-9
図 3.1.12	マークアライメント法によるゲートパターン作成の失敗例	3.1-11
図 3.1.13	セルフアライン法によるゲートパターン、ソースドレイン間形成後	3.1-11
図 3.1.14	ボロンドープダイヤモンド層約 $10 \mu\text{m}$ 合成後の ハーフィンチダイヤモンド基板表面の光学顕微鏡写真	3.1-12



図 3.2.1	マスクレス露光装置	3.2-2
図 3.2.2	半導体パラメータアナライザ	3.2-2
図 3.2.3	作製した素子の断面模式図	3.2-2
図 3.2.4	作製した素子の上面図	3.2-2
図 3.2.5	ALD 前処理を行った素子の ID-VD 特性	3.2-3
図 3.2.6	ALD 前処理を行った素子の ID-VD 特性	3.2-3
図 3.2.7	ベクトルネットワークアナライザ	3.2-4
図 3.2.8	マニュアルプローバ	3.2-4
図 3.2.9	ダイヤモンド基板	3.2-5
図 3.2.10	表面伝導型 MOSFET	3.2-5
図 3.2.11	$I_D V_D$ 特性	3.2-5
図 3.2.12	$gm V_G$ 特性	3.2-6
図 3.2.13	電流遮断周波数 $f_T=1870\text{MHz}$ 、最大発振周波数 $f_{MAX}=1230\text{MHz}$ を達成	3.2-6
図 3.2.14	処理に用いたホットプレート	3.2-8
図 3.2.15	ダイヤモンド基板の様子 (400°C加熱試験前)	3.2-9
図 3.2.16	ダイヤモンド基板の様子 (400°C加熱試験後)	3.2-9
図 3.2.17	$I_D V_D$ 特性 (400°C加熱試験前)	3.2-9
図 3.2.18	$I_D V_D$ 特性 (400°C加熱試験後)	3.2-10
図 3.2.19	金属電極の IV 特性 (400°C加熱試験後のソース電極)	3.2-10
図 3.3.1	JFET を用いたオペアンプの回路図例 (赤破線枠で囲われた部分が JFET)	3.3-2
図 3.3.2	SiC 基板中にイオン注入により形成する抵抗体の構造例	3.3-2
図 3.3.3	高温処理前後の電流電圧特性	3.3-2
図 3.3.4	抵抗体の基本形状	3.3-3
図 3.3.5	高温処理前後の容量測定結果	3.3-4
図 3.3.6	X 線照射後の JFET の $I_{DS}-V_{DS}$ 特性としきい値変化量	3.3-4
図 3.3.7	SiC 全周ゲート JFET の素子構造	3.3-6
図 3.3.8	$I_D-V_D$ 特性のシミュレーション結果 ( $L_G=4 \mu\text{m}$ , $T_G=0.2 \mu\text{m}$ )	3.3-7
図 3.3.9	ゲート電圧と空乏層の関係	3.3-7
図 3.3.10	$I_D-V_G$ 特性のシミュレーション結果 ( $L_G=4 \mu\text{m}$ , $V_D=10 \text{V}$ )	3.3-8
図 3.3.11	$I_D-V_G$ 特性のゲート長依存性 ( $T_G=0.2 \mu\text{m}$ )	3.3-9
図 3.3.12	しきい値電圧のゲート長依存性	3.3-10
図 3.3.13	レチクルの概要図	3.3-11
図 3.3.14	本研究で試作した SiC 全周ゲート JFET	3.3-12
図 3.3.15	SiC 全周ゲート JFET の試作プロセスフロー	3.3-12
図 3.3.16	ゲート層上部の Al イオン分布	3.3-13
図 3.3.17	ゲート層側部の Al イオン分布	3.3-13
図 3.3.18	試作素子のウェハ外観	3.3-14
図 3.3.19	ウェハ内レイアウト	3.3-14
図 3.3.20	試作 JFET の顕微鏡画像	3.3-15

図 3.3.21	試作 JFET の SEM 画像	3.3-15
図 3.3.22	チップ内のレイアウト	3.3-16
図 3.3.23	チップ内における試作 JFET の素子配置	3.3-16
図 3.3.24	マニュアルプローバ装置	3.3-18
図 3.3.25	測定方法 (4 端子測定)	3.3-18
図 3.3.26	試作 JFET の ID-VD 特性 (チップ 7-S, LG=3 $\mu\text{m}$ , チャネル=82 本)	3.3-18
図 3.3.27	試作 JFET の IG-VG 特性	3.3-19
図 3.3.28	フィールド酸化膜からコンタクトホール形成までのプロセス	3.3-19
図 3.3.29	スクラブ洗浄後のウェハ表面状態	3.3-20
図 3.3.30	コンタクトホール形成 2 回目後のウェハ表面状態	3.3-21
図 3.3.31	試作 JFET の ID-VG 特性 (VD=10 V)	3.3-22
図 3.3.32	電流電圧特性の測定結果 (LG=1 $\mu\text{m}$ )	3.3-24
図 3.3.33	電流電圧特性の測定結果 (LG=2 $\mu\text{m}$ )	3.3-25
図 3.3.34	電流電圧特性の測定結果 (LG=3 $\mu\text{m}$ )	3.3-26
図 3.3.35	電流電圧特性の測定結果 (LG=4 $\mu\text{m}$ )	3.3-27
図 3.3.36	$I_D$ - $V_G$ 特性のゲート長依存性 (VD=10 V, チャネル数=28 本)	3.3-28
図 3.3.37	しきい値電圧のゲート長依存性 (VD=10 V, チャネル数=28 本)	3.3-28
図 3.3.38	$I_D$ - $V_G$ 特性の比較 (VD=10 V, LG=3 $\mu\text{m}$ , チャネル数=28 本)	3.3-28
図 3.3.39	$I_D$ - $V_D$ 特性の温度依存性 (VG=2 V, チップ 8-D, LG=3 $\mu\text{m}$ , チャネル=28 本)	3.3-30
図 3.3.40	$I_D$ - $V_G$ 特性の温度依存性 (VD=10 V, チップ 8-D, LG=3 $\mu\text{m}$ , チャネル=28 本)	3.3-30
図 3.3.41	SiC-JFET の放射線照射前後における特性変化	3.3-31
図 3.3.42	高温動作可能な耐環境型 GaN オペアンプの例	3.3-32
図 3.3.43	E/D 構成の GaN トランジスタを利用したオペアンプの例	3.3-33
図 3.3.44	試作した耐環境 D 型 SiC-JFET の特性と SPICE モデル	3.3-34
図 3.3.45	n 型 SiC-JFET を 5 素子組み込んだ試作 SiC チップと信号増幅回路	3.3-35
図 3.3.46	信号増幅回路のシミュレーション結果	3.3-35
図 3.3.47	実際の回路の出力特性	3.3-36
図 3.3.48	SiC-JFET 多段接続による増幅回路とシミュレーション特性	3.3-37
図 3.3.49	SiC-JFET を用いた多段増幅回路による検出器回路	3.3-38
図 3.3.50	試作・評価した JFET の断面構造	3.3-39
図 3.3.51	トレンチおよびインプラ構造による SiC-JFET の電流電圧特性	3.3-40
図 3.3.52	入力容量 $C_{iss}$ のドレイン電圧 VD 依存性	3.3-41
図 3.3.53	SiC-JFET の相互コンダクタンス $g_m$ および入力容量 $C_{iss}$ のゲート幅依存性	3.3-41
図 3.3.54	SiC-JFET における電流利得遮断周波数 $f_T$ のゲート幅依存性	3.3-42
図 3.4.1	作製した CuNi 抵抗 (左) と高温動作特性 (右)	3.4-1
図 3.4.2	室温から 500°C までの熱サイクルにおける抵抗値の変化	3.4-2
図 3.4.3	積算線量ごとの高温動作特性 (積算線量 0kGy~3MGy)	3.4-2
図 3.4.4	積算線量ごとの高温動作特性 (積算線量 0kGy~5MGy)	3.4-3
図 3.4.5	作製した ALD 法アルミナキャパシタの写真と周波数特性	3.4-3

図 3.4.6	作製した AD 法アルミナキャパシタの写真と周波数特性	3.4-4
図 3.4.7	ALD アルミナキャパシタの積算線量ごとの周波数特性	3.4-5
図 3.4.8	AD アルミナキャパシタの積算線量ごとの周波数特性	3.4-6
図 3.4.9	再び作製した AD 法アルミナキャパシタの写真と高温動作特性	3.4-7
図 3.4.10	周波数 1MHz における積算線量ごとの高温動作特性 (1kGy~1MGy)	3.4-7
図 3.4.11	周波数 1MHz における積算線量ごとの高温動作特性 (3MGy, 5MGy)	3.4-8
図 3.4.12	平成 28 年度「原子カシステム研究開発事業(令和元年度成果)」 における提案回路	3.4-9
図 3.4.13	試作 FET の特性と抽出モデルによる素子特性の再現性	3.4-10
図 3.4.14	試作した表面伝導型およびバルク伝導型ダイヤモンド FET チップ	3.4-11
図 3.4.15	二段差動増幅によるダイヤモンド FET 増幅回路	3.4-11
図 3.4.16	ソース接地増幅回路と特性	3.4-12
図 3.4.17	レベルシフト回路と特性	3.4-13
図 3.4.18	二段差動増幅回路における開放利得と疑似信号による検出器出力	3.4-14
図 3.5.1	モデルに基づいた VGS-ID 特性および VDS-ID 特性のシミュレーション結果	3.5-2
図 3.5.2	電圧-容量特性シミュレーション用回路図	3.5-2
図 3.5.3	JFET モデルに基づいた電圧-容量特性シミュレーションの結果	3.5-3
図 3.5.4	差動増幅回路(抵抗負荷)	3.5-5
図 3.5.5	過渡解析の結果(抵抗負荷差動増幅回路)	3.5-5
図 3.5.6	AC 解析の結果(抵抗負荷差動増幅回路)	3.5-5
図 3.5.7	差動増幅回路(アクティブ負荷)	3.5-6
図 3.5.8	過渡解析の結果(アクティブ負荷)	3.5-7
図 3.5.9	AC 解析結果(アクティブ負荷)	3.5-7
図 3.5.10	パラレル接続差動増幅回路	3.5-8
図 3.5.11	パラレル接続差動増幅回路の過渡解析の結果	3.5-9
図 3.5.12	パラレル接続差動増幅回路の AC 解析の結果	3.5-10
図 3.5.13	ポールゼロフィルタ	3.5-12
図 3.5.14	ポールゼロフィルタ 3 段増幅回路	3.5-12
図 3.5.15	ポールゼロフィルタ 3 段増幅回路の過渡解析の結果	3.5-13
図 3.5.16	ポールゼロフィルタ 3 段増幅回路の AC 解析の結果	3.5-13
図 3.5.17	ソースフォロワ	3.5-14
図 3.5.18	ソースフォロワの過渡解析の結果	3.5-14
図 3.5.19	ソースフォロワの AC 解析の結果	3.5-15
図 3.5.20	4 段接続増幅回路	3.5-16
図 3.5.21	4 段接続増幅回路の過渡解析の結果	3.5-15
図 3.5.22	4 段接続増幅回路の AC 解析の結果	3.5-17

## 略語一覧

ALD	:	Atomic Layer Deposition	(原子層堆積)
CVD	:	Chemical Vapor Deposition	(気相成長法)
FET	:	Field-Effect Transistor	(電界効果型トランジスタ)
JFET	:	Junction FET	(接合型 FET)
MESFET	:	Metal-Semiconductor FET	(金属半導体 FET)
RADD FET	:	RADIation hard Diamond FET	(耐放射線ダイヤモンド FET)
MOS	:	Metal-Oxide-Semiconductor	(金属酸化物半導体)
SiC	:	Silicon Carbide	(炭化ケイ素)

## 概略

革新炉、軽水炉で汎用的に使用可能な革新的原子力計装の実現を目的とし、耐放射線・高温動作計測制御機器の開発を目標とする。福島第一原子力発電所における過酷事故発生後、原子炉格納容器内使用機器に対する要求性能、特に動作温度は非常に厳しい値が検討された。しかし、現実的に対応可能な電子デバイス製造技術が存在せず、「長期的に 300°Cを目指すものの現状、220°Cまでで可」の対応に止まる典型的なボトルネック課題となっている。

現在の一般的な Si 半導体製造ではクリーンルームを含め数百億円程度の設備投資が必要となることから、原子力や宇宙用など特殊用途向けでは市場規模が小さすぎるため採算が合わない。このため人工衛星用などでは既製半導体製品の中から耐放射線性の高い電子部品をロットで探す努力がはらわれており、原子炉核計装用デバイスも数世代前に作られた IC を在庫限りで使用しているのが現状である。また圧力伝送器では国内開発品の更新をあきらめ、世界市場を相手にしている海外製品が寡占する状況にある。

この状況を打破するには、本開発で実用化を目指す耐放射線・高温動作半導体デバイスを、革新炉のみならず現在使用されている軽水炉でも広く汎用的に使える技術とする必要がある。このため、原子力システム研究開発事業による本課題を中心とした新材料デバイス開発において、ウェハ、プロセス、後工程、回路設計技術までを包括的に進めることで「新材料半導体デバイス研究を製造技術までを含めて解決」し、広い視野で社会実装までを行っていくことが求められる。

このため、本研究では課題解決の要となるダイヤモンド電界効果トランジスタの高性能化と SiC オペアンプの開発を進める。積算線量:5MGy 以上、動作温度:300°C以上、アナログ帯域（電流利得遮断周波数）:100MHz 以上を共通の到達目標とし、さらにナトリウム冷却高速炉等における 500°Cでの動作に必要な能動素子開発、前置増幅器を念頭に置いたシステム設計開発を行い、本事業終了後ただちに実機開発に着手可能とすることを目指す。

本研究課題においては、技術先行する炭化ケイ素 (SiC) 半導体にて耐放射線・高温集積回路 IC化を目指し、後発かつ究極の半導体と呼ばれるダイヤモンド半導体で超耐放射線・超高温ディスプレイ半導体回路を目指す。また、本研究課題にて得られた成果を利用して、喫緊の課題である 1F 廃炉作業への応用展開も積極的に検討する。

研究開発によって得られた成果を速やかに社会実装するため、本研究課題に原子炉プラントメーカーによる外部評価委員を置き、研究進捗を確認いただくとともに要求仕様や研究の方向性について議論を行う。

## 1. はじめに

福島第一原子力発電所における過酷事故発生後、原子炉格納容器内は高温、高放射線、高湿度、など極めて厳しい環境にさらされ、ここで使用される機器に対する要求性能、特に動作温度は厳しい値が検討された。しかし、現実的に対応可能な電子デバイス製造及び回路技術は存在せず、典型的なボトルネック課題となっている。事前のヒアリング調査により、国内原子力プラントメーカーは将来的な対応の必要性は強く認識しているものの、具体的な打開策を持っていないことが分かっている。

現状の軽水炉では積算線量:5MGy、動作温度:300℃が原子炉格納容器内使用機器への要求性能である。軽水炉においても圧力容器直下では火災事故にも対応可能な核計装が望まれており、またナトリウム冷却高速炉などではより高温動作が望ましく、動作温度:500℃、耐熱温度:650℃を目安とすべきであると考えている。表 1.1 はこの視点と計測機器用途に求められる周波数帯域等他の要求性能も含めた耐放射線・高温動作半導体デバイスの性能比較である。

表 1.1 半導体材料と形式による計測用途向け半導体デバイス性能の比較

半導体材料		ダイヤモンド			SiC		Si*
形式		MESFET	RADD FET	従来型 表面伝導	JFET	MOS	MOS
FET	100 MHz	○	◎	○	○	○	○
IC	OP Amp.	△	△	×	○	○	○
高温動作	300 °C	○	○	○	○	×	×
	500 °C	◎	?	?	? (可能性大)	×	×
耐放射線 性	1 MGy	○	○	×	○	×	○
	5 MGy	◎ (実績 10 MGy)	?	×	○ (実績 4.2 MGy)	×	×
本提案での研究項目番号		①	②		③		

このボトルネック課題を解決するため本研究では実機開発で必要となる耐放射線・高温動作半導体デバイスの高性能化、高機能化を進め、過酷事故対応原子炉格納容器内使用計測制御機器の初期的製品を5～6年で実用化することを目指している。

本研究は大きく I. ダイヤモンド電界効果トランジスタの高性能化、II. 接合型 SiC IC の開発、III. 耐放射線・高温動作電子機器に必要な I、II 以外の要素技術開発の3大項目からなる。各研究項目と開発目標を表 1.2 にまとめる。

表 1.2 本研究の開発項目と目標

大項目	研究項目	担当	開発目標
I.ダイヤモンド電界効果トランジスタの高性能化	①バルク伝導型ダイヤモンドFETの高利得化と準量産技術の開発	産総研・北大	相互コンダクタンス $g_m \geq 1\text{mS}$ アナログ帯域 $f_T \geq 100\text{MHz}$ 挑戦的目標 $\geq 500^\circ\text{C}$
	②表面伝導型ダイヤモンドFETの開発	北大・産総研	耐放射線性評価( $\geq 5\text{MGy}$ ) アナログ帯域 $\geq 100\text{MHz}$ 高温動作 $\geq 300^\circ\text{C}$
II.接合型SiC ICの要素技術開発	③接合型SiC オペアンプの開発	産総研・(北大)	耐放射線性評価( $\geq 5\text{MGy}$ ) 高温動作 $\geq 300^\circ\text{C}$
III耐放射線・高温動作電子機器に必要なI,II以外の要素技術開発	④高温用電子部品の開発とX線照射試験	北大・(産総研)	耐放射線性評価( $\geq 5\text{MGy}$ ) 高温動作 $\geq 300^\circ\text{C}$ 挑戦的目標 $\geq 500^\circ\text{C}$
	⑤回路設計・システム技術	福島高専・(北大)	トランジスタモデルの構築 回路設計シミュレーション技術の確立

本開発では積算線量:5MGy 以上、動作温度:300°C以上を前提とし、これまでの計測機器開発により明らかとなった半導体デバイスの必要性能獲得に向け、耐放射線・高温動作半導体デバイスの高性能化を進める。また核分裂計数管用前置増幅器を想定した原子炉压力容器直下での使用を念頭に動作温度 500°Cを狙う要素技術開発も進める。これらにより過酷事故に対応可能な原子炉格納容器内電子機器の実用化を段階的に実現し、革新的原子炉核計装の実現と安全性の向上につなげる。

## 2. 業務計画

### 2.1 全体計画

本研究の全体計画を表 2.1 に示す。

表 2.1 本研究の全体計画

項目	年度	令和2年度	令和3年度	令和4年度
(1) バルク伝導型ダイヤモンドFET高利得化と準量産技術開発 ①微細ゲートプロセス開発		MESFET プロセステスト	短チャネル効果抑制 薄膜チャネルエッチング技術	0.5 $\mu$ mゲートプロセス
	②回路性能評価開発		寄生素子評価 ノイズ評価	fT評価
	③準量産技術開発	ウェハ評価	プロセス欠陥評価	製造技術開発 ミニマルプロセス
(2) 表面伝導型ダイヤモンドFETの開発 (再委託先:北海道大学) ①耐放射線ゲート構造の開発		耐放射線 絶縁膜技術	セルフアラインゲート開発	高性能ALDゲート素子試作
	②高周波動作の確認		超高利得動作 ノイズ評価	高周波動作確認 f <sub>T</sub> >100MHz(500MHz)
	③高温信頼性試験	評価系 構築	信頼性評価 >300°C高温放置	信頼性評価 >300°C&72時間高温放置
(3) 接合型SiCオペアンプの開発 ①オンチップ受動素子の開発		イオン注入	オンチップ抵抗の形成 均一性評価	オンチップ受動素子の 耐環境試験
	②耐放射線JFETの開発	JFET プロセス構築	オペアンプ用JFET 試作・評価	レイアウト設計 シミュレーション
	③オンウェハIC回路技術開発		JFET歩留・gm均一性評価	オペアンプ試作特性評価
(4) 高温用電子部品の開発と耐放射線性試験 (再委託先:北海道大学) ①高温用受動素子の開発		受動素子検討	受動素子特性評価	回路組立て
	②耐環境試験	放射線照射	耐熱試験>300°C 受動素子耐放試験	回路耐放試験 システム検討
(5) 回路技術・システム試験 (再委託先:福島高専) ①トランジスタモデル抽出		FETモデル作成 デバイス特性評価	MESFETモデル抽出	RADDFETモデル抽出
	②回路設計シミュレーション	回路調査	前置増幅器 素子仕様 回路検討 決定	受動素子 前置増幅器 最適化 動作検証
(6) 研究推進		推進会議	推進会議	推進会議



また、研究体制を図 2.1 に示す。

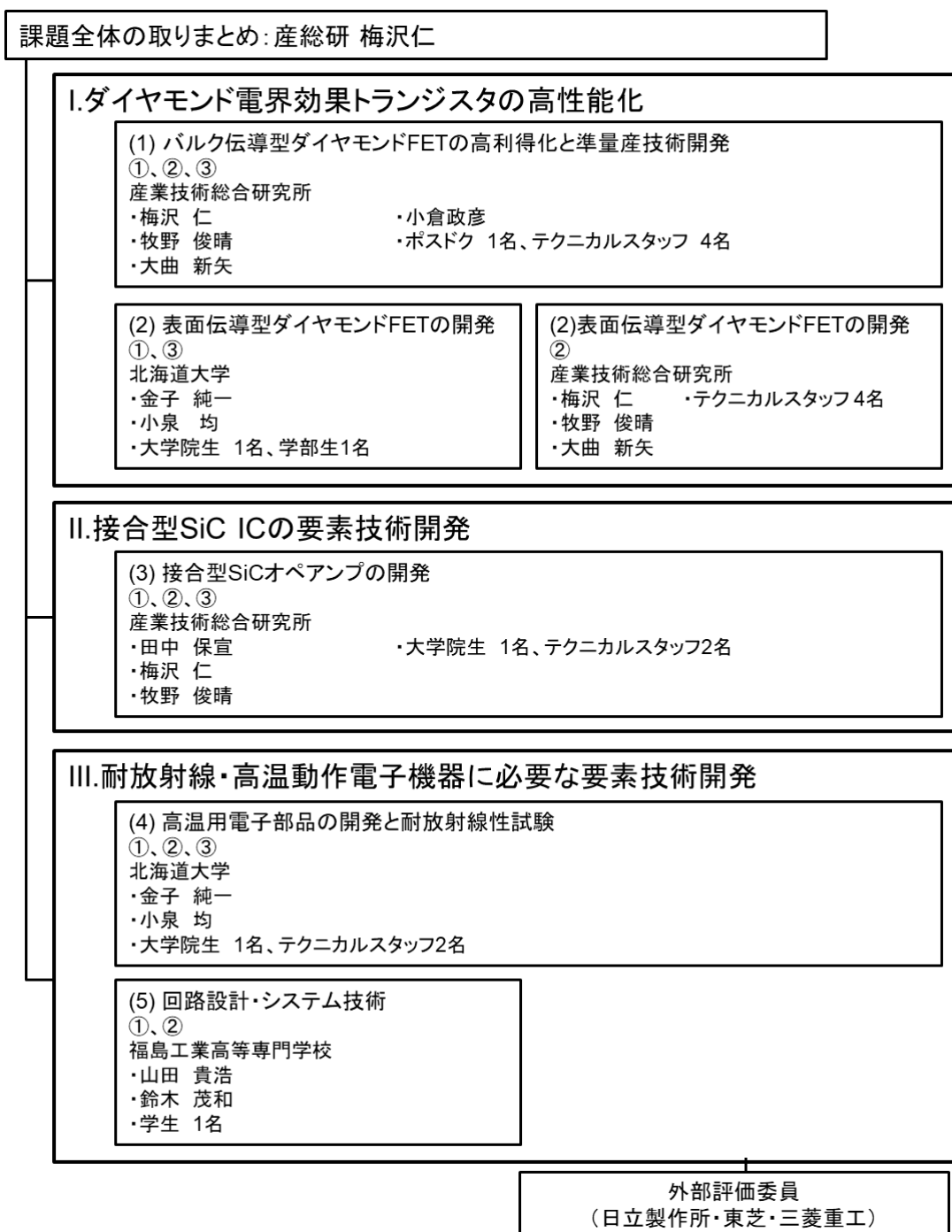


図 2.1 研究体制図

### 3. 業務の実施内容および成果

#### 3. 1 バルク伝導型ダイヤモンド FET 高利得化と準量産技術開発

##### 3. 1. 1 微細ゲートプロセス開発【R2-R4】

###### 【令和 2 年度及び令和 3 年度の成果】

令和 2 年度にはバルク伝導型ダイヤモンド FET である MESFET のプロセステストを行った。エピタキシャル成長したダイヤモンドに耐放射線性が確認されている Ru 電極を用いてソース、ゲート、ドレインを形成した。現行素子のゲート長  $10\mu\text{m}$  から  $1\mu\text{m}$  までの試作を行い、短チャネル効果やソース寄生抵抗成分の影響を調べた。

令和 3 年度には短チャネル効果抑制技術である、リセスゲート構造の実現に向けてダイヤモンドチャネル層のエッチングによる薄膜化試験を行った。チャネル層の高濃度ドーピングを行い、シート抵抗測定による電気的測定および光吸収測定による光学的測定により不純物濃度やキャリア濃度および移動度の見積もりを行った。

###### 【令和 4 年度の成果】

令和 2 年度に開発に成功したゲート長微細化技術を推進し、 $0.5\mu\text{m}$  ゲートを有するバルク伝導型ダイヤモンド FET を作製し動作特性を評価した。さらに令和 3 年度までに開発した各要素技術であるソース抵抗低減構造、チャネル層の高濃度ドーピング技術を組み込み、相互コンダクタンス  $1\text{mS}$  を実現した。

FET を回路に組み込むのに重要となるデバイスパラメータとしてしきい値、相互コンダクタンス、オン抵抗などがあげられるが、このうちしきい値を抑えるにはドリフト層膜厚を抑える必要がある。しかし、ドリフト層膜厚を抑えてしまうとシート抵抗が増大してしまうため、相互コンダクタンスの減少を抑えるのなら、ソースドレイン間隔の微細化が重要となる。

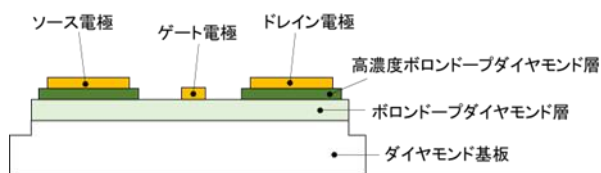
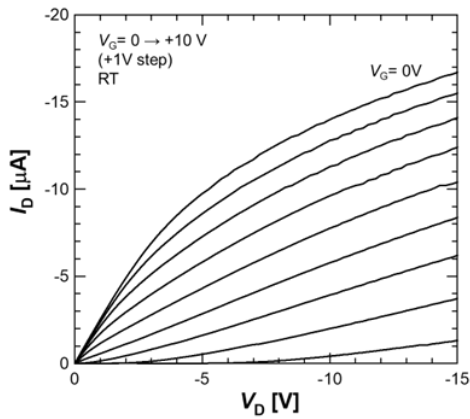


図 3. 1. 1 従来型のダイヤモンド MESFET の構造図  
ダイヤモンド MESFET

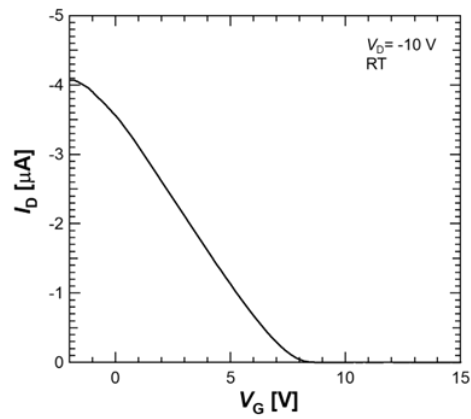


図 3. 1. 2  $0.5\mu\text{m}$  ゲート長を持つ

微細化のため  $500\text{nm}$  程度のゲート電極を持つダイヤモンド MESFET を試作した。図 3. 1. 1 にダイヤモンド MESFET の構造を、図 3. 1. 2 に  $0.5\mu\text{m}$  ゲート長ダイヤモンド MESFET の実際の写真を示す。本構造はオーミック接合が必要となるソース・ドレイン電極部にコンタクト層として薄い高濃度ボロンドープダイヤモンド膜を導入した構造であり、過去の報告より 3 倍程度のコンタクト抵抗の抑制効果が得られることが既に分かっている。



(a)  $I_D=V_D$  特性



(b)  $I_D-V_G$  特性

図 3. 1. 3  $L_G=0.5\mu\text{m}$  のダイヤモンド MESFET の静特性

図 3. 1. 3 にこの MESFET の静特性を示す。FET としてのゲート変調が見られており、 $V_G=9\text{V}$  および  $10\text{V}$  ではピンチオフし、電流は  $0.1\mu\text{A}$  以下であった一方、最大ドレイン電流および相互コンダクタンスの低さに加え、オン抵抗も低く飽和領域でのドレイン電流が安定しないものとなった。実際に前置増幅器として回路への組み込みを考えた場合、現状の特性では難がある。

今回のように低しきい値動作を目指すにあたり、ドリフト層となるボロンドープダイヤモンド層の膜厚を薄くする必要がある。しかしながら、ドリフト層の膜厚を抑えればソースドレイン間自体のシート抵抗も増大してしまう。図 3. 1. 3 の  $0.5\mu\text{m}$  ゲート長ダイヤモンド MESFET においてもこの問題は影響している。そのため、ソースドレイン間の寄生抵抗を抑えるためにリセス構造の導入を試みた。図 3. 1. 4 にリセス構造ダイヤモンド MESFET の概略図、図 3. 1. 5 に実際の素子の写真を示す。リセス構造はゲート直下のボロンドープダイヤモンド層のみを薄くするような構造である。この構造ならば、ゲート部以外のボロンドープダイヤモンド層を厚くできるため、ソースドレイン間のシート抵抗を抑えることが出来る。

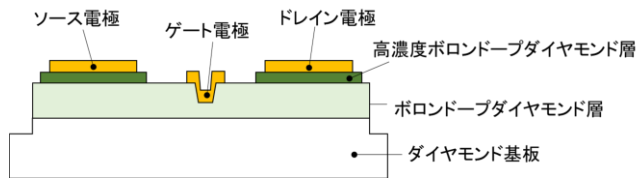


図 3. 1. 4 リセス構造付ダイヤモンド MESFET の概要図

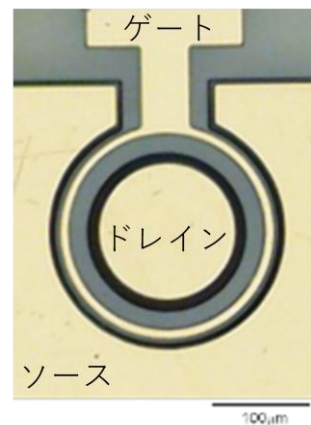


図 3. 1. 5 実際の素子の写真

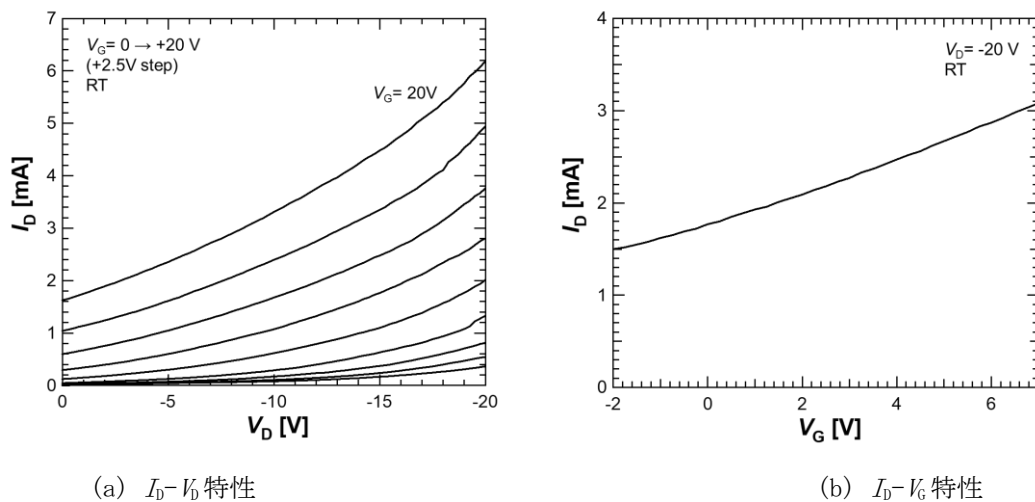


図 3.1.6 試作したリセスゲートダイヤモンド MESFET の静特性

しかし、リセス構造を作成するにあたり精密なダイヤモンドエッチング技術が必要となる。ダイヤモンドエッチングには高周波誘導結合プラズマ法を用いることになるが、その際にボロンドープダイヤモンド膜へのダメージやエッチングレートのばらつきが懸念された。これらの問題について十分に解決にはいたっておらず、図 3.1.6 に示すように今回試作したリセス構造付ダイヤモンド MESFET は動作しなかった。試作難度が高く、必要となる日数も非常にかかるため、構造自体の見直しが必要となった。

リセス構造の失敗・プロセス上の問題点を考慮し、改良した MESFET 構造の試作を試みた。その構造はソースドレイン間隔をできるかぎり抑えた構造であり、試作には電子線リソグラフィ法を用いた。ソースドレイン部のリソグラフィ法としては、これまでマスクレスアライナ装置を用いたフォトリソグラフィ法を用いていた。フォトリソグラフィ法は広範囲を高速で露光できるため、面積の広いソースドレイン部には適していたが、パターンの精度としては  $3\mu\text{m}$  程度が限界であった。電子線リソグラフィ法はより微細な描画も可能だが、その分露光に時間がかかるなどの難点が生じる。そのためセルフアライン法をもちいることで露光時間の改善を狙った。セルフアライン法は微量のボロンが添加されたダイヤモンド膜（ドリフト層）に、水素終端処理を施したのちソースドレイン部を含む金パターンを形成する。その後、電子線リソグラフィ法を用いて微細ゲートの電子線レジストパターンを作成したら、ウエットエッチングによる微細ゲート部の金の除去を行う。この時、横方向にも薬液が入り込むことによりエッチングが進む結果、ソースゲート・ゲートドレイン間隔が形成される。この電子線レジストパターンのまま、リフトオフ法によるゲート電極の形成を行った後、フォトリソグラフィ法による各種電極パッドを作成することで、本モデルのダイヤモンド MESFET が完成となる。図 3.1.7 に試作した微細ソースドレイン間隔ダイヤモンド MESFET の実際の写真を示す。ダミー基板によるダイヤモンド MESFET のゲート長は約  $100\text{nm}$  程度と見られる。また、ソースドレイン間隔も  $2\mu\text{m}$  以下のものが作成できている。

試作した MESFET の電気特性は図 3.1.8 のようになった。新しい構造での MESFET は従来のものと比べてもソースドレイン間抵抗がかなり抑えられ、ドレイン電流も  $3\text{mA}$  以上のものが得られ、しきい値も  $1\text{V}$  程度と特性が非常に良好だった。また、相互コンダクタンスも  $2.2\text{mS}$  となり、令

和 4 年度目標であった 1mS を超える MESFET が作成可能となった。なお、 $V_G=1.5V$  および  $2V$  ではピンチオフし、電流は  $10\mu A$  以下であった。

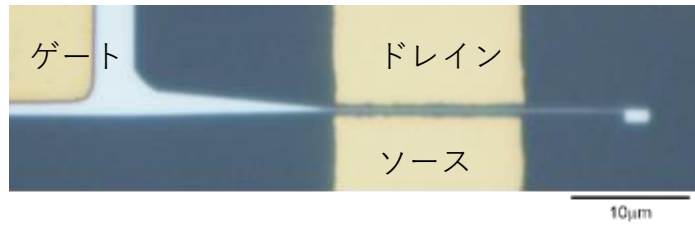


図 3.1.7 微細ソースドレイン間隔ダイヤモンド MESFET

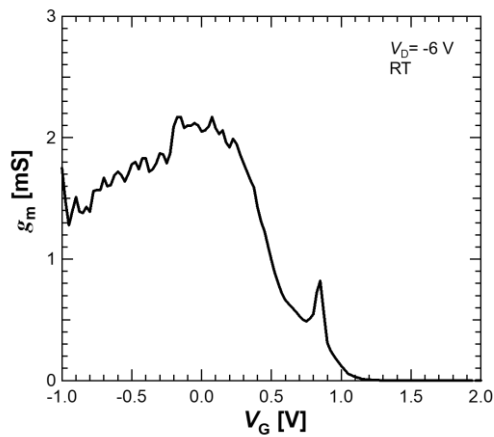
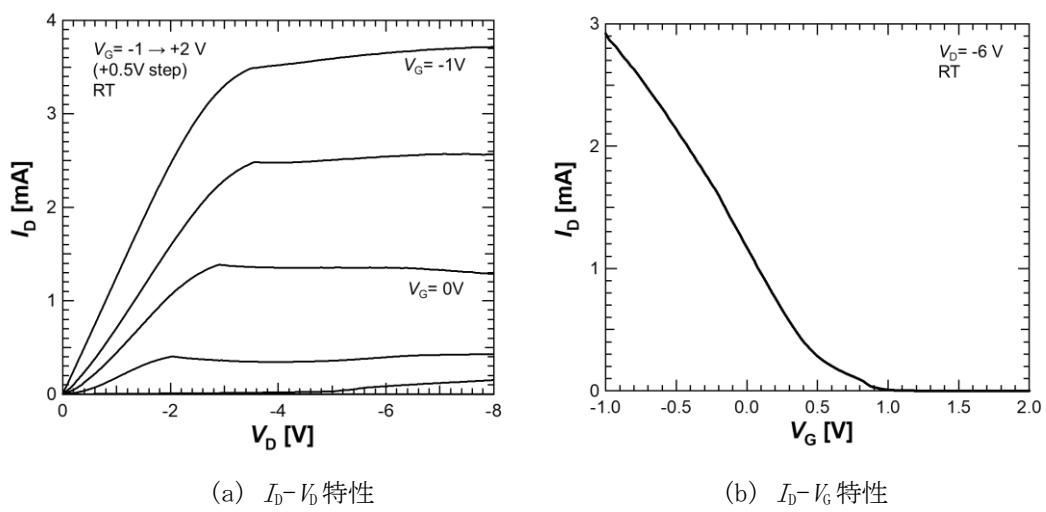


図 3.1.8 試作したセルフアライン型 MESFET の静特性

### 3. 1. 2 回路性能評価開発【R3-R4】

#### 【令和3年度の成果】

令和3年度には令和2年に試作した素子のソースおよびドレイン寄生素子成分を評価した。素子評価には素子評価にはベクトルネットワークアナライザを用いたSパラメータ評価による De-embedding 法やコールドバイアス法と同等以上の精度を有する電氣的測定用 TEG を用いた寄生素子評価法を用いた。リセスゲート構造形成時のエッチング表面欠陥の評価をカソードルミネッセンス法および EBIC により行った。また令和2年および3年に試作した FET のオンウェハノイズ評価を行い、ゲート長ごとのノイズパワーを比較してノイズ源を調査した。調査した結果はプロセス技術にフィードバックした。

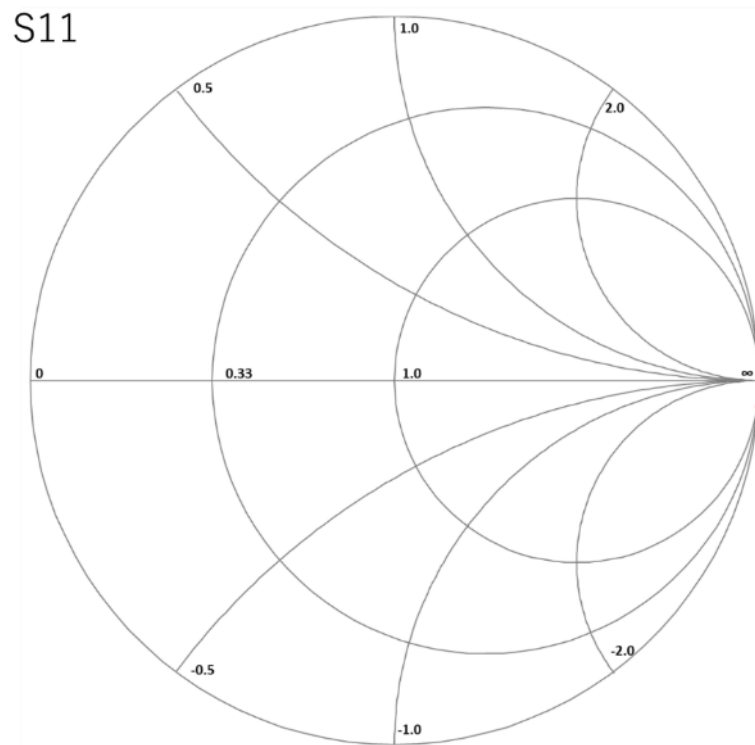
#### 【令和4年度の成果】

放射線検出器素子からの電荷信号を電圧信号に変換する素子および回路には耐放射線性や高温動作性能のほかに、素子単体で高いゲインおよび高い周波数でも動作する性能が必要である。本研究では、ボロンドープ水素終端ダイヤモンド MESFET の素子インピーダンスの周波数特性を評価し、回路定数や電流遮断周波数を求めた。

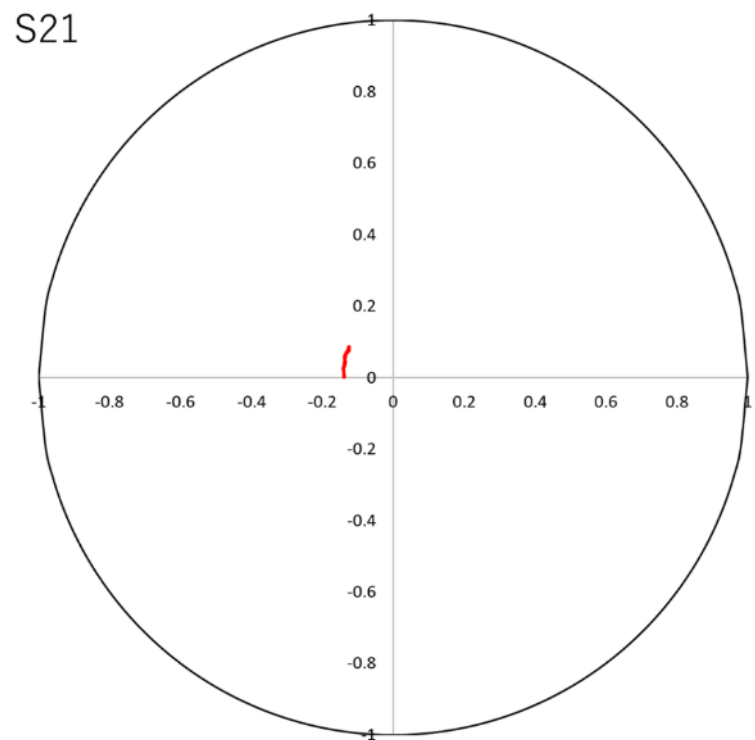
素子はマイクロ波プラズマ CVD によりエピタキシャル成長させチャネルへのホウ素ドープは上述と同様にオートドープ技術を用いて行った。エピ表面はキャリア増加を目的として水素プラズマにさらしてキャリア形成を行った。素子は高周波特性評価のために新たに設計を行い、GSG (Ground, Signal, Ground) 構造とし Port 1 の Signal および Ground をゲートおよびソース、Port 2 をドレインおよびソースとした。ゲートにはアルミニウムを用いてショットキーゲートとした。また素子のゲート長およびゲート幅は 100nm、50 $\mu$ m とし、ソースゲート間は 1 $\mu$ m とし寄生抵抗成分を除去した。

高周波インピーダンス測定には Agilent technology 社 (現 Keysight 社) のベクトルネットワークアナライザ (E5071C) を用い 8GHz までの周波数範囲で S パラメータ測定を行った。また、高周波測定用プローブとして MPI 社製エアコプレーナプローブを用いた。校正は MPI 社の AC2 基板を用いて OSLT (Open, Short, Load, Thru) フル 2 ポート校正とした。

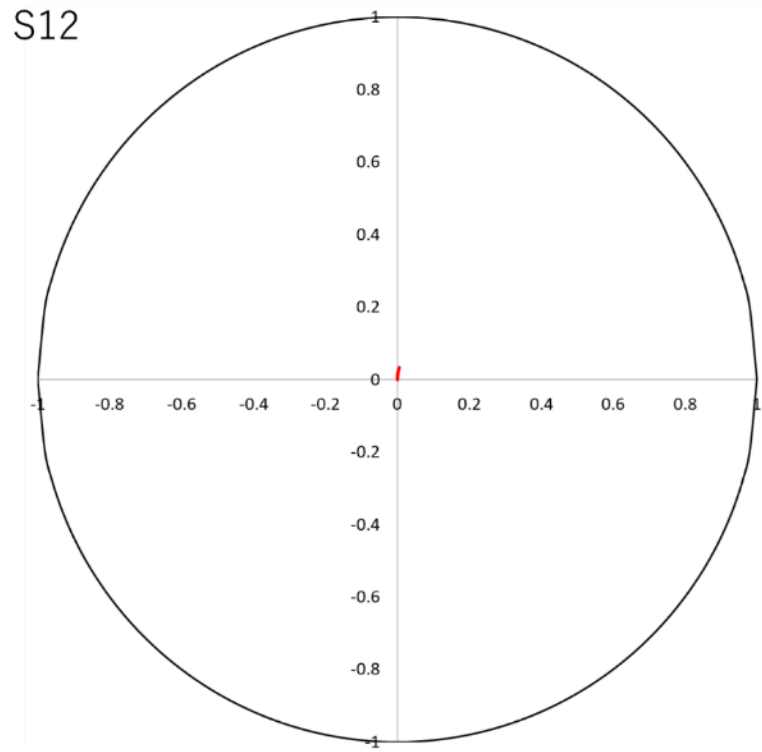
図 3.1.9(a)~(d)に測定した MESFET の S パラメータである S11、S12、S21、S22 を示す。Port1 および Port2 の反射係数である S11 および S22 は 50 $\Omega$ 系のスミスチャート、S12 および S21 はポラーチャートで表記している。電圧条件はゲート電圧  $V_{gs}=0V$ 、ドレイン電圧  $V_{ds}=-8V$  とした。



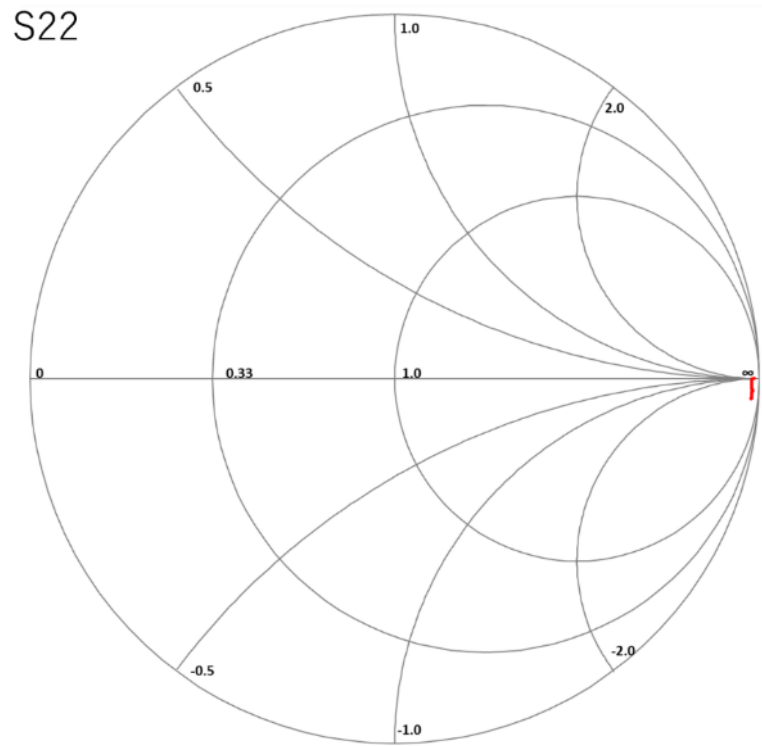
(a) 試作MESFETのS11反射特性



(b) 試作MESFETのS21通過特性



(c) 試作 MESFET の  $S_{12}$  通過特性



(d) 試作 MESFET の  $S_{22}$  反射特性

図 3.1.9 試作 MESFET の S パラメータ特性



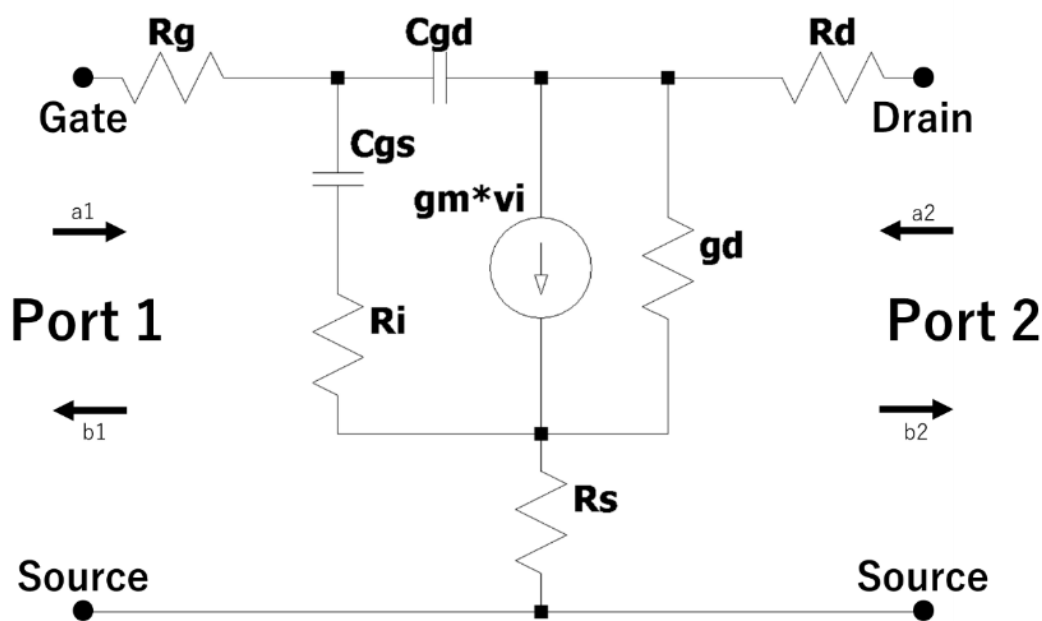


図 3. 1. 10 FET の小信号等価回路とポート

なお、S パラメータは図 3. 1. 10 に示す通り、各ポートでの入射波 (a1、a2) および反射波 (b1、b2) を用いて以下の関係であらわされる。

$$\begin{pmatrix} b1 \\ b2 \end{pmatrix} = \begin{pmatrix} S11 & S12 \\ S21 & S22 \end{pmatrix} \begin{pmatrix} a1 \\ a2 \end{pmatrix}$$

これにより、Port2 における入射波 a2 をゼロとした場合 (Port2 でのインピーダンスマッチング) の Port1 での反射  $(\frac{b1}{a1})$  が S11 となり、また Port1 における入射波 a1 をゼロとした場合

(Port1 でのインピーダンスマッチング) の Port2 での反射  $(\frac{b2}{a2})$  が S22 となる。これらの反射係数から図 3. 1. 10 に示す小信号等価回路を用いて素子パラメータの抽出が可能である。S パラメータの小信号等価回路解析によりゲート容量である Cgs は 80fF 以下程度であると求められた。

また、MESFET の動作可能周波数帯域を評価するため電流利得 (h21) がゼロとなる遮断周波数を求めた。h21 は以下の関係より測定 S パラメータから求めることが可能である。

$$h_{21} = -\frac{2S21}{(1 - S11)(1 + S22) + S12S21}$$

一般に  $|h21|^2$  の周波数特性が 6dB/oct で減少する直線を外挿し、 $|h21|^2 = 1$  (0dB) となる周波数を遮断周波数  $f_T$  として表記する。この関係により求めた MESFET の電流利得特性を図 3. 1. 11 に示す。

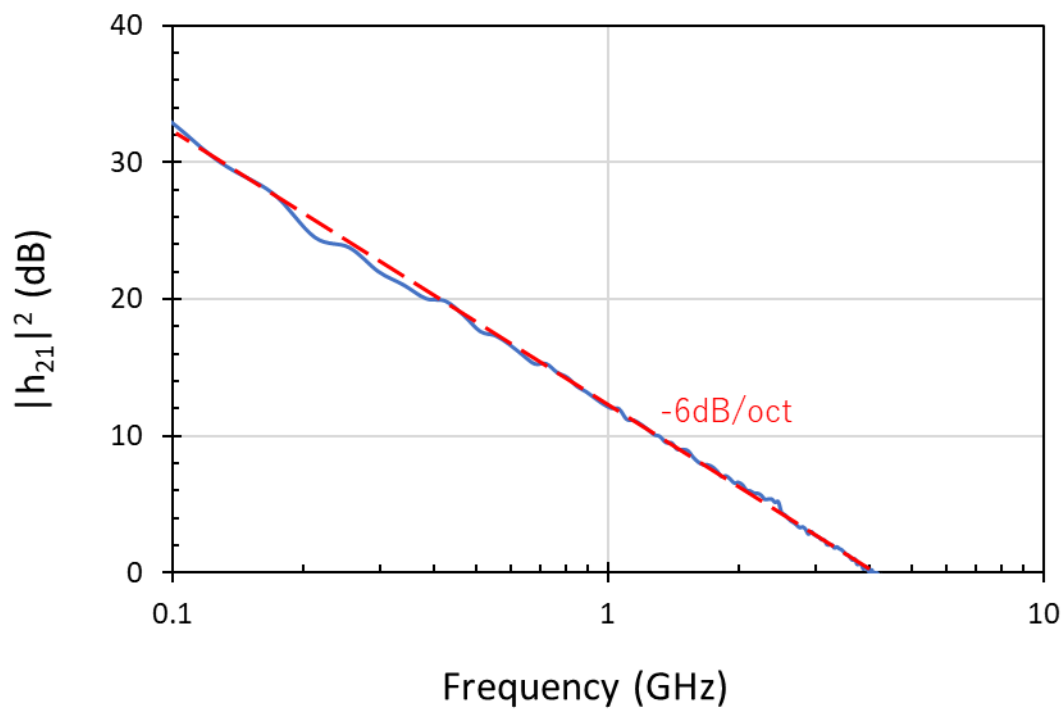


図 3. 1. 11 試作 MESFET の電流利得 (h<sub>21</sub>) の周波数特性

図 3. 1. 11 より電流利得  $|h_{21}|^2$  は理論通り  $-6\text{dB/oct}$  で減少しており、ホウ素ドーピング膜をチャンネルに用いた水素終端ダイヤモンド MESFET の  $f_T$  は 4GHz 程度と求まった。

以上、ベクトルネットワークアナライザを用いて微細ゲートを有するバルク伝導型ダイヤモンド FET におけるゲートソース間容量を測定した。測定した性能から電流遮断周波数  $f_T$  を解析し、 $f_T$  が 100MHz 以上であることを確認した。

### 3. 1. 3 準量産技術開発【R2-R4】

#### 【令和2年度及び令和3年度の成果】

令和2年度にはバルク伝導型ダイヤモンドFET試作プロセスをミニマルファブに適用可能なプロセスフローとした。ミニマルファブ用ダイヤモンドウェハの欠陥種、欠陥密度および欠陥位置を評価した。欠陥評価には複屈折顕微鏡および微分干渉顕微鏡を用いて行った。

令和3年度にはミニマルファブプロセスを行い、半導体素子動作を確認した。素子歩留まりを評価しプロセス欠陥密度を評価した。

#### 【令和4年度の成果】

デバイスを実際に使うことを考えた場合、例えば増幅器の回路に組み込もうとするなら、一つの回路中に多くの素子が必要となる。そのため一つの基板上に同一性能の素子を歩留まり高く作製する技術の獲得は、コストを抑えるだけでなく、使う上で必須なことと言える。この歩留まり向上を考えた場合、プロセス欠陥と結晶欠陥が焦点にあたる。

まずプロセス欠陥について、デバイス作製において最も関係があるのはリソグラフィ工程にあると言える。リソグラフィ工程で電極、選択成長、素子分離といったパターンを作成することになるのだが、目的となるデバイスを完成させるには各パターンの位置を精度よく合わせる必要がある。これがずれてしまうと、特性が設計と異なるものとなってしまい、短絡等が発生し動作しないといった事態が生じる。

非公開：枠組みの内容は知的財産保護上の観点から公開できません。

非公開：枠組みの内容は知的財産保護上の観点から公開できません。

この問題解決のため導入したのが、3.1.1 節でも述べたセルフアライン法である。セルフアライン法ならばそもそもゲートパターン形成時に合わせが必要ないため、位置合わせ自体によるプロセス欠陥を無くすことが可能となる。図 3.1.13 にゲートパターンおよびソースドレイン間を形成後の写真を示す。リソグラフィー工程そのものに問題なければ FET が作成できるため、試作した MESFET についても歩留まりが向上している。



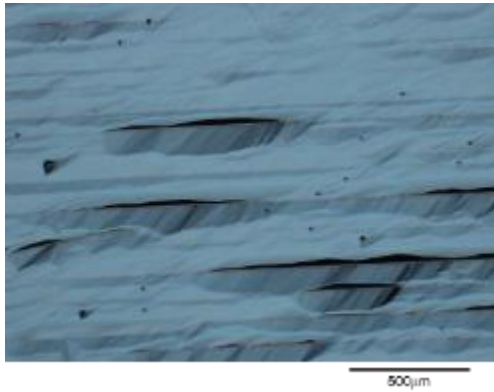
図 3.1.13 セルフアライン法によるゲートパターン、ソースドレイン間形成後

もう一つの要素である結晶欠陥は、量産を考えた場合に大きな問題となってくる。特にキラ欠陥と呼ばれる欠陥がデバイスに含まれてしまうと、そこはリークが生じる可能性が高くなり、特性に致命的な影響を与えてしまう。極端な例ではあるが、ボロンドープダイヤモンド層を約  $10\mu\text{m}$  成膜した後のハーフインチダイヤモンド基板の写真を図 3.1.14 に示す。位置 A、B、C、D は基板の左右上下でおおよそ中心から同じ位置について調べている。各写真中に黒い三角状の欠陥が多数見られており、これらはキラ欠陥のような影響を持ちうると予想される。表 3-1 に各位置での欠陥密度を示す。 $1000$  個/ $\text{cm}^2$  を超える欠陥密度となっているが、デバイスの微細化によってこれらの欠陥による歩留まり悪化を抑制できる。表 3-1 中の予測歩留まりの数値は、今回 3.1.1 節で試作した微細ソースドレイン間 MESFET の寸法で算出された値であり、これだけの欠陥密度が存在していても 90% を超える値を維持できている。

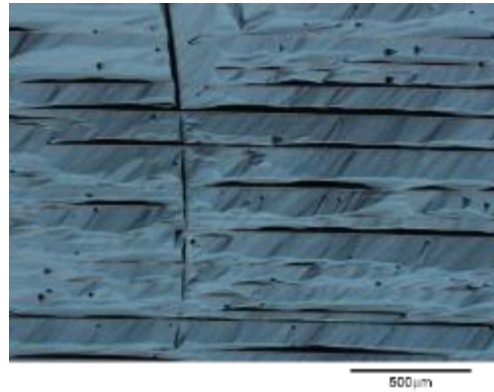
このようにプロセス・デバイス構造を見直すことは、性能向上だけでなく歩留まり向上にも非常に有効となる。

以上、バルク伝導型ダイヤモンド FET の材料欠陥およびプロセス欠陥を個別評価し、欠陥の発

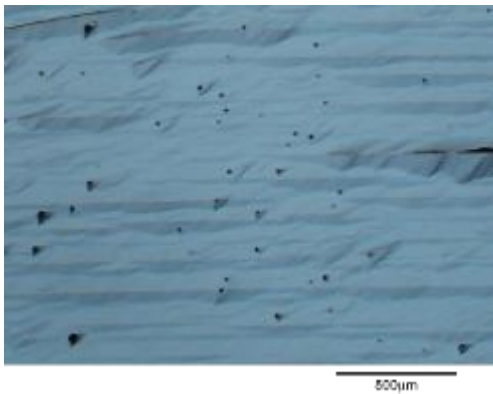
生原因について調査した。調査結果をもとにプロセス欠陥の低減技術を検討し、歩留まりの改善を行った。



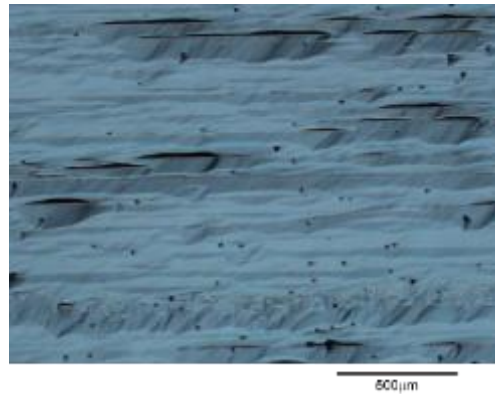
(a) 位置A



(b) 位置B



(c) 位置C



(d) 位置D

図 3.1.14 ボロンドープダイヤモンド層約 10µm 合成後の  
ハーフィンチダイヤモンド基板表面の光学顕微鏡写真

表 3.1.1 各位置での欠陥密度 ( $D_0$ ) と予測歩留まり ( $Y$ )  
 $Y$  はゲート長 100nm, ゲート幅 50µm の素子の場合

	$D_0$ [個/cm <sup>2</sup> ]	$Y$
位置 A	487	0.98
位置 B	1678	0.92
位置 C	1191	0.94
位置 D	1813	0.91

### 3.2 表面伝導型ダイヤモンド FET の開発（再委託先：北海道大学）

#### 3.2.1 耐放射線ゲート構造の開発【R2-R4】

##### 【令和 2 年度及び令和 3 年度の成果】

令和 2 年度には  $\text{Al}_2\text{O}_3$  を高品質に形成するため、原子層堆積装置（Atomic Layer Deposition : ALD）を導入した。耐熱性を高めるため、利用一般に用いられる ALD 条件の  $250\sim 350^\circ\text{C}$  より大幅に条件を広くし、 $500^\circ\text{C}$  まで昇温することが可能な設備とした。酸化手法としてオゾン酸化等についてテストを行った。また、TEOS/CVD による高品質  $\text{SiO}_2$  を比較対象として形成した。形成した絶縁膜は C-f 測定および IV 測定にて評価を行い、誘電率、絶縁破壊電界を調べた。また、2 年目に予定しているダイヤモンドエピタキシャル層の改質の準備としてダイヤモンド CVD 装置に酸素添加装置を付加した。

ゲート長を  $3\mu\text{m}$  以下とし、さらにセルフアラインゲートなどの寄生素子低減構造を取り入れ、増幅率（相互コンダクタンス）の大幅な改善を行った。プロセスには電子線リソグラフィを用いた。

令和 3 年度にはセルフアラインゲートの採用により相互コンダクタンス  $6\text{mS}/\text{mm}$  を達成した。また、ゲート長を  $1\mu\text{m}$  とすることで  $12\text{mS}/\text{mm}$  を達成した。 $\text{Al}_2\text{O}_3$  パッシベーション層を設けることで、耐放射線性をもった表面伝導型ダイヤモンド MOSFET を作製した。 $\text{Al}_2\text{O}_3$  パッシベーションにより、X 線照射において積算線量  $3\text{MGy}$  まで表面伝導層が維持されることを確認した。

##### 【令和 4 年度の成果】

表面伝導型ダイヤモンド MOSTランジスタの性能は移動度によって決定する。ダイヤモンド表面に形成する二次元キャリアガスは、表面吸着物イオンがアクセプタの役割を果たして発現すると考えられているが、同時に表面吸着物イオンはダイヤモンド表面直近に存在するため、キャリアはクーロン散乱の影響を強く受けて移動度が制限されていると考えられている[1]。この問題を解決するため、SasamaらはCVDでの水素終端後に真空状態を維持して絶縁膜を形成し、水素終端を維持しつつも吸着物を形成せずにBN膜を形成することに成功している。ただし、この手法にはダイヤモンド合成後に真空維持したままBN膜を剥離法にて移し替える特殊な技術を用いているため、量産性に乏しい。本研究では水素終端後、一度大気中への暴露を経たあとも、再処理により表面吸着物を取り除き、さらにALD工程により $\text{Al}_2\text{O}_3$ 絶縁膜を形成することで、表面アクセプタの減少が可能であるか検証した。

検証のため、高品質ダイヤモンドをCVD法によりエピタキシャル成長し、大気中に暴露して吸着物を形成して水素終端を確認した。その後、ALD装置内で表面吸着物の除去を目的として水素プラズマ処理を行い、そのまま真空状態を維持して $\text{Al}_2\text{O}_3$ 膜をALD形成した。素子試作にはマスク露光装置(図3.2.1)によるフォトリソグラフィーとリフトオフ法を用いた。キャリア誘起の可能性を検証するため、ソースドレイン電極である金の上にオーバーラップさせる形でゲート構造を形成している。また、測定には半導体パラメータアナライザ(図3.2.2)を用いた。



図3.2.1 マスクレス露光装置



図3.2.2 半導体パラメータアナライザ

作製した素子の断面模式図および上面図を図3.2.3、図3.2.4に示す

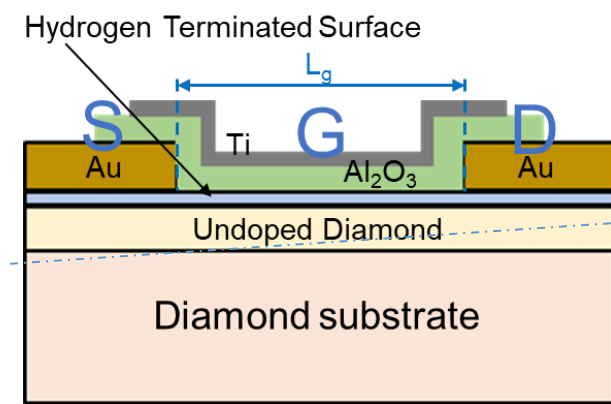


図3.2.3 作製した素子の断面模式図

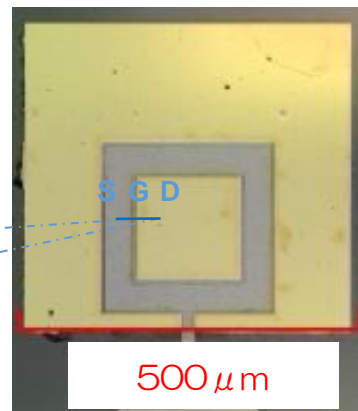


図3.2.4 作製した素子の上面図

CVDエピ成長して水素終端後に大気暴露し、暴露直後に電気測定を行った結果、シート抵抗は200~700k  $\Omega$ /sqと高抵抗であったが、72時間の大気暴露後には表面吸着物が形成され、10k  $\Omega$ /sqと低抵抗化していることを確認した。その後、ALD前処理を行い、すぐさまALD成長したところシート抵抗は1M  $\Omega$ /sq以上の高抵抗であることを確認した。これにより、表面吸着物はALD前処理としての水素プラズマ処理で剥離が可能であることが分かった。

次に、熱混酸洗浄を行い、水素終端を酸素終端に置き換えたのちにALD前処理を行った場合のシート抵抗を測定したところ、1M  $\Omega$ /sq以上の高抵抗性を示すことが分かった。これにより、ALD前処理における水素プラズマ処理では終端酸素を置換することはできないことが分かった。

また、ALD前処理を行った素子にゲートに負電圧を印加してキャリア形成が可能であるかを試験したところ、有意な電流の増加は確認されなかった(図3.2.5)。-40Vまでの電圧を印加したところでゲート絶縁膜の絶縁破壊が確認された(図3.2.6)。

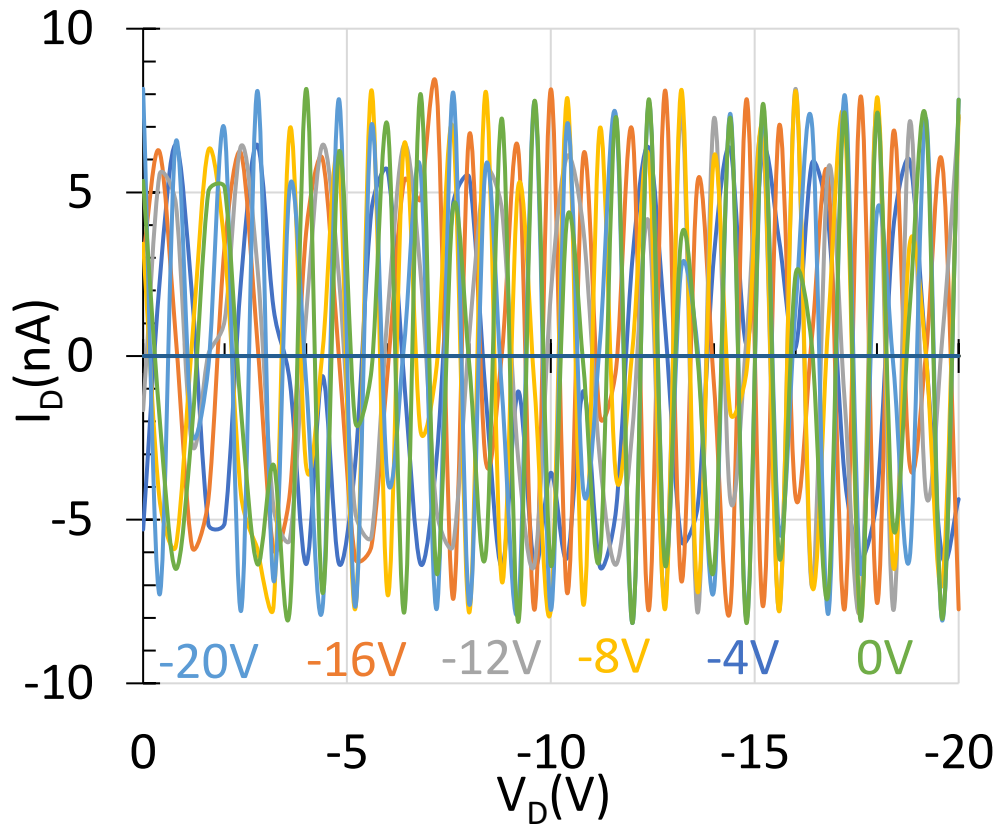


図3.2.5 ALD前処理を行った素子の $I_D V_D$ 特性( $V_G=0\sim-20V$ )

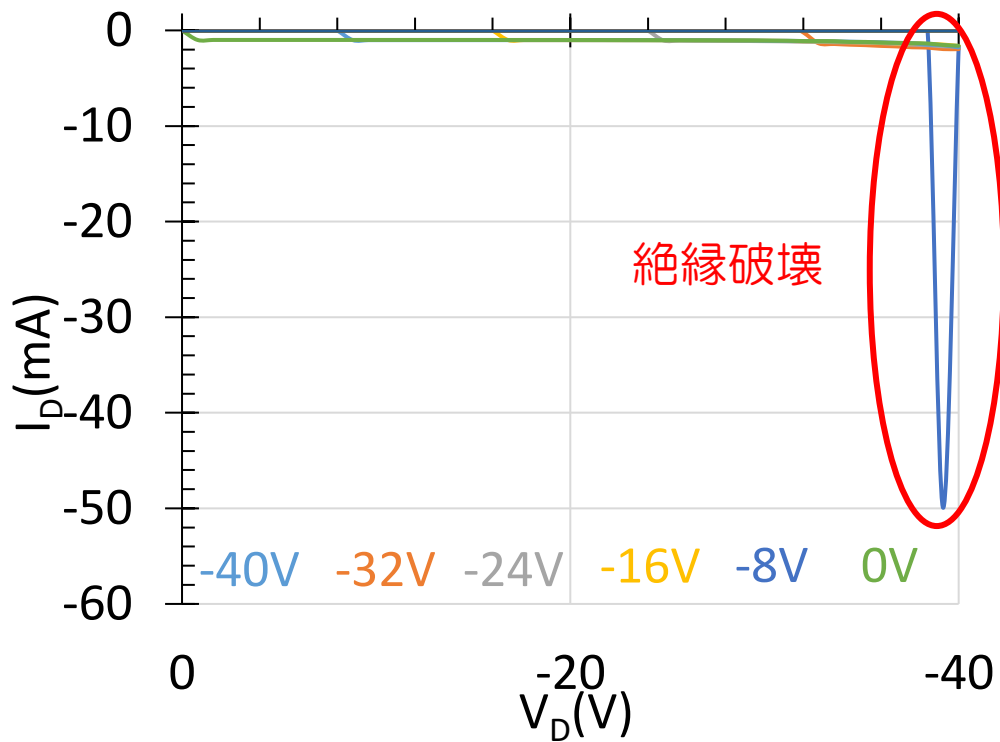


図3.2.6 ALD前処理を行った素子の $I_D V_D$ 特性( $V_G=0\sim-40V$ )



### 3.2.2 高周波動作の確認 【R3-R4】

#### 【令和3年度の成果】

令和3年度には試作した素子の相互コンダクタンスを評価し、バルク型ダイヤモンドFETの性能を大幅に超える利得性能が得られることを確認した。また、ノイズ評価を行い、高性能前置増幅器に必要な低ノイズ・高利得動作が可能であることを示した。関連して北海道大学にFET評価装置の一部を整備した。

高周波測定を想定したダブルゲートダイヤモンドMOSFETを試作し、相互コンダクタンスを測定した結果0.6mSであった。この素子はカットオフ周波数が500MHz以上であると求められた。EB（電子線）リソグラフィーを用いたプロセスにより、ゲート長 $0.5\mu\text{m}$ のダブルゲートダイヤモンドMOSFETを作製し、動作を確認した。FET評価装置に関しては既存装置の構成を変更することで対応し、目的を達成できることを確認した。

#### 【令和4年度の成果】

ベクトルネットワークアナライザを用い、試作した表面伝導型ダイヤモンドMOSFETにおける周波数特性を評価した。

高周波特性の測定にはKeysight社製ベクトルネットワークアナライザ(図3.2.7)を用いた。北海道大学にFET評価装置としてマニュアルプローバ(図3.2.8)を整備し、相互コンダクタンスの測定を行った。



図3.2.7 ベクトルネットワークアナライザ

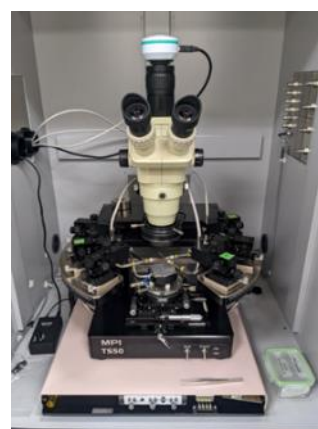


図3.2.8 マニュアルプローバ

ダイヤモンド基板上に表面伝導型MOSFETを試作し、測定したDC特性から相互コンダクタンスを計算したところ、 $15\text{mS/mm}$ であった。この素子の $C_{gs}$ は約 $103\text{fF}$ と求められ、 $f_T = g_m / 2\pi C_{gs}$ であることから電流遮断周波数 $f_T$ は $1200\text{MHz}$ であると推定した。

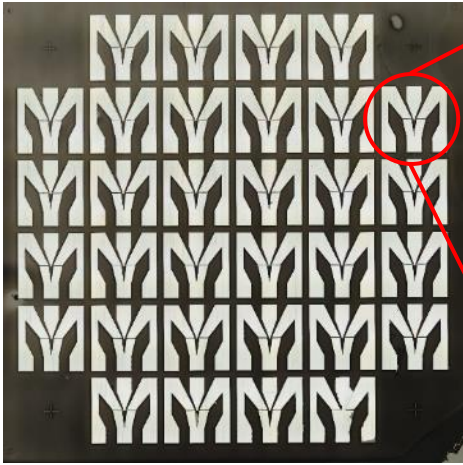


図3.2.9 ダイヤモンド基板

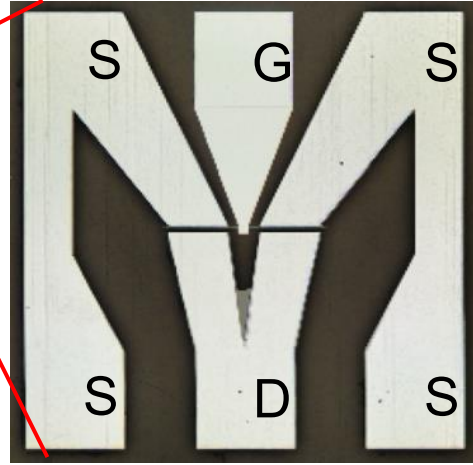


図3.2.10 表面伝導型MOSFET

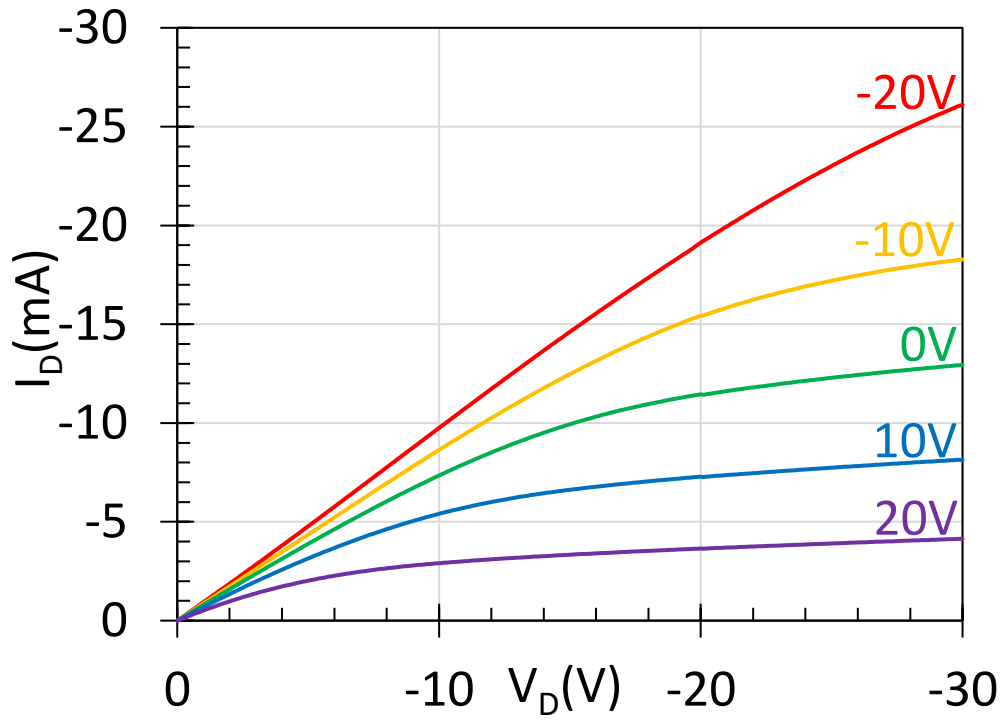


図3.2.11  $I_D V_D$ 特性( $V_G = 20 \sim -20V$ )

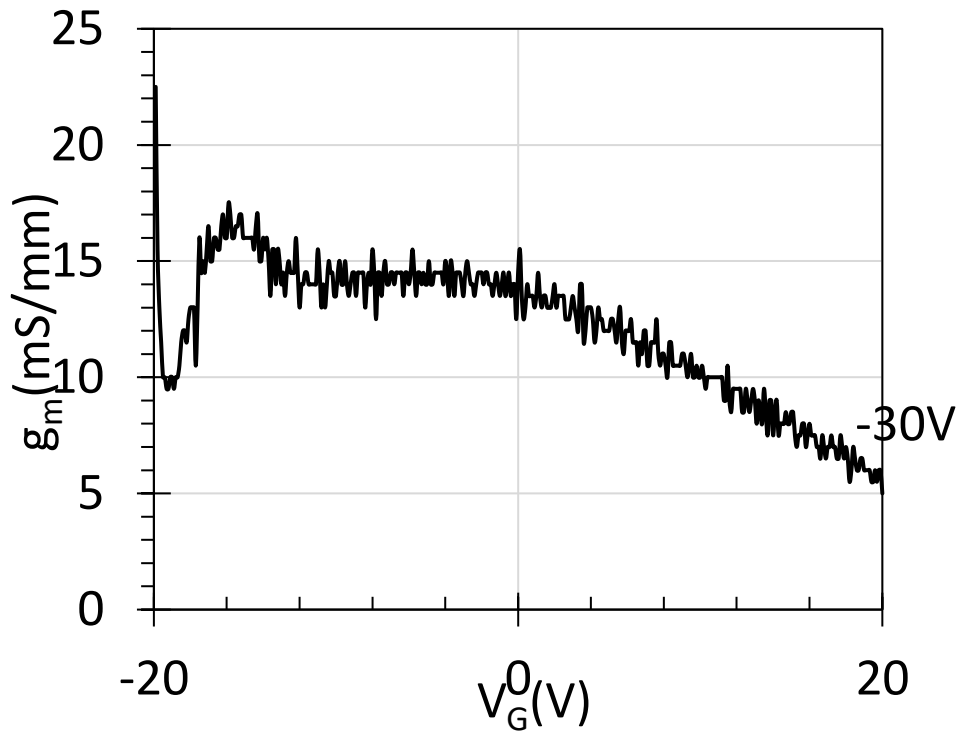


図3.2.12  $g_m V_G$ 特性( $V_D = -30V$ )

測定したRF特性から電流遮断周波数 $f_T$ 、最大発振周波数 $f_{MAX}$ を求めたところ、 $f_T = 1870MHz$ 、 $f_{MAX} = 1230MHz$ であった。電流利得である $|h_{21}|^2$ は低ゲイン近辺で $-6dB/oct$ からずれているが、目標を達成した。

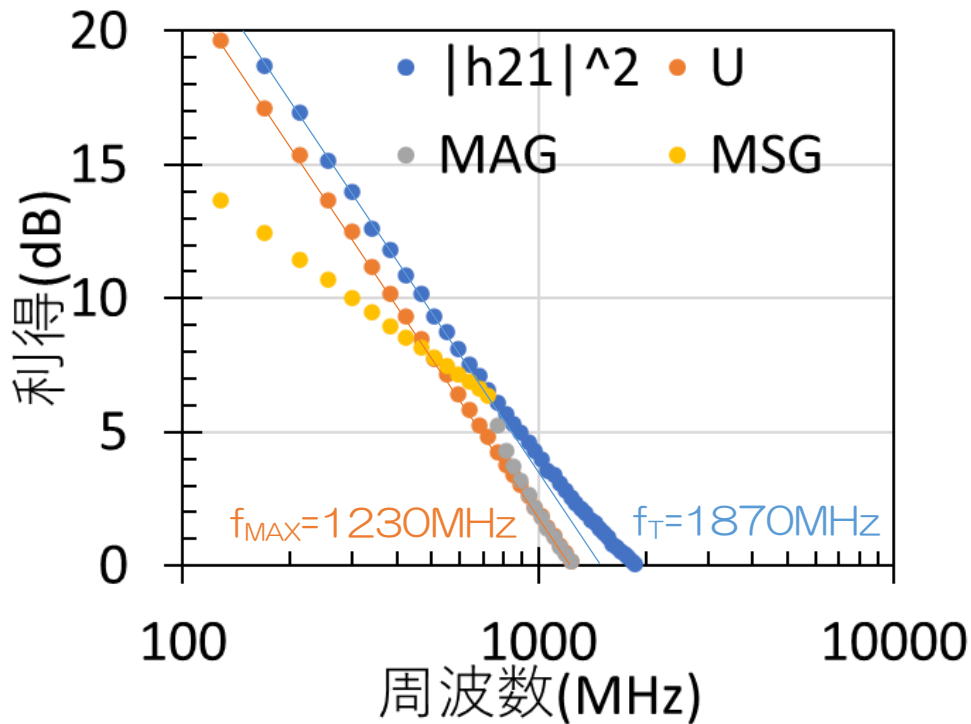


図3.2.13 電流遮断周波数 $f_T = 1870MHz$ 、最大発振周波数 $f_{MAX} = 1230MHz$ を達成

### 3.2.3 高温信頼性試験【R2-R4】

#### 【令和2年度及び令和3年度の成果】

令和2年度には令和3年度に行う高温長期信頼性試験のために評価設備の準備を行った。ガス置換電気炉にて指定の温度で継続的な特性評価が可能なシステムを構築した。

試作した素子に対し、300°C以上の温度条件で高温放置試験を行い、素子の耐熱性を確認した。

令和3年度にはコンスタンタン、ニクロム、マンガン等を使用しスパッタリング法により抵抗試料を作製した。キャパシタとしてはBST、KBT、アルミナを使用して試料を作製した。アルミナについてはエアロゾルデポジション(AD)法とALD法を試みた。300°C以上の不活性ガス中で測定を行い、抵抗に関しては複数の材料で良好な結果を得られた。キャパシタに関してはアルミナ系のうちAD法でよい結果を得られた。

#### 【令和4年度の成果】

BWRの過酷事故では最大で300°C、72時間程度の環境が発生すると見込まれている。これまで300°Cまでの高温放置試験では表面伝導型ダイヤモンドMOSFETは破壊されないことが確認されているが、本研究では試作した素子に対し、400°Cでの高温放置試験を行い、素子の破壊の様子を確認した。

プロセスにはこれまでと同様にリフトオフ法を用い、リソグラフィーにはマスクレス露光装置を用いた。高温放置試験にはホットプレート(図3.2.14)を用い、高温処理の前後でトランジスタの特性を評価した。



図3.2.14 処理に用いたホットプレート

加熱前後のダイヤモンド基板の上面図を示す

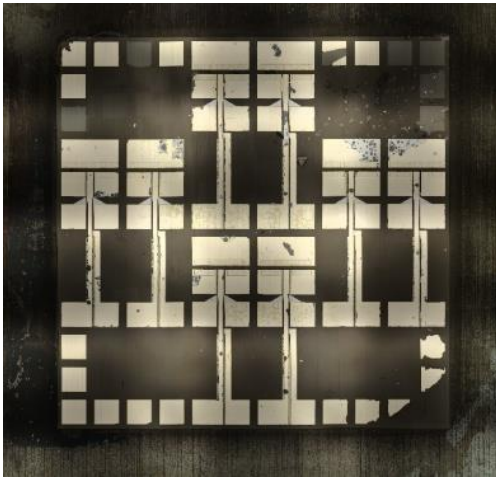


図3.2.15 ダイヤモンド基板の様子  
(400°C加熱試験前)



図16 ダイヤモンド基板の様子  
(400°C加熱試験後)

大気中でホットプレートを用いて表面伝導ダイヤモンドFETを400°Cまで加熱し、加熱後に測定を行ったところ、動作電流は得られなかった。

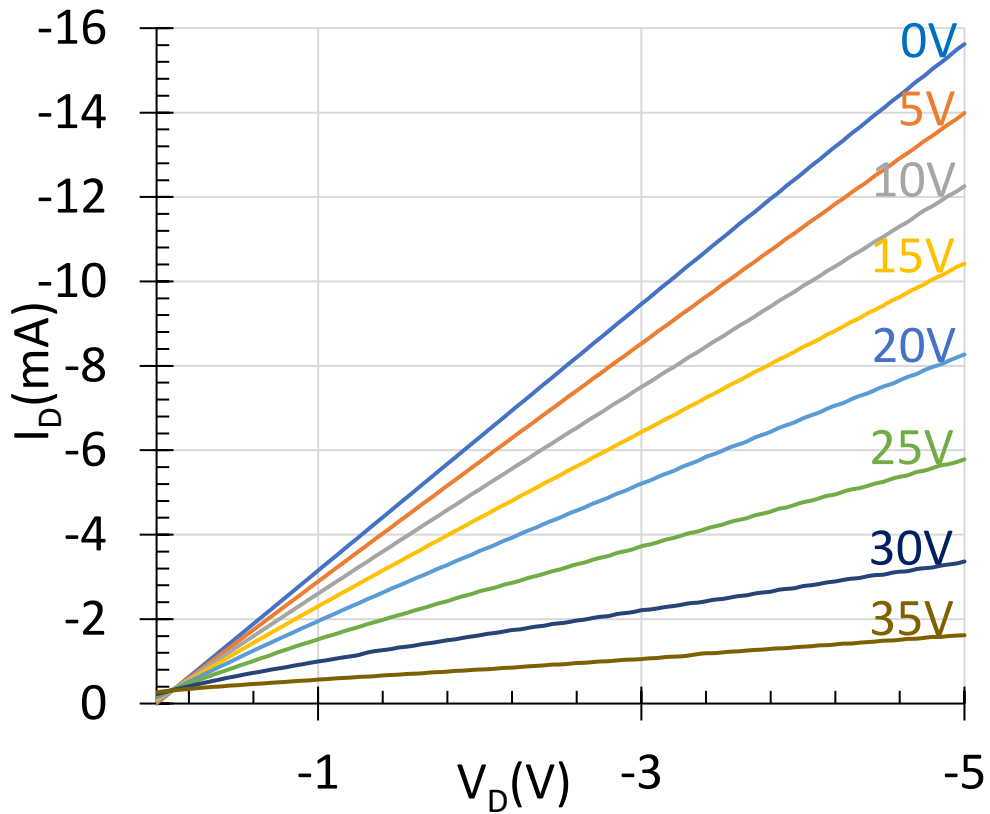


図3.2.17  $I_D$ - $V_D$ 特性(400°C加熱試験前)

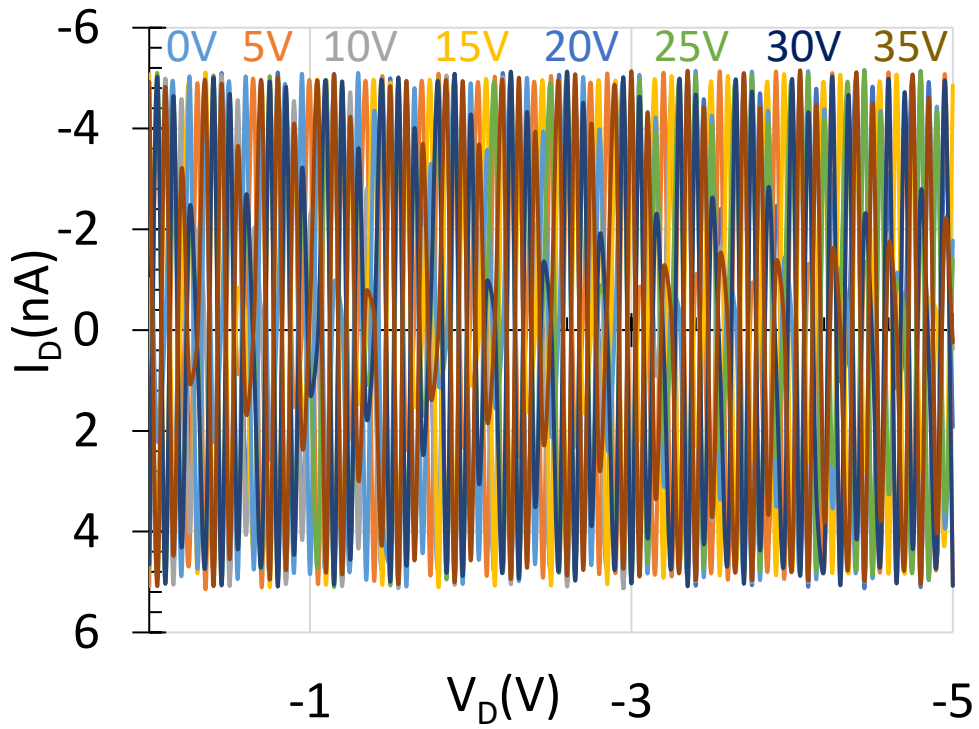


図3.2.18  $I_D$ - $V_D$ 特性(400°C加熱試験後)

またソース、ドレイン、ゲートの各電極パッドにおける導電性を確認したところ、接触抵抗は $10\ \Omega$ 以下であることが分かった。

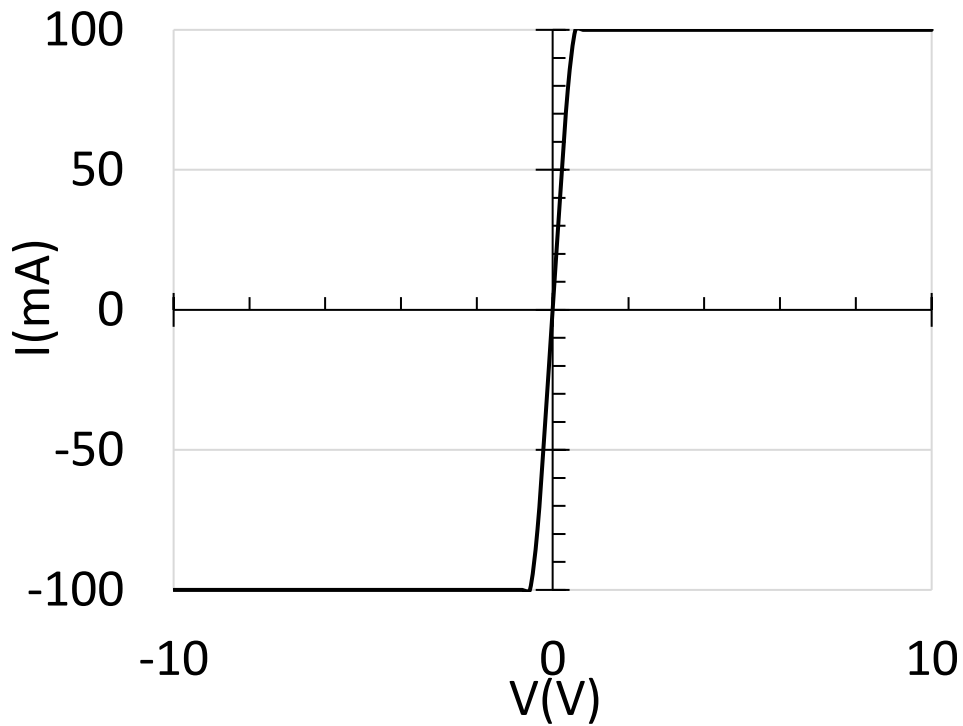


図3.2.19 金属電極のIV特性(400°C加熱試験後のソース電極)

以上の結果より、金属電極が酸化により導電性を失ったのではなく、水素終端表面が導電性を失ったと推測される。なお通常の半導体素子では今回の評価にあるような半導体表面を保護膜なく露出した状態で環境にさらされることは想定しておらず、保護膜が形成されるか真空封止などの処置が施されている。本素子においても適切な保護膜を形成することで高温耐熱性が確保できると考えられる。

#### 参考文献

[1] High-mobility p-channel wide-bandgap transistors based on hydrogen-terminated diamond/hexagonal boron nitride heterostructures



### 3.3 接合型 SiC オペアンプの開発

本研究では、原子炉の事故後監視計(Post Accidental Monitor: PAM、伝送器)用ハイブリッド IC を念頭に置き、その前段に当たる耐放射線・高温動作信号処理用 IC として接合型 SiC オペアンプの開発を行う。オペアンプは2入力端子間の微小な電圧差分を増幅して出力する回路である。通常その内部回路構成には MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)やバイポーラトランジスタが活用されることが一般的であるが、MOSFET の重要な電気特性を決定付ける MOS 界面は放射線照射による損傷を受けやすく、結果的に放射線照射により MOSFET の電気特性は大きく変化・劣化するため[1]、放射線量の高い環境下では使うことができない。一方、MOS 構造を有しない電界効果トランジスタである JFET (Junction Field Effect Transistor) は一般的に耐放射線性が高く、特に半導体材料として SiC を使うことで 9MGy を超えるガンマ線を照射しても安定して動作することが分かっている[2]。

令和4年度は接合型 SiC オペアンプ開発に向けて、①SiC-IC の重要な構成要素である抵抗素子・コンデンサを SiC ウェハ内に作り込む(オンチップ受動素子)ための技術開発を進めた。また、②SiC オペアンプの重要な構成要素である SiC-JFET を試作し、その素子特性から 100 MHz の動作が可能である事を確認するとともに、耐熱性・耐放射線性の評価を行った。更に、③回路シミュレーションを用いたオペアンプの設計、及び試作した素子を用いた動作検証を行った。

#### 3.3.1 オンチップ受動素子の開発【R2-R4】

##### 【令和2年度及び令和3年度の成果】

令和2年度にはオンチップ受動素子、特に抵抗体の設計を行った。エピタキシャル成長層へのイオン注入もしくは導電性エピ成長をエッチング形成することでオンチップ抵抗素子の試作を行った。作製した素子は電気測定を行って設計との差異を評価した。

令和3年度にはオンチップ抵抗素子が設計値に対して±15%以下の精度で抵抗が試作できることを確認した。 $Al_2O_3$ 、 $SiO_2$ もしくはpn接合によるオンチップコンデンサを試作した。事前調査の結果、 $SiO_2$ 、 $Al_2O_3$ では劣化が大きい傾向があり、統合技術として不適切であると判断し、pn接合での試作を行った。

## 【令和4年度の成果】

### (1) 概要

図 3.3.1 に JFET を用いたオペアンプの回路図例を示す。図より、オペアンプは基本的に JFET と抵抗から構成されることが分かる。それぞれ単独の素子（ディスクリート素子）を用いて設計されることもあるが、同じ半導体基板上に JFET と抵抗を作り込み IC 化することでオペアンプそのものの大幅な小型化を図ることができる。また、オペアンプはその求められる特性上、入力インピーダンスは高く、出力インピーダンスは低い必要があるため、図 3.3.1 に配置されている抵抗の抵抗値は数百オームから数メガオームに至る幅広い範囲で設計する必要がある。また、オペアンプ回路では出力信号の高周波成分を除去するためのフィルタとしてコンデンサ（キャパシタ）も必要になるため、抵抗と同じくオンチップでコンデンサを作り込むことも重要である。

上記課題を踏まえて、本項目ではオペアンプの IC 化を前提に、SiC 基板上でオペアンプに必要なとされる抵抗、及びコンデンサを実現するための検討結果について述べる。

### (2) 抵抗の耐熱性評価

原子炉の過酷事故時の高温環境を想定し、令和 3 年度において設計、試作した抵抗体の耐熱性を評価した。図 3.3.2 は試作した直線抵抗の概観を示す。n 型基板中に Al をイオン注入し局所的に p 型領域を形成する事で抵抗体を作製した。図 3.3.3 に同直線抵抗（抵抗体の長さ：18, 36, 54, 90, 126  $\mu\text{m}$ ）を、500 $^{\circ}\text{C}$ 、1 時間の高温環境下に曝す前後の電流・電圧特性を測定した結果を示す。高温処理前後において、何れも優れた直線性を示しており抵抗体としての役割を果たすことは確

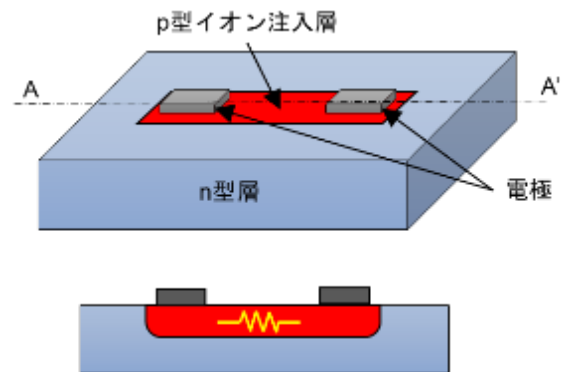


図 3.3.2 SiC 基板中にイオン注入により形成する抵抗体の構造例

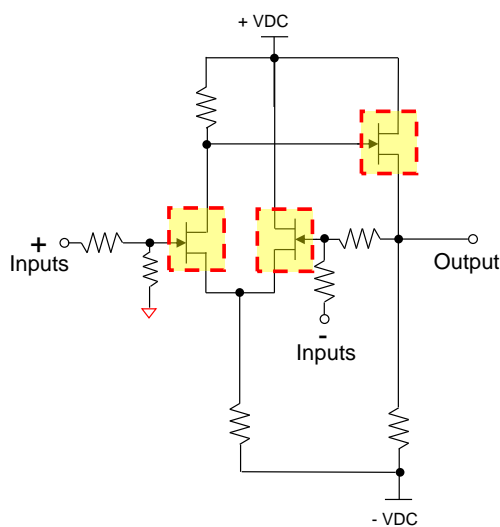


図 3.3.1 JFET を用いたオペアンプの回路図例（赤破線枠で囲われた部分が JFET）

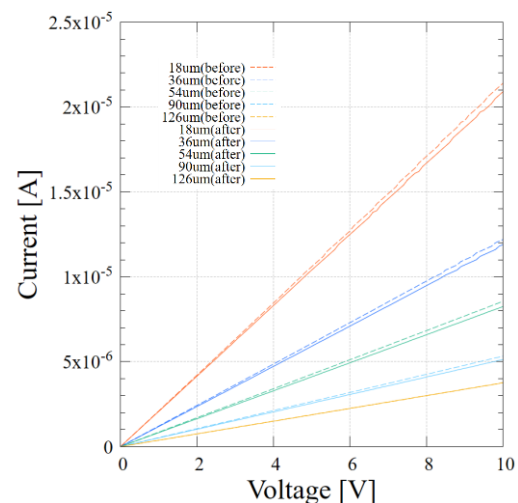


図 3.3.3 高温処理前後の電流電圧特性

認できた。また、高温処理前後の抵抗値を比較すると、おしなべてすべての長さの抵抗体で抵抗値が僅かに増加していることが分かる。ただその増加率は最大でも 4%程度であり、想定されるオペアンプの設計マージンに十分収まることから許容範囲内の変動であることがわかった。

次に、上記最大 4%程度の抵抗値増大の原因を見極めるため、TLM( Transfer Length Method)測定により、高温処理前後の電極のコンタクト抵抗、及び p イオン注入層のシート抵抗を見積もった。

TLM により測定される抵抗は、

$$R_T = \frac{L}{W}R_S + 2R_C \quad (1)$$

で表される。ここで、W:電極幅、L:電極間隔、 $R_S$ :シート抵抗、 $R_C$ :コンタクト抵抗である。図 3.3.4 に TLM 測定の結果をまとめる。グラフの傾きからシート抵抗を、y 切片からコンタクト抵抗を計算することができる。その結果、高温処理前はコンタクト抵抗が  $1.23 \times 10^{-3} \Omega \cdot \text{cm}^2$ であったのに対し、高温処理後には  $1.46 \times 10^{-3} \Omega \cdot \text{cm}^2$ に増加していることが分かった。このことから、高温処理後に抵抗体の抵抗値が増加した主な原因は、電極の変質によるコンタクト抵抗の増加が原因である事が想定される。

### (3) コンデンサの耐熱性評価

前項の抵抗体の耐熱性評価に続いて、コンデンサの耐熱性評価結果について述べる。

抵抗体の耐熱性評価を行った条件と同じく、500℃、1 時間の高温環境下に曝す前後のキャパシタの CV 特性を測定した結果を図 3.3.5 に示す。抵抗体と同じく高温処理前後で大きな容量特性変化は見られず、優れた耐熱性を有していることがわかった。

一般に SiC の pn 接合に放射線照射すると pn 接合界面での電荷形成が起こることが知られている。電荷形成量を JFET のしきい値変動として評価した例では 3MGy 程度を超えると変動が顕著になり、5MGy までの照射量で 0.2~0.4V 程度、10MGy で 0.6V 程度のしきい値変動が報告されている[5]。本開発において、ソース接地増幅回路用に用いる負荷として、抵抗負荷のほかに JFET による能動負荷を用いる可能性も考慮し、JFET を用いて放射線照射耐性を評価した。

図 3.3.6 に試作 JFET に 5MGy まで X 線照射した際の特性例としきい値の変動量を示す。5MGy までの照射でも顕著なリーク電流の増加は見られておらず、またしきい値の変動量は過去の例とほぼ同様に 0.2V 程度であった。

以上により、SiC 素子の耐放射線が 5MGy であること、原子炉圧力容器直下での使用を念頭においた 500℃での耐熱性を確認した。

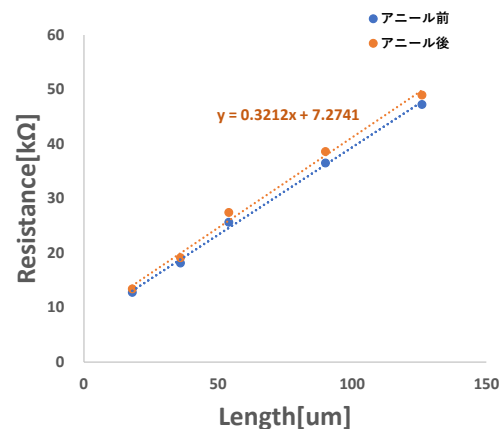


図 3.3.4 高温処理前後の TLM 測定結果

表 3.3.1 高温処理前後の抵抗値変化

長さ[μm]	アニール前[kΩ]	アニール後[kΩ]	抵抗値増
18	4.71E+02	4.81E+02	+2%
36	8.22E+02	8.46E+02	+3%
54	1.17E+03	1.22E+03	+4%
90	1.88E+03	1.96E+03	+4%
126	2.67E+03	2.67E+03	0%

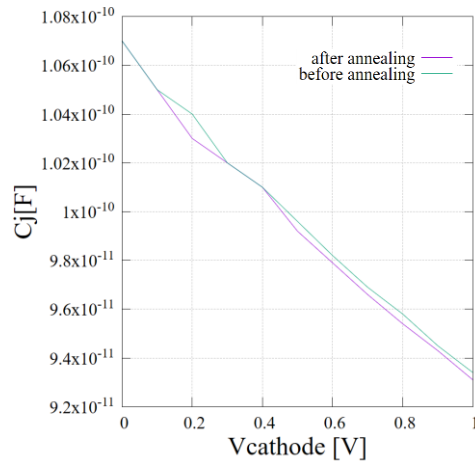


図 3.3.5 高温処理処理前後の容量測定結果

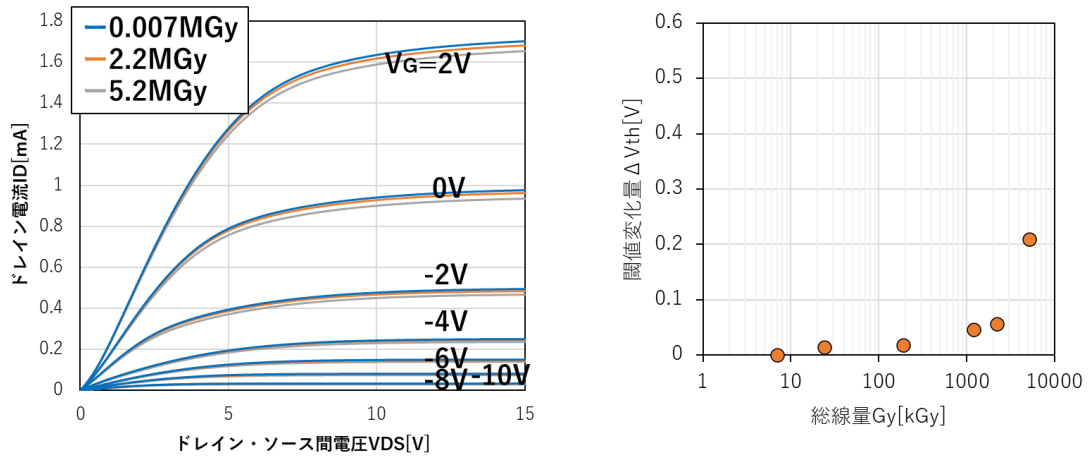


図 3.3.6 X線照射後のJFETの $I_{DS}$ - $V_{DS}$ 特性としきい値変化量

### 3.3.2 耐放射線 JFET の開発【R2-R4】

#### 【令和 2 年度及び令和 3 年度の成果】

令和 2 年度には接合型 FET の構造設計を行い、プロセスフローを作製した。素子設計において相互コンダクタンス (gm) を 5mS 以上とし、100MHz での動作が可能な構造を前提とした。

令和 3 年度にはオペアンプに用いる接合型 FET を試作した。ゲートにイオン注入技術を用いてノーマリオン型、ノーマリオフ型 FET をそれぞれ試作した。素子の相互コンダクタンス、ゲートソース間容量を測定し、100MHz の動作が可能であることを確認した。試作した接合型 FET に放射線照射および高温動作試験を行い、過酷事故に対応可能な放射線耐性と耐熱性を有することを確認した。

#### 【令和 4 年度の成果】

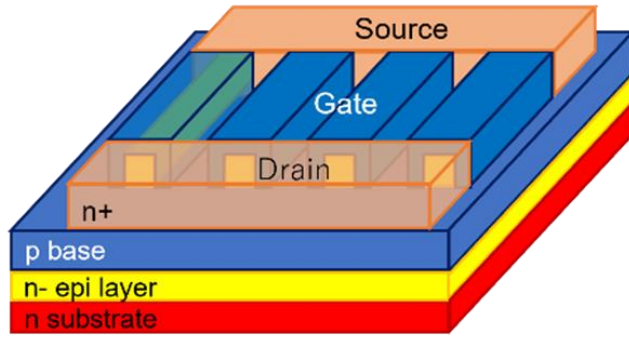
##### (1) 概要

本項目では、図 3.3.1 に示すオペアンプの回路図の中で抵抗とともに重要な役割を果たす SiC-JFET について、電流・電圧特性改善のために令和 3 年度に実施の素子設計の改善、及び再試作を行い、素子特性の評価を行った結果について述べる。

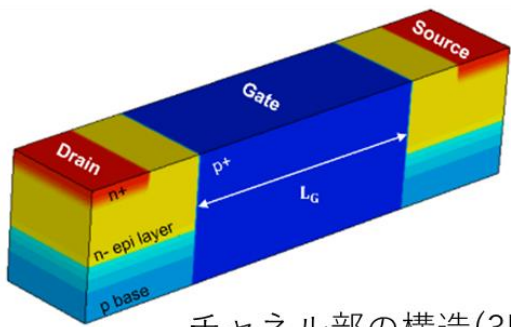
##### (2) SiC-JFET のデバイス構造

図 3.3.6 に本研究で試作した SiC JFET の素子構造を示す。チャネル領域が p 層に囲まれた全周ゲート構造である。ゲート層に負の電圧を印加することでチャネル領域の上下左右から空乏層が広がり、電流のオン・オフを制御する。従来の JFET の素子構造はプレーナー型およびストライプ型であり、オフ動作時の空乏層制御は最大でも 3 方向である。一方、全周ゲート構造の場合、チャネル領域の上下左右の 4 方向から空乏層が広がることで電流を制御するため、従来の素子と比較してリーク電流の減少・高速スイッチング動作が期待できる。

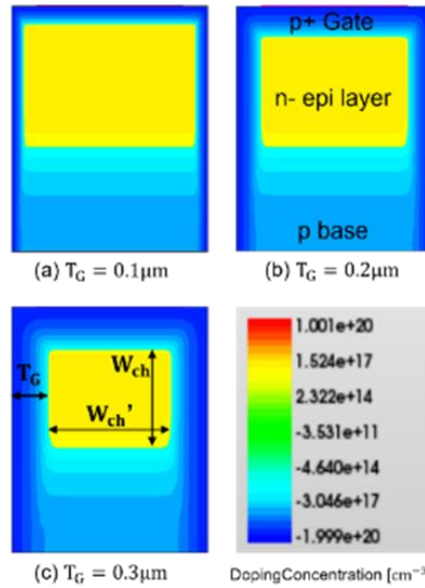
図 3.3.7 に TCAD シミュレーションを用いて設計した SiC 全周ゲート JFET の 3D モデルを示す。本研究では、まず初めに TCAD シミュレーションによって単チャネルの SiC JFET を設計し、電流電圧特性を解析することでデバイス構造の最適化を図った。また、n<sup>-</sup>層のドーピング濃度  $N_D$  は  $6 \times 10^{16} \text{ cm}^{-3}$  とし、ゲート長 ( $L_G$ ) は 1  $\mu\text{m}$ , 2  $\mu\text{m}$ , 3  $\mu\text{m}$ , 4  $\mu\text{m}$  の 4 種類とした。ここで、図 3.3.8(a), (b), (c) はチャネル領域の断面図であり、ゲートトレンチ幅は 1.6  $\mu\text{m}$  である。各  $L_G$  のデバイスにおいてゲート層の厚さ ( $T_G$ ) を 0.1  $\mu\text{m}$ , 0.2  $\mu\text{m}$ , 0.3  $\mu\text{m}$  として設計した。 $T_G$  によってチャネル面積を変化させることで、しきい値電圧の制御を図る(表 3.3.2)。



断面概要図



チャネル部の構造(3D)



チャネル部の構造

図 3.3.7 SiC 全周ゲート JFET の素子構造

表 3.3.2 ゲート層の厚さとチャネル面積の関係

ゲート層の厚さ $T_G$	チャネル面積 ( $W_{ch} \times W_{ch}'$ )
0.1 $\mu\text{m}$	1.0 $\mu\text{m} \times 1.4 \mu\text{m}$
0.2 $\mu\text{m}$	0.9 $\mu\text{m} \times 1.2 \mu\text{m}$
0.3 $\mu\text{m}$	0.8 $\mu\text{m} \times 1.0 \mu\text{m}$

### (3) SiC-JFET 出力特性のシミュレーション結果

図 3.3.8 に  $L_G=4 \mu\text{m}$ ,  $T_G=0.2 \mu\text{m}$  の単チャネル素子における出力 ( $I_D$ - $V_D$ ) 特性のシミュレーション結果を示す。線形領域・飽和領域が確認できるため電界効果トランジスタとしての特性が得られていることが確認できる。また、ゲート電圧 ( $V_G$ ) が 0 V の時にドレイン電流 ( $I_D$ ) が流れているため、ノーマリオン特性が得られている。

表 3.3.3 に  $V_D=10 \text{ V}$  とした時の  $V_G=-5 \text{ V} \sim 0 \text{ V}$  の範囲における出力抵抗 ( $r_d$ ) を示す。  $V_G$  の低下に伴い  $r_d$  は増加する。これは、  $V_G$  が低いほど、  $V_D$  が低い段階でピンチオフに達し、飽和領域における  $I_D$  が小さくなるからである。また、線形領域において、  $V_G$  の低下に伴い  $I_D$  も低下する要因としては、チャネル領域の抵抗値とチャネル面積は反比例の関係にあるからである (図 3.3.9)。以上より、図 3.3.8 と表 3.3.3 から  $V_G$  によって  $I_D$  を制御出来ていることが確認できる。

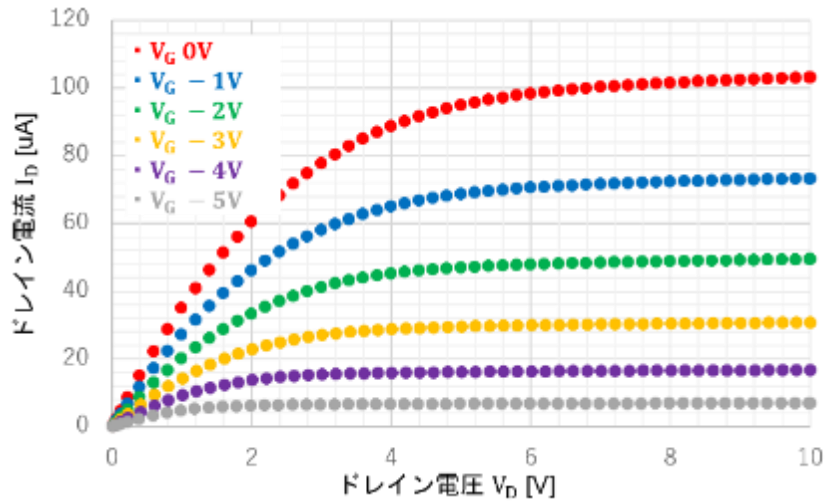


図 3.3.8  $I_D$ - $V_D$  特性のシミュレーション結果 ( $L_G=4 \mu\text{m}$ ,  $T_G=0.2 \mu\text{m}$ )

表 3.3.3 出力抵抗のゲート電圧依存性 ( $L_G=4 \mu\text{m}$ ,  $V_D=10 \text{ V}$ )

項目	ゲート電圧 $V_G$					
	-5V	-4V	-3V	-2V	-1V	0V
出力抵抗 $r_d$ [M $\Omega$ ]	34.9	14.4	7.42	4.37	2.65	1.68

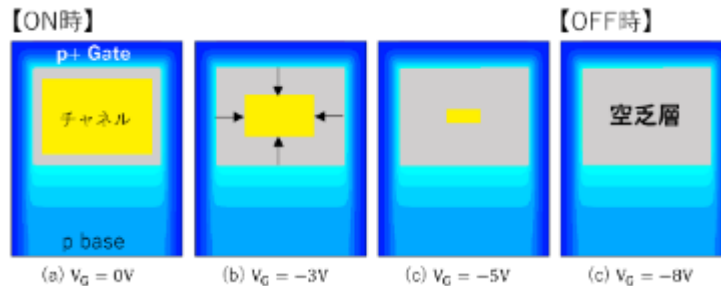


図 3.3.9 ゲート電圧と空乏層の関係

#### (4) 伝達特性のシミュレーション結果

図 3.3.10 にゲート層の厚さ ( $T_G$ ) を変化させたときの伝達 ( $I_D$ - $V_G$ ) 特性のシミュレーション結果を示す。また、表 3.3.4 に各素子のしきい値電圧 ( $V_{th}$ )、 $V_G=0$  V のときのドレイン電流 ( $I_{DSS}$ ) および相互コンダクタンス ( $g_{m0}$ )、 $I_D$ - $V_D$  特性から求めた出力抵抗 ( $r_{d0}$ )、電圧増幅率 ( $\mu$ ) を示す。  $T_G$  を変化させることで、 $V_{th}$  を制御出来ており、 $T_G$  の増加に伴い  $V_{th}$  は正の方向にシフトする。ここで、 $V_{th}$  は ( $I_D$ )  $1/2$ - $V_G$  特性の直線と  $V_G$  軸との交点として定義している。また、 $T_G$  の変化に伴う  $V_{th}$  のシフトについてデバイス構造を関連付けて説明を行う。JFET の  $V_{th}$  は次式で与えられる。

$$V_{th} = V_{bi} - \frac{qN_D W_{ch}^2}{2\epsilon_s} \quad (2)$$

ここで、 $V_{bi}$  はビルトインポテンシャル、 $N_D$  はドーピング濃度、 $q$  は素電荷、 $\epsilon_s$  は SiC の誘電率、 $W_{ch}$  はチャネル幅である。式(2)より、 $V_{th}$  は  $W_{ch}$  の二乗で変化する。そのため、設計した素子では  $T_G$  を大きくすることで  $W_{ch}$  は小さくなるため、 $V_{th}$  は正の方向にシフトしたと考えられる。

図 3.3.11 に  $T_G=0.2 \mu\text{m}$  の素子において  $L_G$  を変化させたときの  $I_D$ - $V_G$  特性のシミュレーション結果を示す。また、表 3.3.5 に各素子のパラメータを示す。 $L_G$  が短くなるにつれて  $g_{m0}$  および  $I_{DSS}$  は増加する。これは、チャネル領域の抵抗値は導体の長さ ( $L_G$ ) と比例関係にあるからである。そのため、より大きな電流量を得たい場合、可能な限り  $L_G$  は短い方が望ましい。しかし、 $L_G$  が短くなるにつれてゲート層上のコンタクトホール形成が困難になるため、実際にプロセスを通して試作可能か検証する必要がある。

図 3.3.12 および表 3.3.6 に  $V_{th}$  の  $L_G$  依存性を示す。 $L_G$  が短くなるにつれて  $V_{th}$  は低下する。これは FET 系のデバイス特有の特徴である。基本的にチャネル領域の空乏層はゲート端子によって制御されるが、 $L_G$  が短くなるにつれてドレイン・ソース間の電界の影響を無視できなくなる。今回の  $V_{th}$  のシフトは、ドレイン・ソース間の電界の影響だと考えられる。

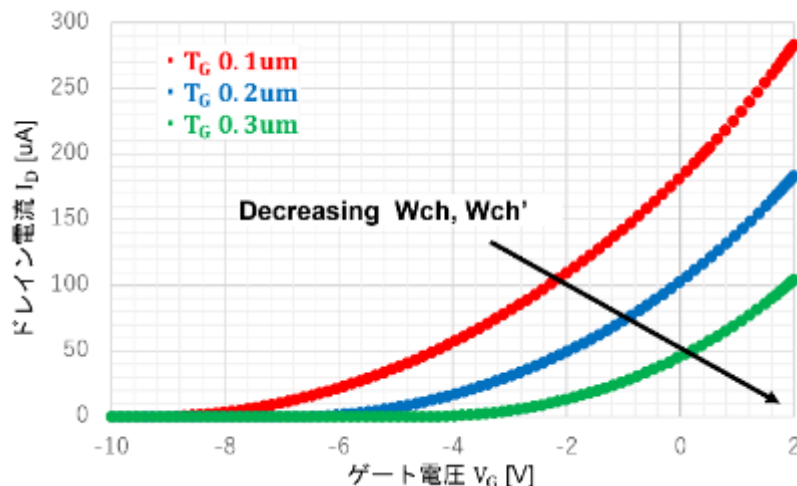


図 3.3.10  $I_D$ - $V_G$  特性のシミュレーション結果 ( $L_G=4 \mu\text{m}$ ,  $V_D=10$  V)



表 3.3.4 各素子のパラメータ ( $L_G=4 \mu\text{m}$ ,  $V_D=10 \text{V}$ )

項目	ゲート層の厚さ $T_G$		
	0.1 $\mu\text{m}$	0.2 $\mu\text{m}$	0.3 $\mu\text{m}$
しきい値電圧 $V_{th}$ [V]	-9.11	-6.65	-4.35
ドレイン電流 $I_{DSS}$ [ $\mu\text{A}$ ]	181	102	44.7
相互コンダクタンス $g_{m0}$ [ $\mu\text{S}$ ]	41.9	32.3	21.2
出力抵抗 $r_{d0}$ [ $\text{M}\Omega$ ]	0.648	1.68	5.43
電圧増幅率 $\mu$ ( $r_{d0} \times g_{m0}$ )	27.2	54.3	115

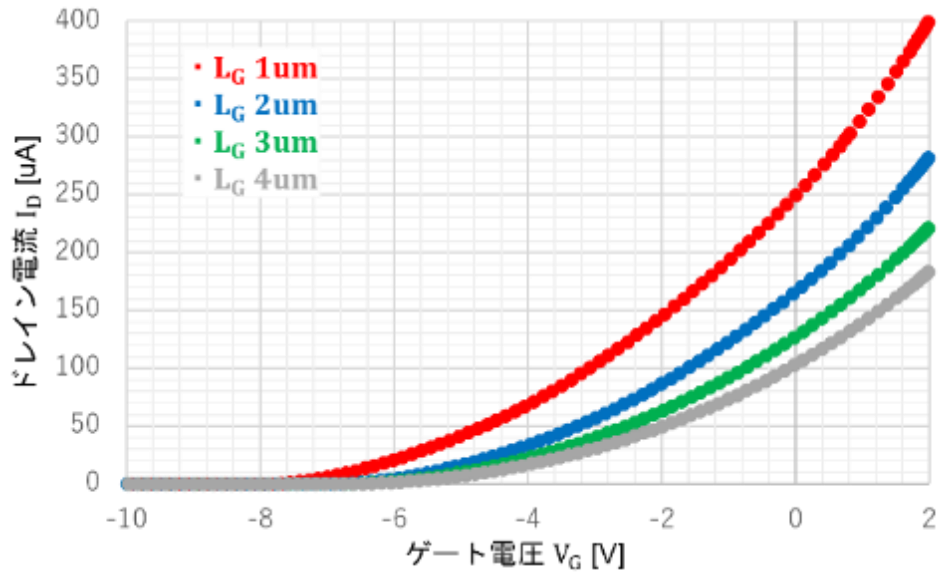


図 3.3.11  $I_D$ - $V_G$  特性のゲート長依存性 ( $T_G=0.2 \mu\text{m}$ )

表 3.3.5 各素子のパラメータ ( $T_G=0.2 \mu\text{m}$ )

項目	ゲート長 $L_G$			
	1 $\mu\text{m}$	2 $\mu\text{m}$	3 $\mu\text{m}$	4 $\mu\text{m}$
しきい値電圧 $V_{th}$ [V]	-8.33	-7.17	-6.83	-6.65
ドレイン電流 $I_{DSS}$ [ $\mu\text{A}$ ]	241	164	126	102
相互コンダクタンス $g_{m0}$ [ $\mu\text{S}$ ]	58.5	45.4	37.9	32.3
出力抵抗 $r_{d0}$ [ $\text{M}\Omega$ ]	0.308	0.725	1.17	1.68
電圧増幅率 $\mu$ ( $r_{d0} \times g_{m0}$ )	18.0	32.9	44.3	54.3

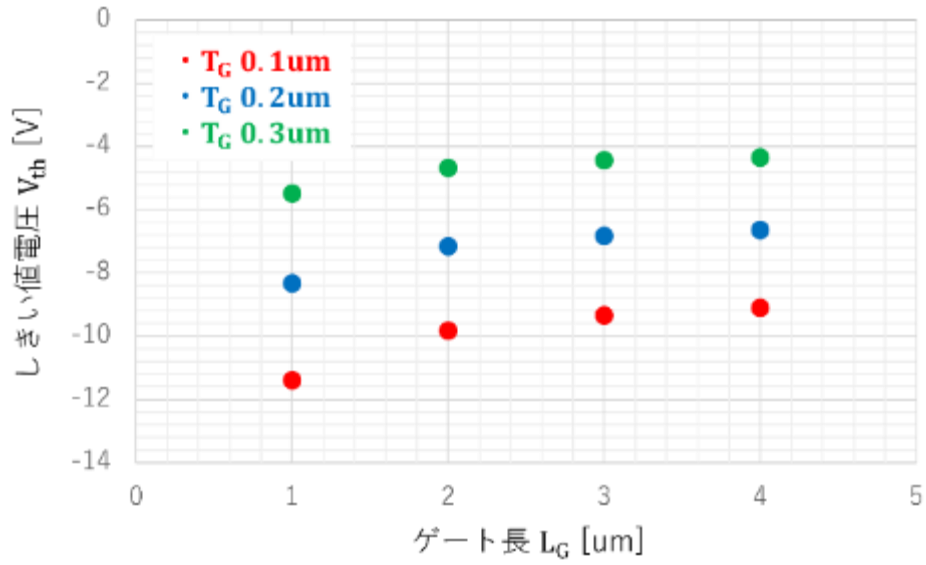


図 3.3.12 しきい値電圧のゲート長依存性

表 3.3.6 各素子のしきい値電圧 [V]

項目	ゲート長 $L_G$			
	1 $\mu\text{m}$	2 $\mu\text{m}$	3 $\mu\text{m}$	4 $\mu\text{m}$
しきい値電圧 $V_{th}$ [V]	-8.33	-7.17	-6.83	-6.65
ドレイン電流 $I_{DSS}$ [ $\mu\text{A}$ ]	241	164	126	102
相互コンダクタンス $g_{m0}$ [ $\mu\text{S}$ ]	58.5	45.4	37.9	32.3
出力抵抗 $r_{d0}$ [ $\text{M}\Omega$ ]	0.308	0.725	1.17	1.68
電圧増幅率 $\mu$ ( $r_{d0} \times g_{m0}$ )	18.0	32.9	44.3	54.3

### (5) 素子試作

SiC 全周ゲート JFET の試作に向けて作製したレチクルを図 3.3.13 に示す。レチクル内には「①アライメントマーク、②ドレインソース n+イオン注入、③トレンチ形成、④ゲート p+イオン注入、⑤素子分離、⑥コンタクトホール、⑦メタルエッチング、⑧PAD 電極形成」といったパターンを設計した。素子試作の前準備としてレチクルを、AutoCAD を用いて設計した。またドーピングや特性は TCAD シミュレーションを用いた。本研究では図 3.3.13 のレチクルを用いて素子試作を行った。

本研究において試作した素子の断面模式図を図 3.3.14 に示す。n 型 4H SiC 基板上にドーピング濃度  $N_D=6 \times 10^{16} \text{ cm}^{-3}$ 、厚さ  $5 \text{ }\mu\text{m}$  の n 型エピタキシャル成長を行ったウェハを使用した。図 3.3.15 に、本研究における素子試作のプロセスフローを示す。p+ベースをアルミニウム (Al) のイオン注入により形成し、SiC 全面エッチングを行うことで垂直方向のチャンネル幅を調整した。また、n+ソース/ドレイン領域を窒素 (N) のイオン注入により形成した。p+ゲート領域においては、トレンチ構造を形成後に Al 垂直イオン注入および Al 斜めイオン注入によって形成した。また、ゲート深さ条件は 3 段階とした (図 3.3.16、図 3.3.17、表 3.3.7)。その後、素子の外側を SiC ドライエッチングによって削ることで素子分離を行った。次に、ウェハ表面にカーボン膜を成膜し、Ar 雰囲気下で  $1650^\circ\text{C}$ 、10 分間の活性化アニールを行った。アニール後はカーボン除去を行い、フィールド酸化膜を形成した。次に、ソース/ドレイン/ゲート上にコンタクトホールを形成し、金属蒸着 (Al/Ni) を行った。その後にメタルエッチングによってコンタクトメタルを形成し、メタルアニール (Ar 雰囲気下、 $860^\circ\text{C}$ 、2 分) によってオーミック電極を形成した。最後にメタルスパッタ (Al) およびメタルエッチングを行うことで、ソース/ドレイン/ゲート上の PAD 電極を形成した。以上の半導体プロセスを通して、SiC 全周ゲート JFET を試作した。

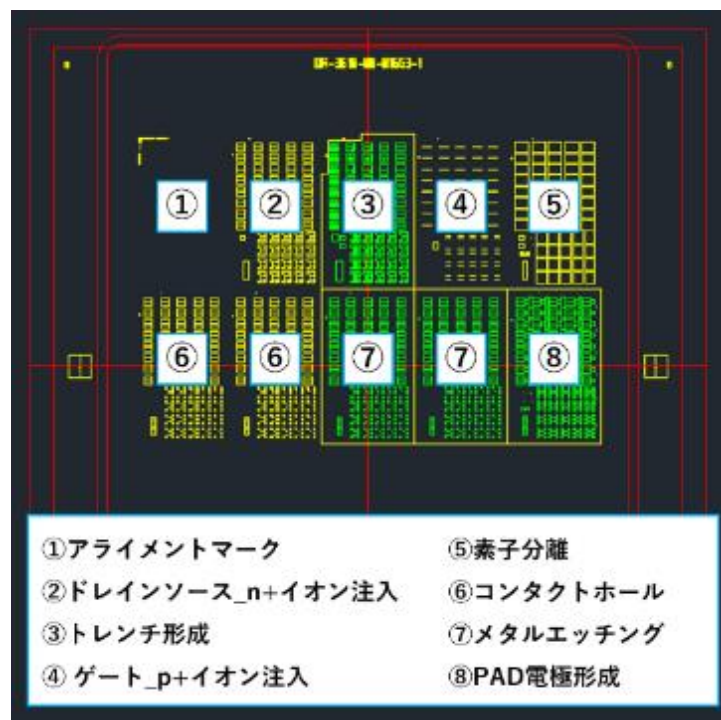
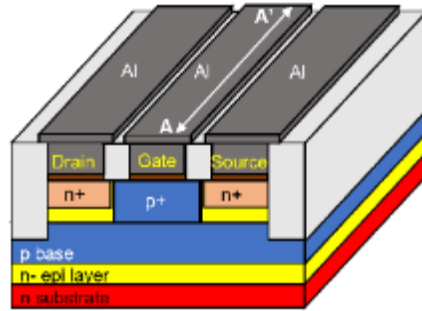
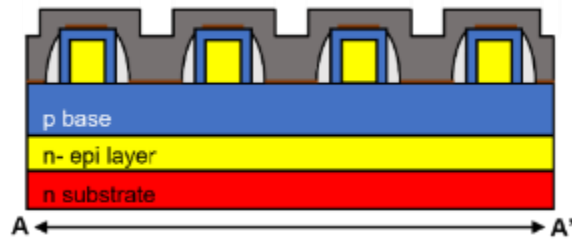


図 3.3.13 レチクルの概要図



(a) SiC 全周ゲート JFET の全体像



(b) トレンチ領域 (A-A' 断面図)

図 3.3.14 本研究で試作した SiC 全周ゲート JFET

非公開：枠組みの内容は知的財産保護上の観点から公開できません。

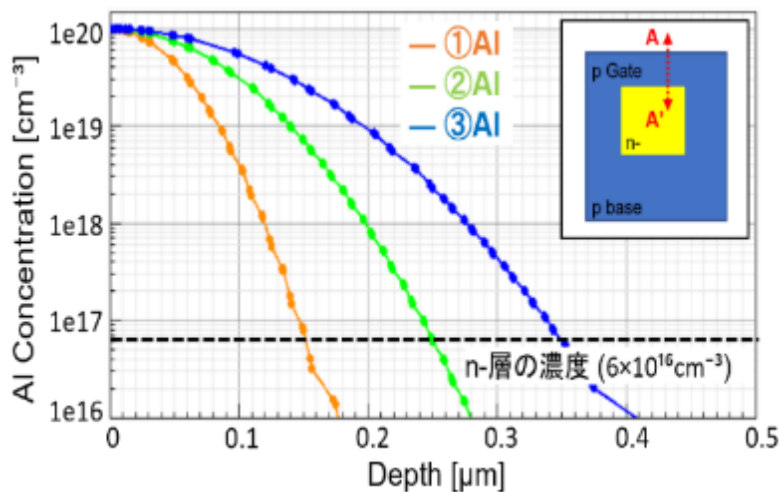


図 3. 3. 16 ゲート層上部の Al イオン分布

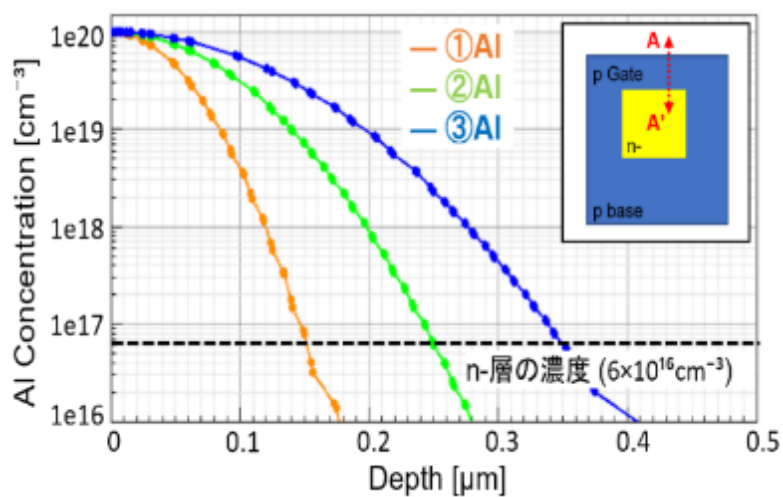


図 3. 3. 17 ゲート層側部の Al イオン分布

表 3. 3. 7 Al イオン分布における Al インプラ条件

Alイオン分布	Alインプラ条件 (Energy、Dose)	
	ゲート層上部	ゲート層側部
①	20keV 2.61E+14cm <sup>-2</sup> 40keV 4.65E+13cm <sup>-2</sup>	50keV 4.86E+14cm <sup>-2</sup>
②	20keV 2.61E+14cm <sup>-2</sup> 40keV 4.65E+13cm <sup>-2</sup> 90keV 8.58E+13cm <sup>-2</sup>	50keV 4.86E+14cm <sup>-2</sup> 130keV 3.00E+14cm <sup>-2</sup>
③	20keV 2.61E+14cm <sup>-2</sup> 40keV 4.65E+13cm <sup>-2</sup> 90keV 8.58E+13cm <sup>-2</sup> 150keV 1.17E+14cm <sup>-2</sup>	50keV 4.86E+14cm <sup>-2</sup> 130keV 3.00E+14cm <sup>-2</sup> 220keV 1.55E+14cm <sup>-2</sup>

本研究で試作した素子のウェハ外観を図 3.3.18 に示す。また、図 3.3.19 にウェハ内レイアウトを示す。4inch SiC ウェハ内に 4.2 mm×7 mm のチップを作製し、一次試作ではウェハ右半分の素子を A1 インプラ条件①、ウェハ左半分の素子を A1 インプラ条件②とした。図 3.3.20 に試作素子の顕微鏡画像、図 3.3.21 に試作素子の SEM 画像をそれぞれ示す。ドレイン・ソース上に PAD 電極を形成し、ゲートにおいてはトレンチ領域に電極の細線を作り、ゲート端に PAD 電極をすることでマニュアルプローバの針を落とすスペースを確保した。図 3.3.22 にチップ内レイアウトを示す。本研究では 4.2 mm×7 mm のチップ内に静特性用素子を 40 個、高周波素子を 20 個作製した(図 3.3.23)。ここで、静特性用素子のゲート長は 1 μm~4 μm、チャネル数は 1 本~82 本とした。また、高周波用素子のゲート長は 2 μm~3 μm、チャネル数は 1 本~82 本である。以上のように、ゲート長およびチャネル数が異なる素子を作製し、半導体パラメータアナライザを用いて実特性の測定を行った。

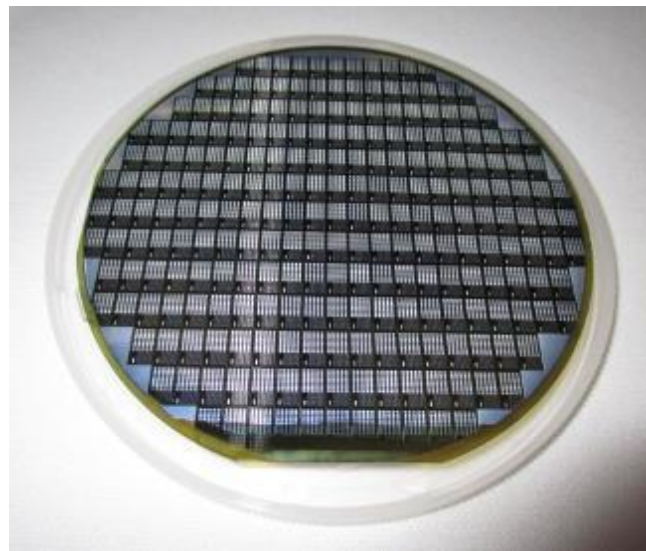


図 3.3.18 試作素子のウェハ外観

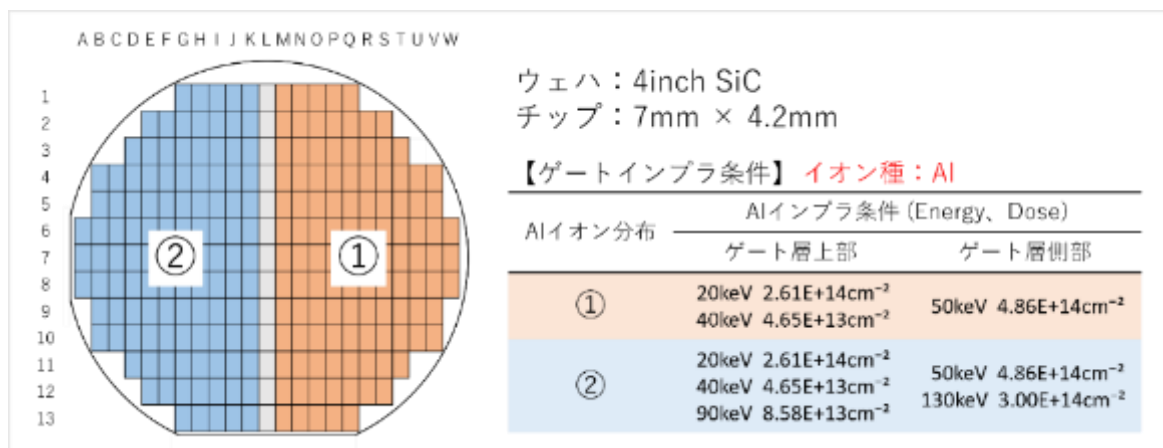


図 3.3.19 ウェハ内レイアウト



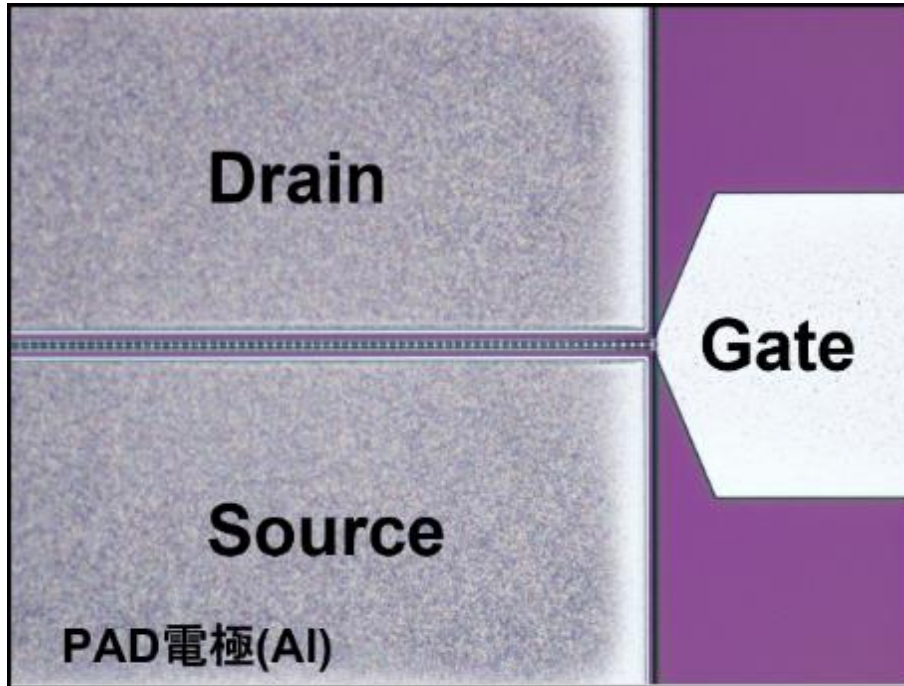


図 3.3.20 試作 JFET の顕微鏡画像

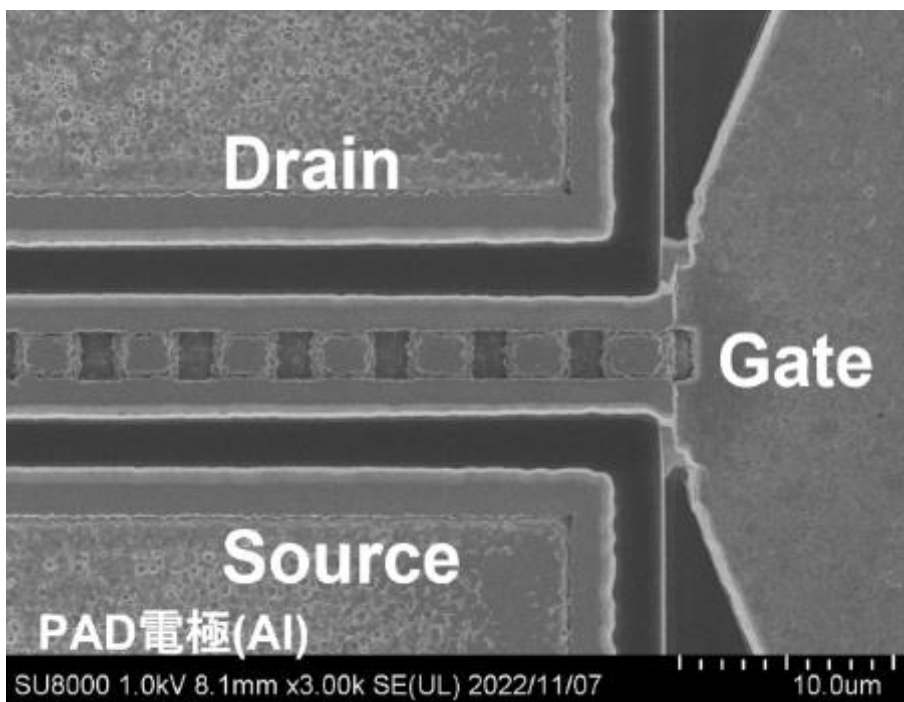


図 3.3.21 試作 JFET の SEM 画像



図 3.3.22 チップ内のレイアウト

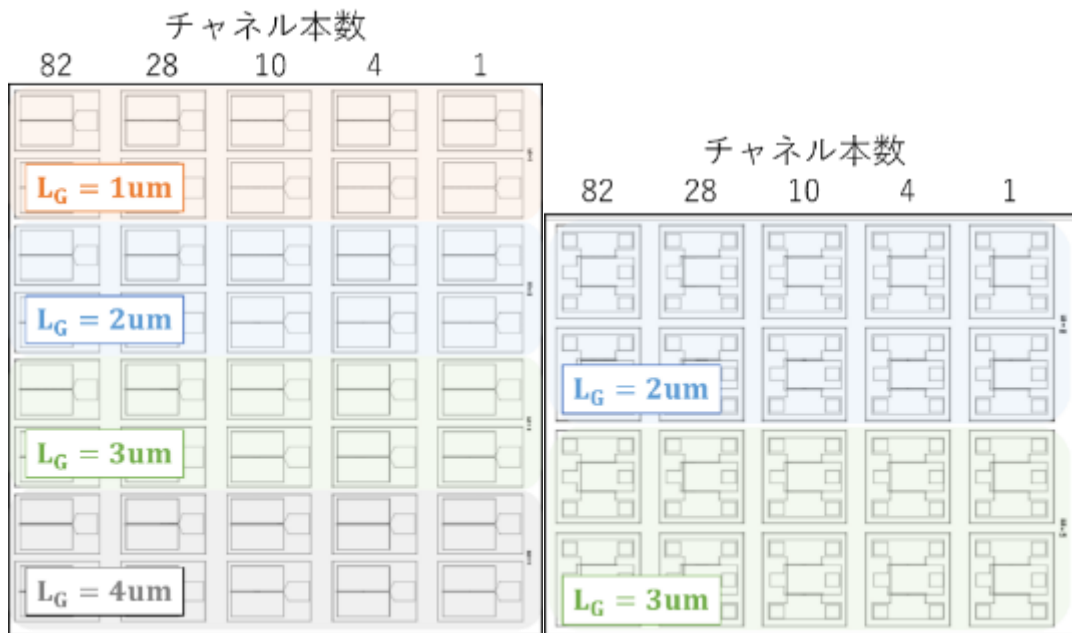


図 3.3.23 チップ内における試作 JFET の素子配置



## (5) 素子特性

試作した SiC 全周ゲート JFET (A1 インプラ条件①) の電気的特性の測定結果を以下に示す。SiC 全周ゲート JFET の静特性は半導体パラメータアナライザ (HP4156C, Agilent 社製) で測定した。図 3.3.24 に測定に用いたマニュアルプローバ装置を示す。測定用の針が 6 本あり、それぞれの針をドレイン/ソース/ゲート/GND に落とし、電圧を加えることで静特性を測定した (図 3.3.25)。

ゲート長 ( $L_G$ )  $3 \mu\text{m}$ , チャネル数 82 本の素子における出力特性を図 3.3.26 に示す。線形特性および飽和特性が得られていることに加えて、ゲート電圧 ( $V_G$ ) によってドレイン電流 ( $I_D$ ) を制御出来ているため、FET としての特性が得られている。一方で、 $V_G=2 \text{ V}$  の条件においては  $V_D=0 \text{ V}$  の時にリーク電流が生じていることが確認できる。このような現象は A1 インプラ条件①の各ゲート長の素子に確認された。そこで、リーク電流の原因を解明するために、ドレイン・ソース間電圧を  $0 \text{ V}$  に設定し、ゲートに電圧を加えることでチャネル上部の pn 接合の状態を確認した。図 3.3.27 に A1 インプラ条件①と②の素子の  $I_G$ - $V_G$  特性を示す。A1 インプラ条件②の素子はゲート電圧が  $2.3 \text{ V}$  の時に電流が立ち上がるのに対して、A1 インプラ条件①の素子は  $1 \text{ V}$  弱で電流が立ち上がる。このように、①の素子は順方向電圧が  $1 \text{ V}$  弱であるため、チャネル上部がショットキー接合になっていると考えられる。

図 3.3.28 にフィールド酸化膜からコンタクトホール形成 (2 回目) までのプロセスを示す。一般的なプロセスでは、フィールド酸化膜形成後に  $\text{SiO}_2$  エッチングを行うことでコンタクトホール (CH) を形成する。本研究では、主にゲート層上の CH が微細パターンであるため、 $\text{SiO}_2$  エッチングの方法としてドライを採用している。そのため、 $\text{SiO}_2$  を削りきった際に SiC のオーバーエッチングが生じ、チャネル上部の p+層が削られてしまった。また、本研究は 1 回目のメタル RTA を行った際に、過剰アニールによって金属が変質してしまったため、リワークの前準備としてスクラバー洗浄を実施した (図 3.3.29)。洗浄を通して、変質した金属を除去することはできたが、この際に SiC も同時に削られてしまった。しかし、この時点では p 層と n 層が白と黒のコントラストではっきりと確認できるため、恐らく CH 形成 2 回目の  $\text{SiO}_2$  ドライエッチングの際にチャネル上部の p+層が削り切られてしまったと考えられる (図 3.3.30)。以上のように、A1 インプラ条件①の素子のリーク電流に関しては、インプラ後の p+層の厚さが  $0.1 \mu\text{m}$  程度と比較的薄いことに加えて、試作プロセスを通してチャネル上部の p+層が削られたところに金属が付着することでショットキー接合になったことが原因だと考えられる。

$L_G=3 \mu\text{m}$ , チャネル数 1~82 本の素子における伝達特性を図 3.3.31 に示す。 $V_G$  によって  $I_D$  を制御できていることに加えて、チャネル数の増加に伴い  $I_D$  も増加していることが確認できる。また、測定後の素子パラメータを表 3.3.8 に示す。ここで、しきい値電圧  $V_{th}$  は  $(I_D)^{1/2}$ - $V_G$  特性の直線と  $V_G$  軸との交点として定義している。表 3.3.8 より、チャネル数 1~82 本の素子において  $V_{th}$  に大きな変化は見られない。そのため、 $V_{th}$  は一定に保ちつつ、チャネル数によって電流量の調整が可能ということが実証された。

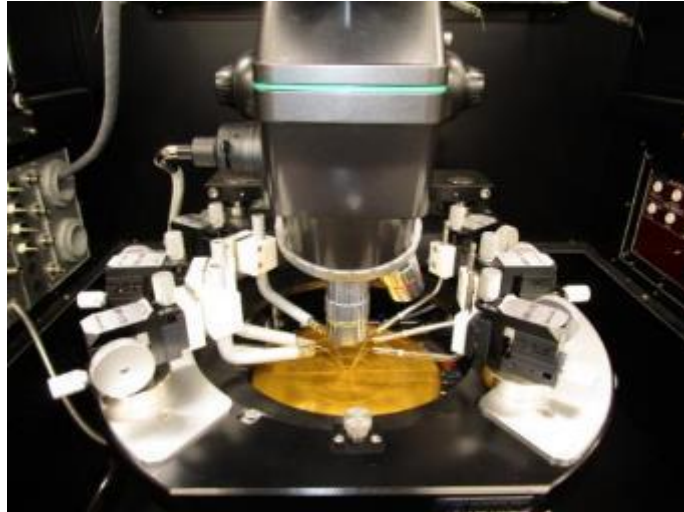


図 3.3.24 マニュアルプローバ装置

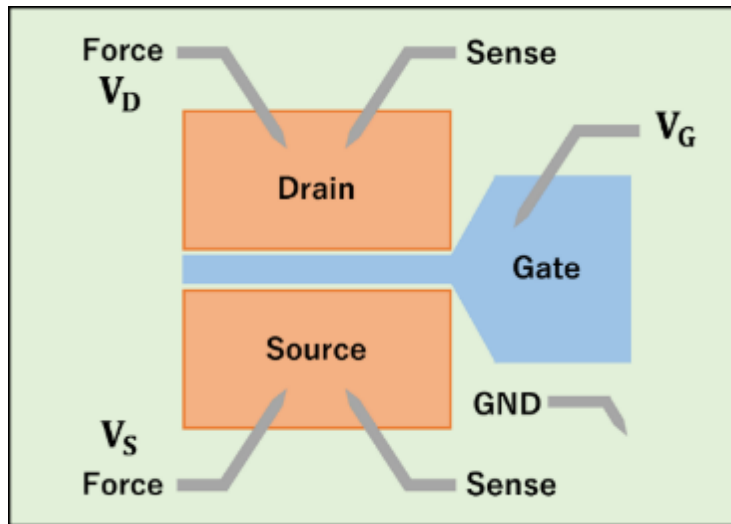


図 3.3.25 測定方法 (4 端子測定)

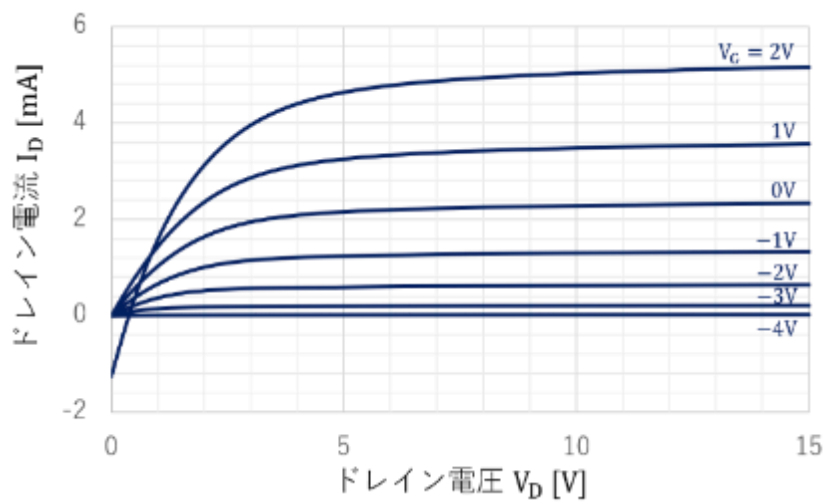


図 3.3.26 試作 JFET の  $I_D$ - $V_D$  特性 (チップ 7-S,  $L_G=3 \mu\text{m}$ , チャンネル=82 本)

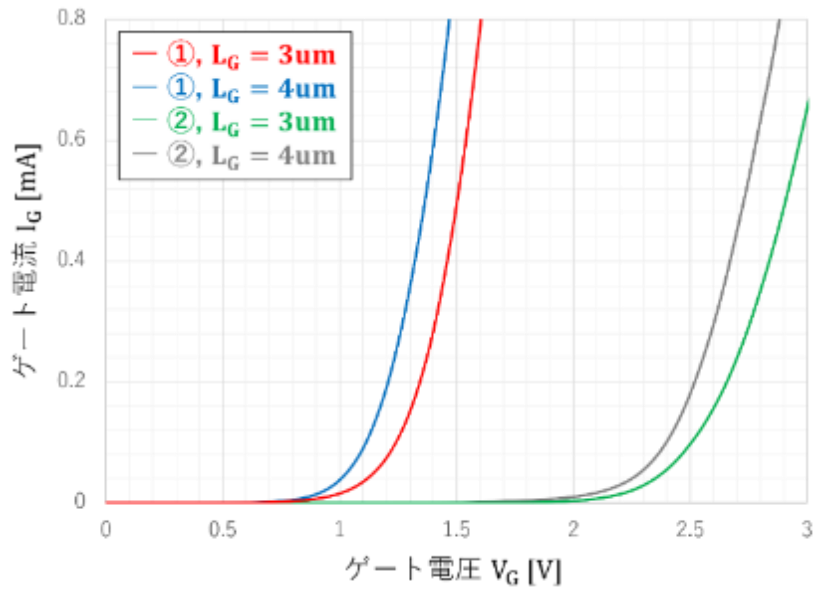
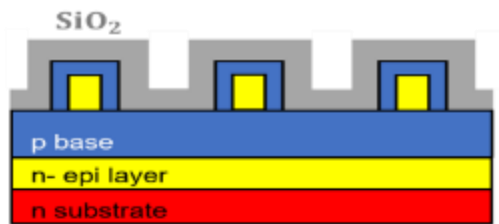
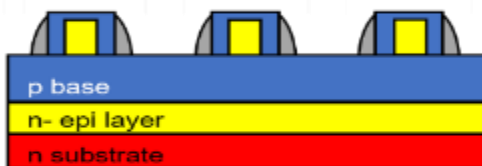


図 3.3.27 試作 JFET の  $I_G$ - $V_G$  特性

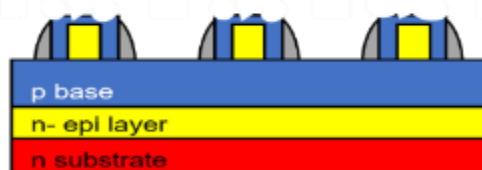
1. フィールド酸化膜形成



2. コンタクトホール形成(1回目)



3. ウェハのスクラパー洗浄



4. コンタクトホール形成(2回目)

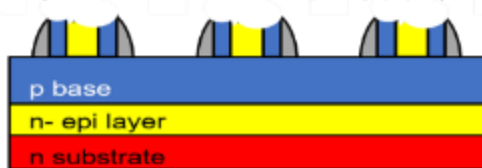
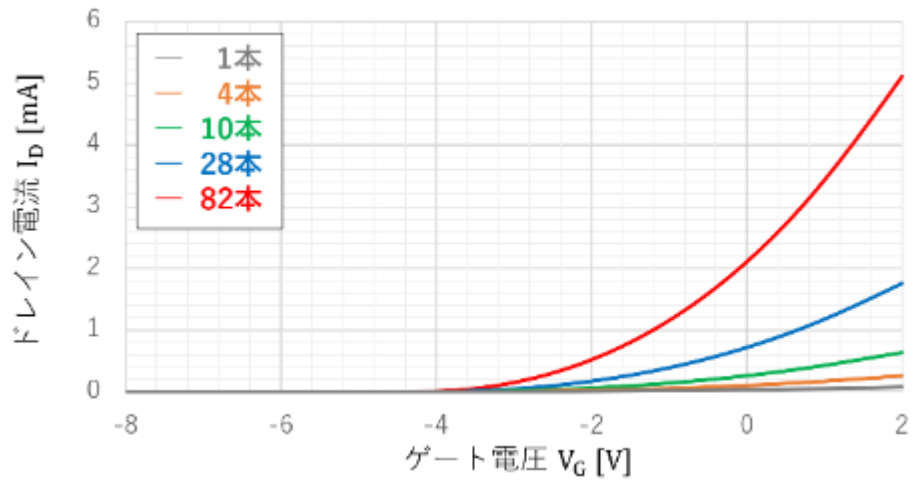


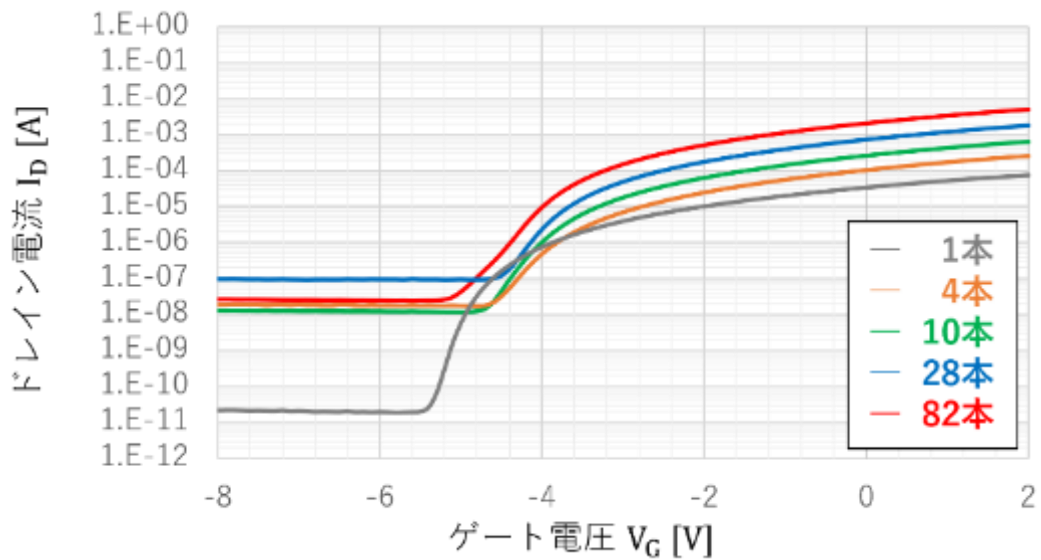
図 3.3.28 フィールド酸化膜からコンタクトホール形成までのプロセス

非公開：枠組みの内容は知的財産保護上の観点から公開できません。

非公開：枠組みの内容は知的財産保護上の観点から公開できません。



(a) リニアプロット



(b) 片対数プロット

図 3. 3. 31 試作 JFET の  $I_D$ - $V_G$  特性 ( $V_D=10$  V)

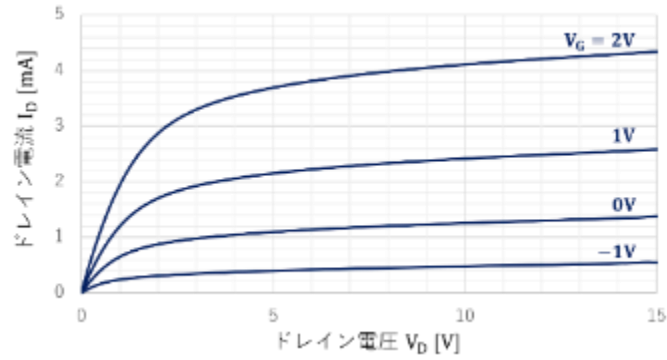
表 3. 3. 8 素子パラメータ ( $L_G=3$   $\mu$ m, チャンネル=1~82 本)

項目	チャンネル本数				
	1	4	10	28	82
$V_{th}$ [V]	-4.50	-4.00	-4.01	-4.01	-4.05
$I_D$ [mA] ( $v_G = 0V$ )	0.0336	0.104	0.261	0.721	2.11
$g_m$ [mS] ( $v_G = 0V$ )	0.0161	0.0576	0.143	0.395	1.14
$r_d$ [M $\Omega$ ] ( $v_G = 0V$ )	3.70	1.05	0.556	0.238	0.0714
$I_D$ [mA] ( $v_G = 2V$ )	0.0733	0.254	0.632	1.76	5.11
$g_m$ [mS] ( $v_G = 2V$ )	0.0229	0.0768	0.208	0.607	1.76
$r_d$ [M $\Omega$ ] ( $v_G = 2V$ )	1.72	0.588	0.204	0.111	0.0263

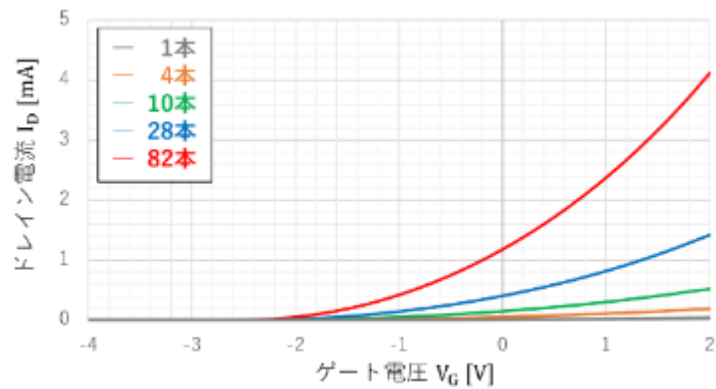
試作した SiC 全周ゲート JFET(A1 インプラ条件②)の電流電圧特性の測定結果を以下に示す。図 3.3.32～図 3.3.35 および表 3.3.9～表 3.3.12 に各ゲート長の素子における電流電圧特性の測定結果をそれぞれ示す。 $I_D$ - $V_D$  特性において、線形領域および飽和領域が確認できるため、FET としての特性が得られている。また、図 3.3.28 より、A1 インプラ条件②の素子はチャネル上部のゲート p+層が残っているため、図 3.3.31(a)のように  $V_G=2V$  の条件においてリーク電流は見られない。そのため、A1 インプラ条件②の素子は A1 インプラ条件①の素子と比較して良好な特性が得られていることが確認できる。次に、 $I_D$ - $V_G$  特性の測定結果では、全ての素子においてゲート電圧によってドレイン電流を制御できている。ここで、ドレイン電圧は 10 V としている。また、 $L_G=2 \mu\text{m} \sim 4 \mu\text{m}$  の素子において、 $V_G=-3 \text{ V}$  の時のリーク電流はチャネル数に依らず  $1 \times 10^{-11} \text{ A}$  であり、しきい値電圧に大きな変化は見られない。そのため、3.3 節に示したようにゲート長が短くなるにつれて素子試作が困難になるが、今回の測定結果から  $L_G=2 \mu\text{m}$  までは安定した動作を持つ素子を作製することは可能ということが実証された。

図 3.3.36 に  $I_D$ - $V_G$  特性のゲート長依存性を示す。ゲート長が短くなるにつれてドレイン電流が増加していることが確認できる。これは、チャネル領域の抵抗値とゲート長は比例の関係にあるからである。次に、図 3.3.37 にしきい値電圧のゲート長依存性を示す。ゲート長が  $4 \mu\text{m}$  の場合は  $V_{th}=-1.14 \text{ V}$  であるのに対して、ゲート長が  $1 \mu\text{m}$  の場合では  $V_{th}=-2.43 \text{ V}$  であるため、しきい値電圧は  $1.29 \text{ V}$  低下している。しきい値電圧の低下の要因としてドレイン・ソース間の電界の影響が考えられる。ゲート長が十分に長い場合、チャネル領域の空乏層はゲート電圧によって支配的に制御されるが、ゲート長が短い場合はドレイン・ソース間の電界の影響が無視できなくなるため、今回のようにしきい値電圧が低下したと考えられる。

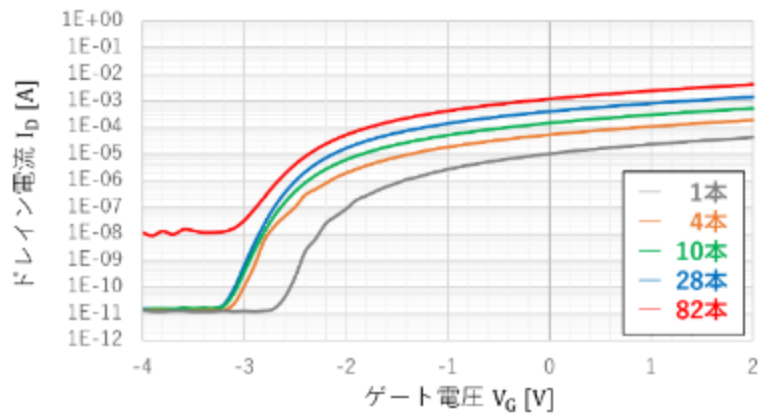
図 3.3.38 に A1 インプラ条件①および A1 インプラ条件②の素子の  $I_D$ - $V_G$  特性の測定結果を示す。ここで、ドレイン電圧は 10 V とした。図 3.3.19 のように A1 インプラ条件によってゲート p+層の厚さが異なるため、各条件によってチャネル幅が異なる。図 3.3.38 より、どちらの条件においてもゲート電圧によってドレイン電流を制御できているため、FET としての特性が得られている。また、A1 インプラ条件①の素子は  $V_{th}=-4.01 \text{ V}$  であるのに対して、A1 インプラ条件②の素子は  $V_{th}=-1.22 \text{ V}$  であるため、しきい値電圧は  $2.79 \text{ V}$  シフトしている。そのため、シミュレーション結果と同様に、A1 インプラ条件によってチャネル幅を制御することで、しきい値電圧を制御することが可能ということが実証された。また、今回の電流電圧特性の測定を通して、作製可能なゲート長・ドレイン電流のチャネル数依存性・ドレイン電流のゲート長依存性・しきい値電圧のゲート長依存性・しきい値電圧のチャネル幅依存性といった様々なデータを得ることができた。



(a)  $I_D$ - $V_D$ 特性 (チャンネル数=82 本)



(b)  $I_D$ - $V_G$ 特性(リニアプロット,  $V_D=10$  V)



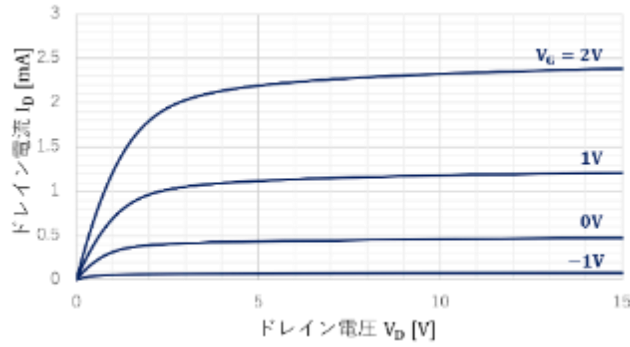
(c)  $I_D$ - $V_G$ 特性(片対数プロット,  $V_D=10$  V)

図 3. 3. 32 電流電圧特性の測定結果( $L_G=1 \mu\text{m}$ )

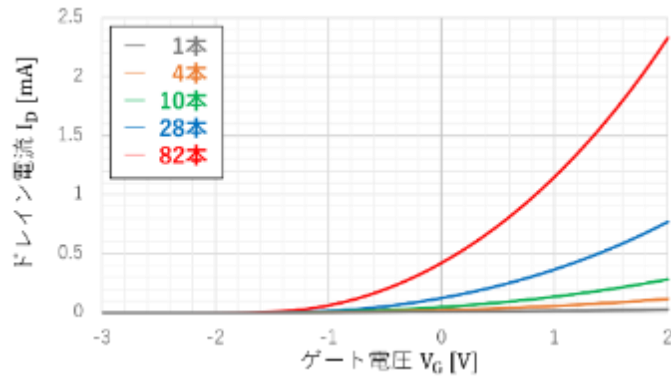
表 3. 3. 9 素子パラメータ ( $L_G=1 \mu\text{m}$ )

項目	チャンネル本数				
	1	4	10	28	82
$V_{th}$ [V]	-2.07	-2.39	-2.42	-2.43	-2.45
$I_D$ [mA] ( $V_G = 0V$ )	0.0103	0.0534	0.146	0.403	1.18
$g_m$ [mS] ( $V_G = 0V$ )	0.0107	0.0451	0.125	0.339	0.980
$I_D$ [mA] ( $V_G = 2V$ )	0.0421	0.188	0.511	1.41	4.11
$g_m$ [mS] ( $V_G = 2V$ )	0.0226	0.0885	0.191	0.640	2.02

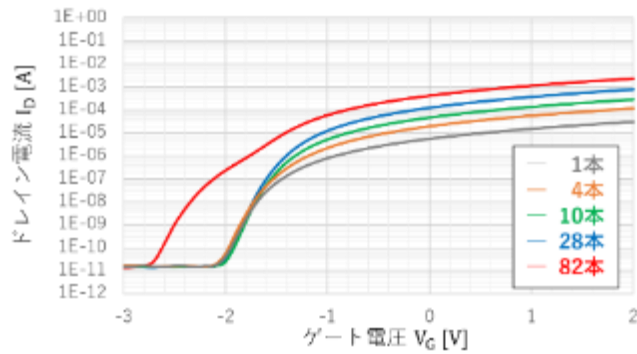




(a)  $I_D$ - $V_D$ 特性 (チャンネル数=82 本)



(b)  $I_D$ - $V_G$ 特性(リニアプロット,  $V_D=10$  V)

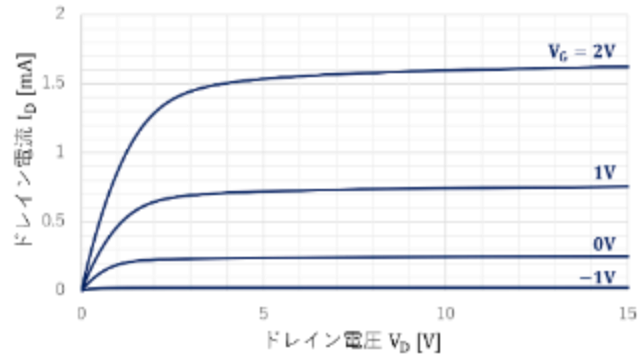


(c)  $I_D$ - $V_G$ 特性(片対数プロット,  $V_D=10$  V)

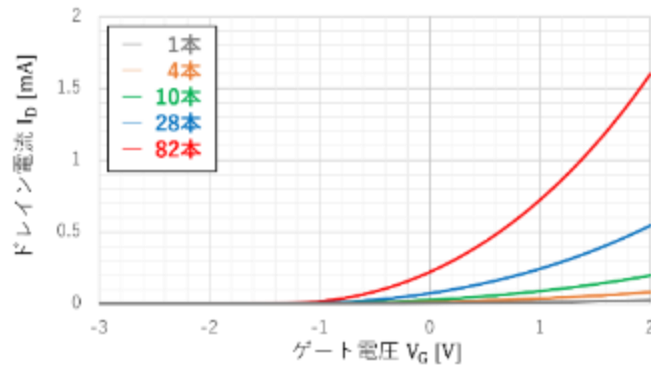
図 3. 3. 33 電流電圧特性の測定結果( $L_G=2 \mu\text{m}$ )

表 3. 3. 10 素子パラメータ ( $L_G=2 \mu\text{m}$ )

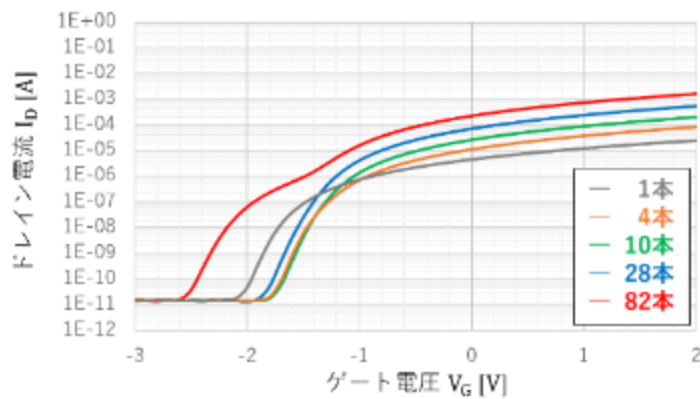
項目	チャンネル本数				
	1	4	10	28	82
$V_{th}$ [V]	-1.54	-1.43	-1.42	-1.39	-1.53
$I_D$ [mA] ( $V_G = 0V$ )	0.00558	0.0192	0.0461	0.123	0.420
$g_m$ [mS] ( $V_G = 0V$ )	0.00721	0.0275	0.0652	0.179	0.554
$I_D$ [mA] ( $V_G = 2V$ )	0.0303	0.116	0.280	0.770	2.33
$g_m$ [mS] ( $V_G = 2V$ )	0.0133	0.0722	0.168	0.488	1.41



(a)  $I_D$ - $V_D$ 特性 (チャンネル数=82 本)



(b)  $I_D$ - $V_G$ 特性(リニアプロット,  $V_D=10$  V)

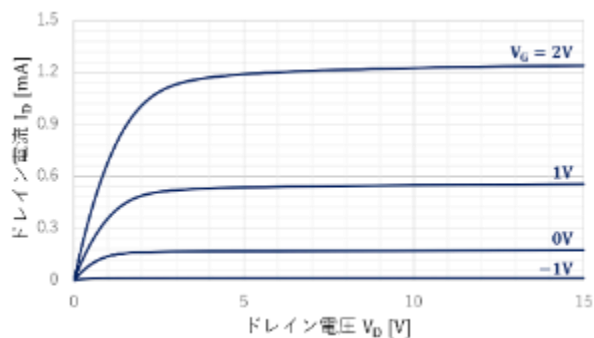


(c)  $I_D$ - $V_G$ 特性(片対数プロット,  $V_D=10$  V)

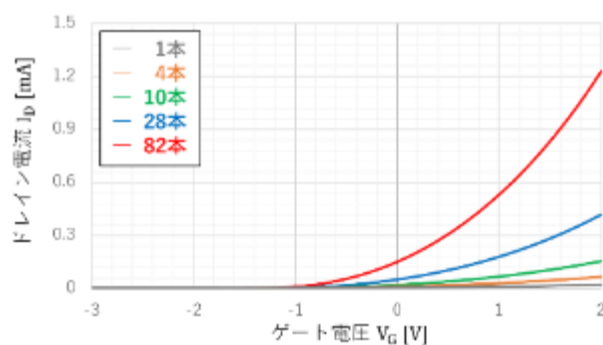
図 3. 3. 34 電流電圧特性の測定結果( $L_G=3 \mu\text{m}$ )

表 3. 3. 11 素子パラメータ ( $L_G=3 \mu\text{m}$ )

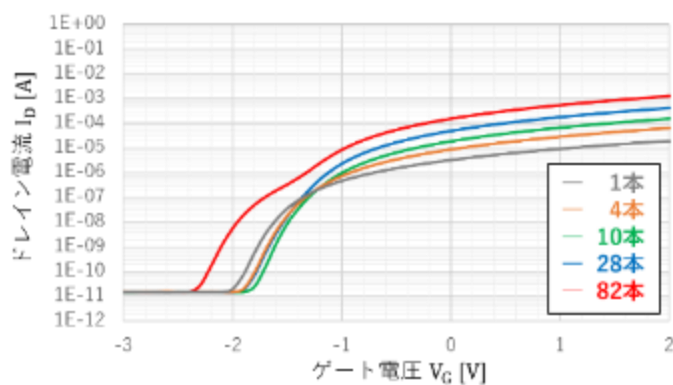
項目	チャンネル本数				
	1	4	10	28	82
$V_{th}$ [V]	-1.58	-1.24	-1.21	-1.22	-1.26
$I_D$ [mA] ( $V_G = 0\text{V}$ )	0.00444	0.0111	0.0258	0.0720	0.220
$g_m$ [mS] ( $V_G = 0\text{V}$ )	0.00564	0.0181	0.0438	0.121	0.358
$I_D$ [mA] ( $V_G = 2\text{V}$ )	0.0240	0.0816	0.196	0.544	1.60
$g_m$ [mS] ( $V_G = 2\text{V}$ )	0.0123	0.0549	0.133	0.369	1.07



(a)  $I_D$ - $V_D$ 特性 (チャンネル数=82 本)



(b)  $I_D$ - $V_G$ 特性(リニアプロット,  $V_D=10$  V)

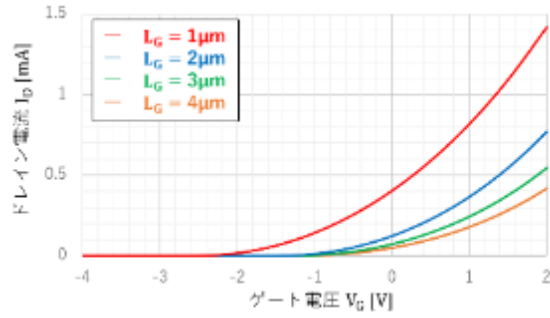


(c)  $I_D$ - $V_G$ 特性(片対数プロット,  $V_D=10$  V)

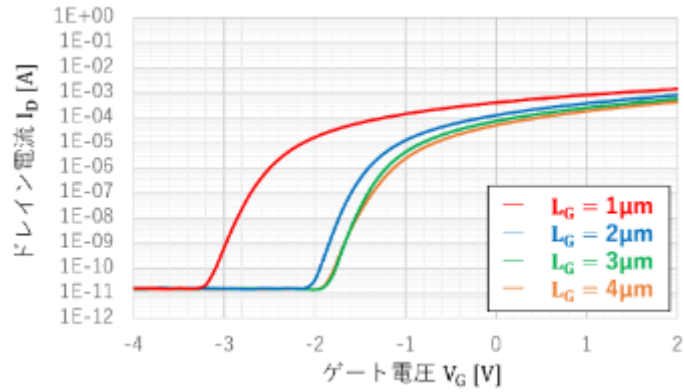
図 3. 3. 35 電流電圧特性の測定結果( $L_G=4 \mu\text{m}$ )

表 3. 3. 12 素子パラメータ ( $L_G=4 \mu\text{m}$ )

項目	チャンネル本数				
	1	4	10	28	82
$V_{th}$ [V]	-1.49	-1.27	-1.16	-1.14	-1.17
$I_D$ [mA] ( $V_G = 0V$ )	0.00322	0.00876	0.0186	0.0494	0.150
$g_m$ [mS] ( $V_G = 0V$ )	0.00435	0.0139	0.0328	0.0883	0.262
$I_D$ [mA] ( $V_G = 2V$ )	0.0186	0.0644	0.153	0.417	1.23
$g_m$ [mS] ( $V_G = 2V$ )	0.00821	0.0436	0.108	0.298	0.868



(a)  $I_D$ - $V_G$ 特性(リニアプロット)



(b)  $I_D$ - $V_G$ 特性(片対数プロット)

図 3.3.36  $I_D$ - $V_G$ 特性のゲート長依存性( $V_D=10$  V, チャンネル数=28 本)

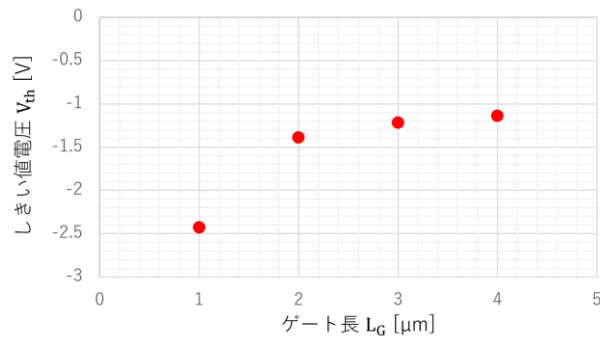


図 3.3.37 しきい値電圧のゲート長依存性( $V_D=10$  V, チャンネル数=28 本)

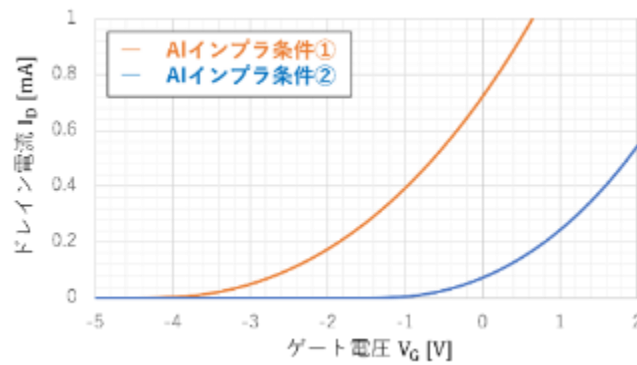


図 3.3.38  $I_D$ - $V_G$ 特性の比較( $V_D=10$  V,  $L_G=3$   $\mu$ m, チャンネル数=28 本)

試作した JFET の電流電圧特性の温度依存性を以下に示す。温度設定は半導体パラメータアナライザ (HP4156C, Agilent 社製) に付属のリモートコントローラーによって実施した。リモートコントローラーで温度を設定した際、リモートコントローラーに表示される温度と素子を置くステージの温度は僅かに異なる。そのため、リモートコントローラーで温度設定を行った後にデジタル温度計でステージ温度を測定し、温度校正を行った上で温度依存性の測定を実施した。

図 3.3.39 に A1 インプラ条件②の素子における  $I_D$ - $V_D$  特性の温度依存性を示す。温度上昇に伴い飽和電流が減少していることが確認できる。これは、チャネル領域の電子移動度の低下が原因である。4H-SiC の電子移動度  $\mu_n$  は以下の式で与えられる。

$$\mu_n(4H - SiC) = 1140 \left( \frac{T}{300} \right)^{-2.70} \quad (3)$$

式(3)より、電子移動度  $\mu_n$  は温度の上昇に伴い低下することが分かる。そして、それに付随してチャネル領域の抵抗値は増加するため飽和電流は減少したと考えられる。

図 3.3.40 インプラ条件②の素子における  $I_D$ - $V_G$  特性の温度依存性を示す。図 3.3.40(b) より、リーク電流の温度依存性は見られない。また、 $V_G = -6$  V の場合では昇温によってリーク電流は 2 桁程度しか変動しない。そのため、300°C の高温環境下においても高いオン・オフ比を示していることから、250°C 程度で動作できなくなる Si デバイスと比較して、極めて高い温度耐性を持っていると言える。

表 3.3.13 に示される通り、温度上昇に伴い、しきい値電圧は低下していることが確認できる。室温では -1.05 V であるのに対して、300°C では -2.46 V であるため、今回の測定温度範囲において 1.41 V 低下した。ここで、 $V_{th}$  が低下した要因としては、温度上昇によってビルトインポテンシャル ( $V_{bi}$ ) が減少することで、JFET の各端子に電圧を印加した際にドレイン側の空乏層幅 ( $W_D$ ) が減少するからである。ここで、JFET におけるドレイン側の空乏層幅 ( $W_D$ ) およびビルトインポテンシャル ( $V_{bi}$ ) は、以下の式で与えられる。

$$W_D = \left( \frac{2\epsilon_s \epsilon_0}{qN_D} [V_{bi} - V_G + V_D] \right)^{\frac{1}{2}} \quad (4)$$

$$V_{bi} = \frac{kT}{q} \ln \left( \frac{np}{n_i^2} \right) \quad (5)$$

ここで、 $q$  : 素電荷,  $N_D$  : ドナー濃度,  $\epsilon_s$  : SiC の誘電率,  $\epsilon_0$  : 真空の誘電率,  $k$  : ボルツマン定数,  $T$  : 温度,  $n$  : 電子濃度,  $p$  : ホール濃度,  $n_i$  : 真性キャリア密度である。

ここで、真性キャリア密度  $n_i$  は以下の式で与えられる。

$$n_i(4H - SiC) = 1.70 \times 10^{16} T^{\frac{3}{2}} \exp \left( -\frac{2.08 \times 10^4}{T} \right) \quad (6)$$

式(6)より、真性キャリア密度は温度の上昇に伴い指数関数的に増加することが見て取れる。したがって、式(5)よりビルトインポテンシャルは温度の上昇に伴い減少する。また、式(4)より、ビルトインポテンシャルが減少するとドレイン側の空乏層幅  $W_D$  は小さくなるため、チャネルを空乏層で塞ぐ際は、ゲート電圧  $V_G$  を必要以上に下げなければならない ( $V_G < 0$  V)。以上のことから、温度の上昇によってビルトインポテンシャルが下

がることで、 $V_{th}$ が低下したと考えられる。

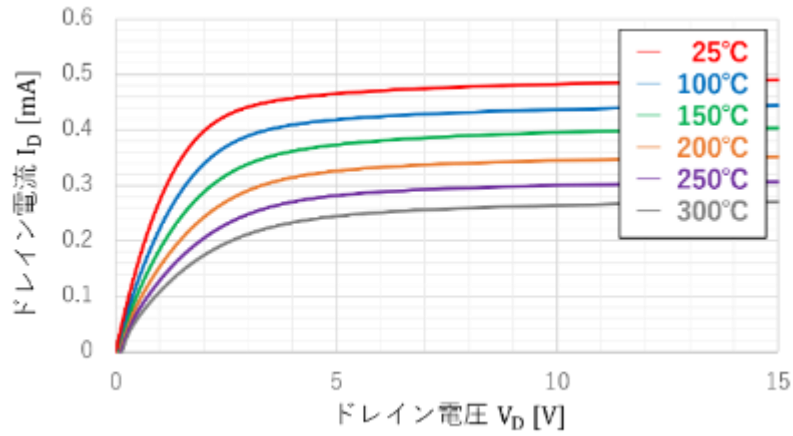
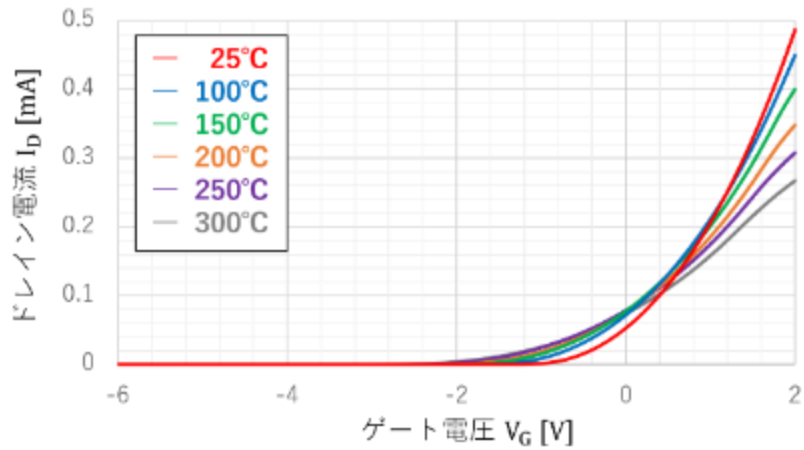
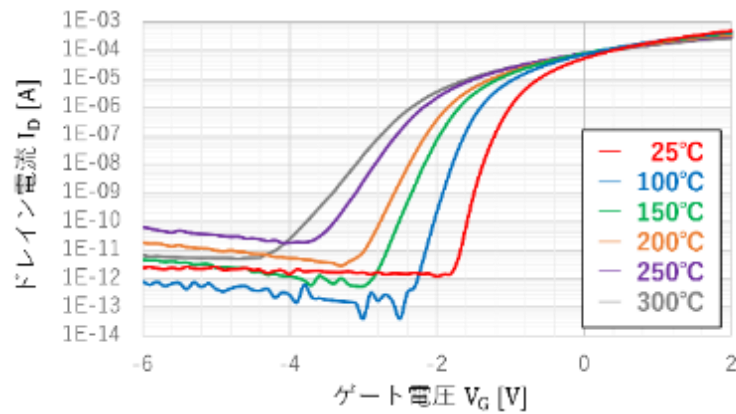


図 3.3.39  $I_D$ - $V_D$ 特性の温度依存性( $V_G=2$  V, チップ 8-D,  $L_G=3$   $\mu$ m, チャンネル=28 本)



(a) リニアプロット



(b) 片対数プロット

図 3.3.40  $I_D$ - $V_G$ 特性の温度依存性( $V_D=10$  V, チップ 8-D,  $L_G=3$   $\mu$ m, チャンネル=28 本)

表 3.3.13 温度依存性の素子パラメータ (チップ 8-D,  $L_G=3 \mu\text{m}$ , チャンネル=28 本)

項目	温度 [°C]					
	25	100	150	200	250	300
$V_{th}$ [V]	-1.05	-1.47	-1.71	-1.95	-2.25	-2.46
$I_D$ [mA] ( $V_G = 0V$ )	0.0523	0.0713	0.0770	0.0759	0.0781	0.0735
$g_m$ [mS] ( $V_G = 0V$ )	0.104	0.102	0.0930	0.0833	0.0749	0.0661
$r_d$ [M $\Omega$ ] ( $V_G = 0V$ )	9.09	3.03	2.50	10.0	1.82	2.63
$I_D$ [mA] ( $V_G = 2V$ )	0.486	0.450	0.400	0.348	0.307	0.267
$g_m$ [mS] ( $V_G = 2V$ )	0.347	0.283	0.198	0.146	0.113	0.0924
$r_d$ [M $\Omega$ ] ( $V_G = 2V$ )	0.435	0.526	0.400	0.588	0.667	0.500

また、試作した SiC-JFET 素子に放射線を照射し、電気特性の変化を評価した。図 3.3.41 に示す通り、積算線量 5.2MGy までの照射において特性の変動が小さく、しきい値の変動が 0.2V 以下であることが示され、SiC-JFET の放射線耐性が高いことが示された。

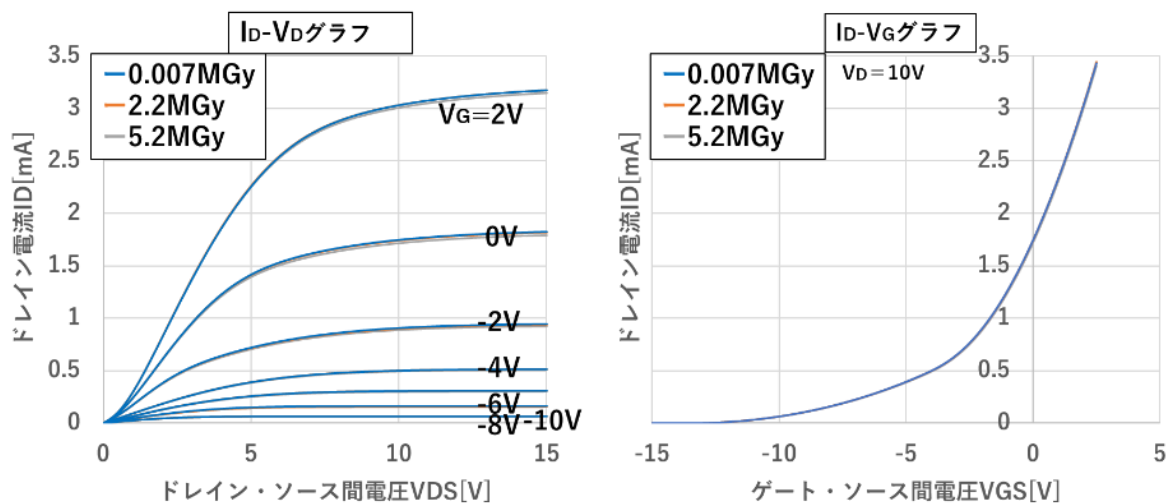


図 3.3.41 SiC-JFET の放射線照射前後における特性変化

### 3.3.3 オンウェハ IC 回路技術開発【R3-R4】

#### 【令和3年度の成果】

令和3年度には回路設計シミュレーションにより使用する能動素子および受動素子の仕様を確定した。令和2年度に試作した接合型 FET の評価を行い、設計値に対する相互コンダクタンスのバラツキおよび歩留まりを評価した。プロセス起因の欠陥を評価し、その情報をプロセスにフィードバックして歩留まりを改善した。

#### 【令和4年度の成果】

耐環境 SiC 接合型 FET を用いた検出器回路には低ノイズ化が可能な差動増幅回路やオペアンプが必要である。SiC は n 型の材料性能が高く、n 型 FET はこれまでパワーデバイス応用を中心として多くの知見があるため、p 型素子を用いずに n 型素子のみで回路設計を行うことで歩留まりの改善が可能である。なお、GaN においては p 型素子の実現が難しいため、やはり n 型素子だけの回路設計となっている。図 3.3.42 に高温動作が可能な n-ch GaN FET を用いたオペアンプの例を示す[3]。差動増幅入力を含むトランジスタ 7 素子と抵抗、およびダイオードによる回路例である。また、図 3.3.43 には E/D 構成の GaN FET を用いたオペアンプの例を示す[4]。こちらは E 型 FET が 6 素子、D 型 FET が 11 素子からなるオペアンプであり、いずれも差動入力にソースフォロアを組み込んだ回路となっている。

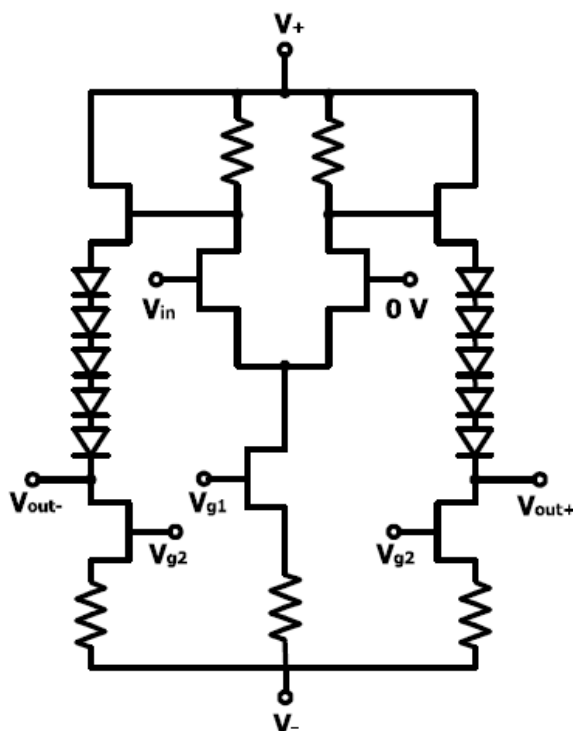


図 3.3.42 高温動作可能な耐環境型 GaN オペアンプの例[3]



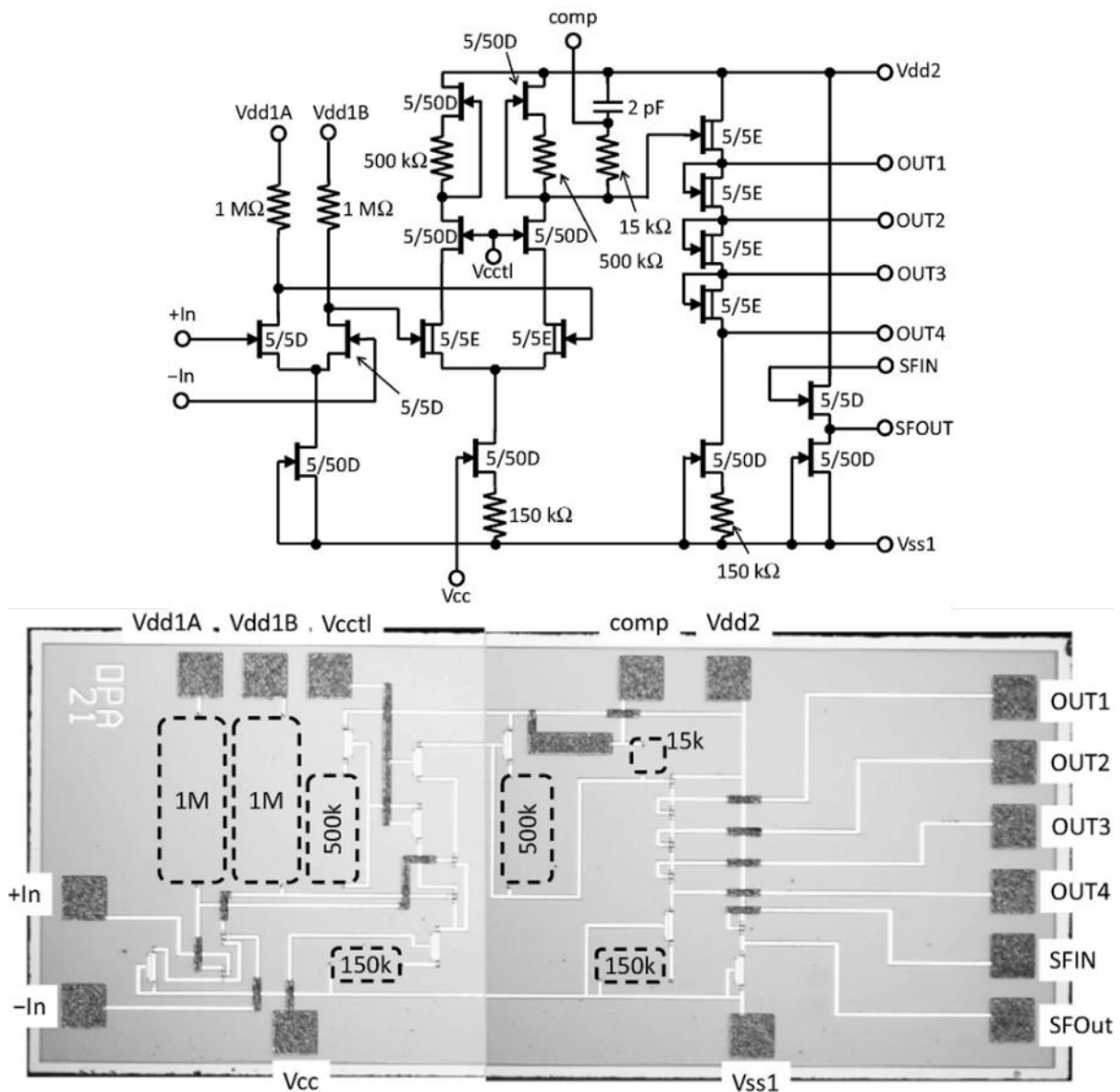


図 3.3.43 E/D 構成の GaN トランジスタを利用したオペアンプの例[4]

本研究では耐環境型 SiC 接合型 FET 素子の試作および特性評価、モデリング、回路形成と検出器回路の性能について試作と評価、解析を行った。

ノーマリオン (D 型) 接合型 FET の実特性と実特性から抽出した SPICE モデルの比較を図 3.3.44 に示す。モデルに用いたパラメータは以下である。

```
.MODEL SiC_YT01 NJF(VTO=-3.15 BETA=0.043m BETATCE=-0.5 LAMBDA=1.414E-2 RD=7.77648
RS=7.77648 CGS=2.00000p CGD=2.20000p PB=3.04 IS=1.375e-48 XTI=3 AF=1 FC=0.5 N=1 NR=2
MFG=AIST)
```

しきい値や相互コンダクタンス、出力抵抗の VTO、BETA、LAMBDA は実特性からのフィッティングで求め、容量成分である CGS、CGD はゲートの pn 接合を一次元モデルで置き換え、空乏層容量から概算して求めた。また接合部の pn 接合における拡散電位や逆飽和電流である PB、IS は理想状態における理論値より求めた。

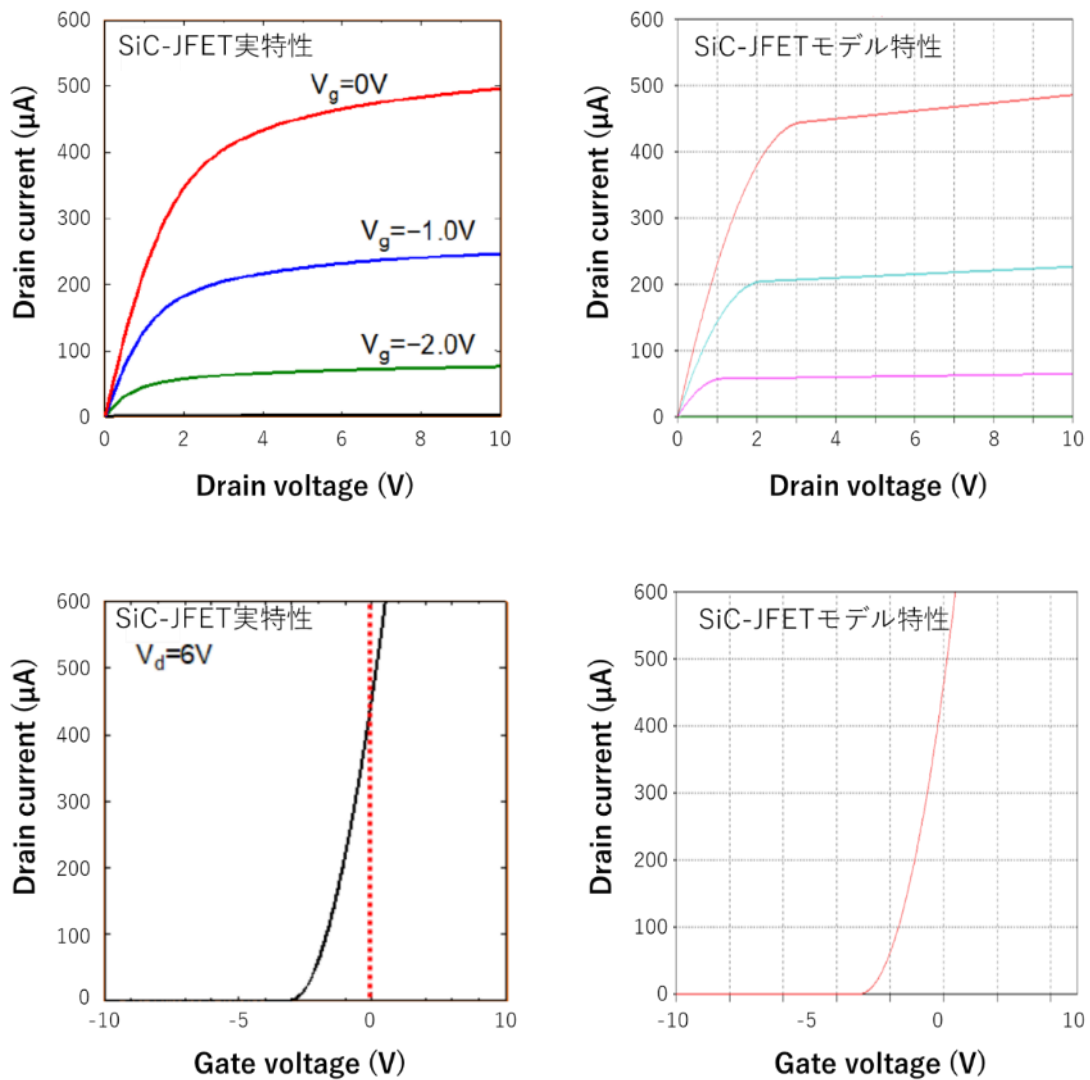


図 3. 3. 44 試作した耐環境 D 型 SiC-JFET の特性と SPICE モデル

モデル化に成功した JFET を用いて SiC-JFET を 5 素子搭載した回路をシミュレーションおよびオペアンプとして試作した。図 3. 3. 45 に回路用 SiC チップの様子とチップを利用した回路を示す。ここでは受動素子は組み込み素子を用いずに外部素子を用いた。また図 3. 3. 46 に LTSPICE によるシミュレーション結果を示す。また、図 3. 3. 47 に実際の回路の出力特性を示す。測定結果から解放ゲインは 5 程度であり、ほぼシミュレーション通りの出力が得られている。また、入力信号の周波数を変化させて出力特性を評価し、利得周波数特性を得た。シミュレーションより低周波側で利得の低下が起こっているが、測定系の寄生容量の影響によるものと考えられる。

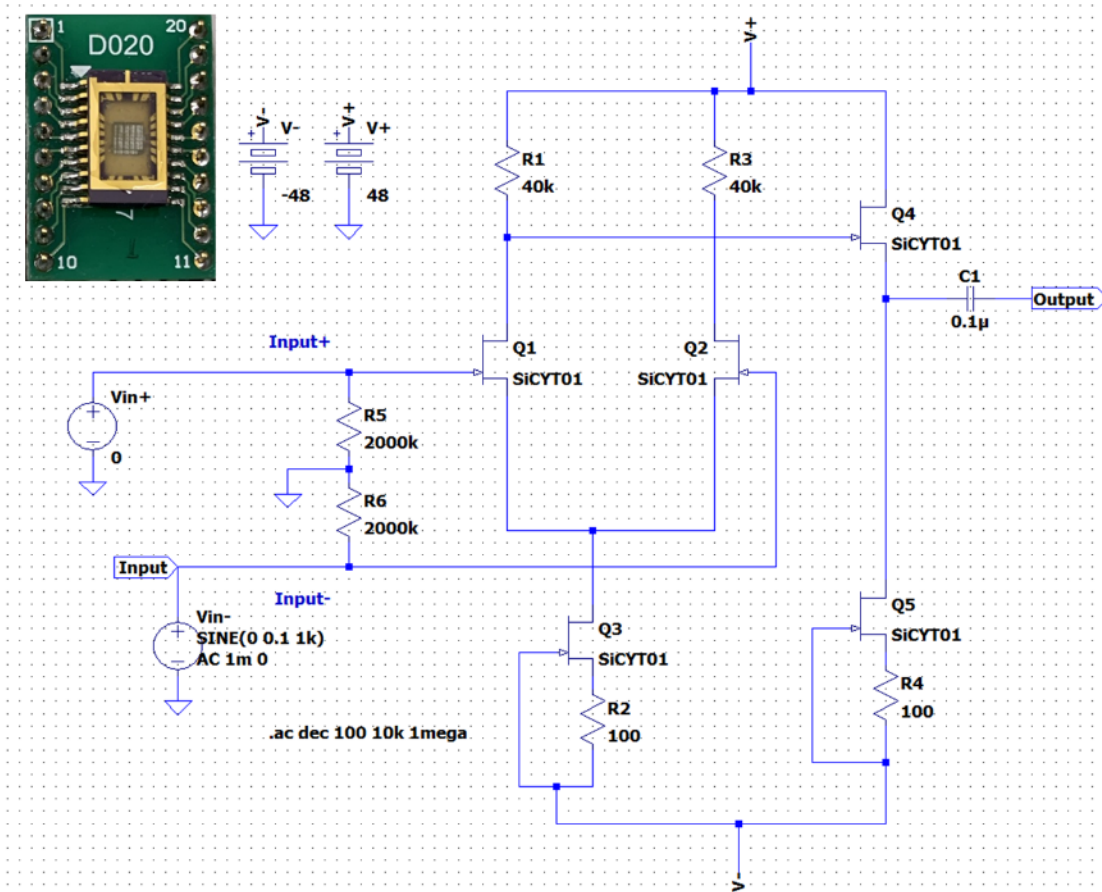


図 3. 3. 45 n 型 SiC-JFET を 5 素子組み込んだ試作 SiC チップと信号増幅回路

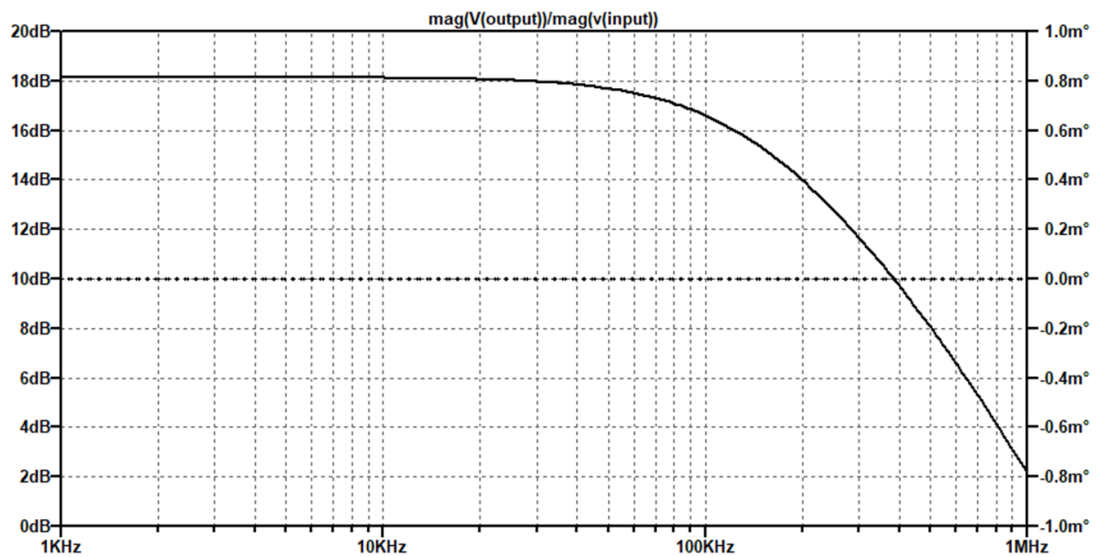


図 3. 3. 46 信号増幅回路のシミュレーション結果

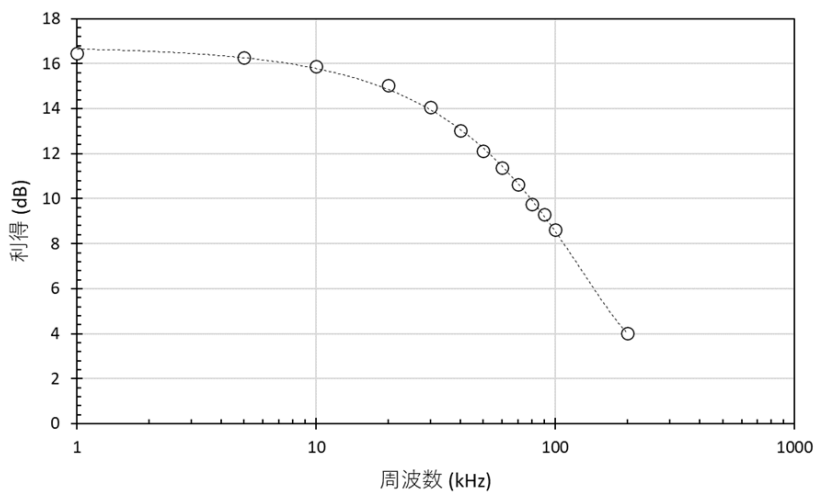
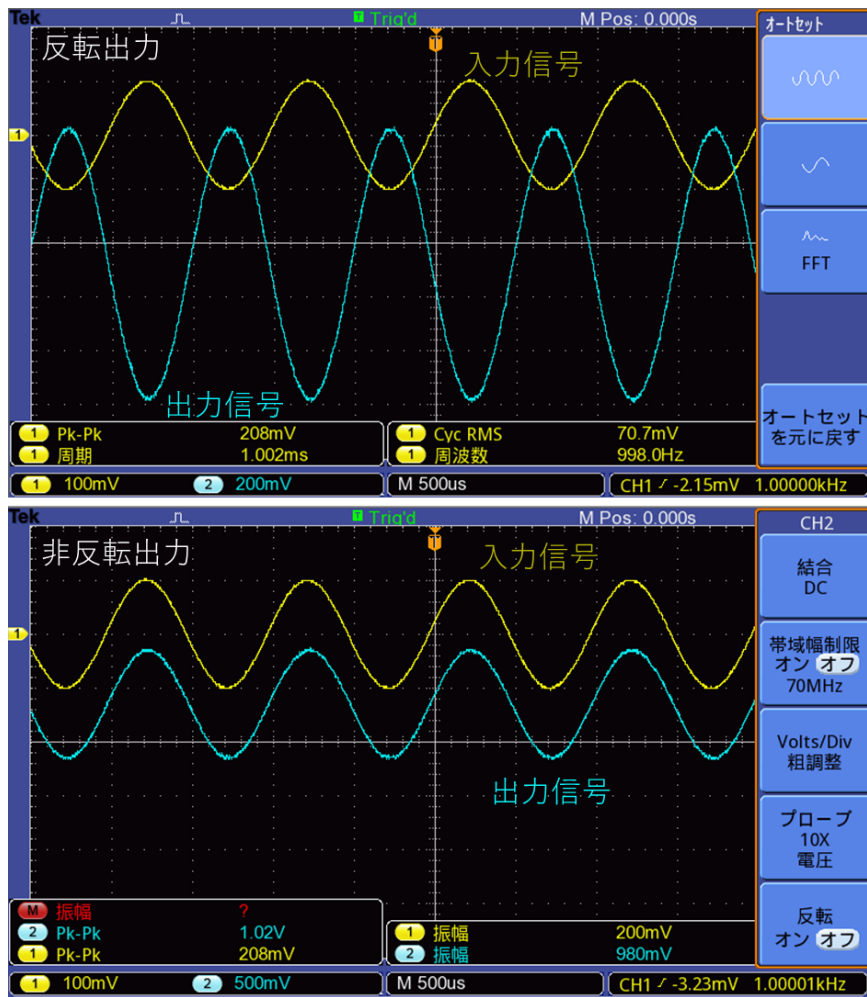


図 3. 3. 47 実際の回路の出力特性

また、同素子を多段に接続し開放ゲインの改善が可能なかを検討した。検討として、アクティブ素子には n 型 JFET のみを用いること、チップ面積の低減のためカップリングコンデンサは用いずにレベルシフトさせること、とし二段での設計を試みた。図 3. 3. 48 に二段接続での増幅回路およびシミュレーション特性を示す。

非公開：枠組みの内容は知的財産保護上の観点から公開できません。

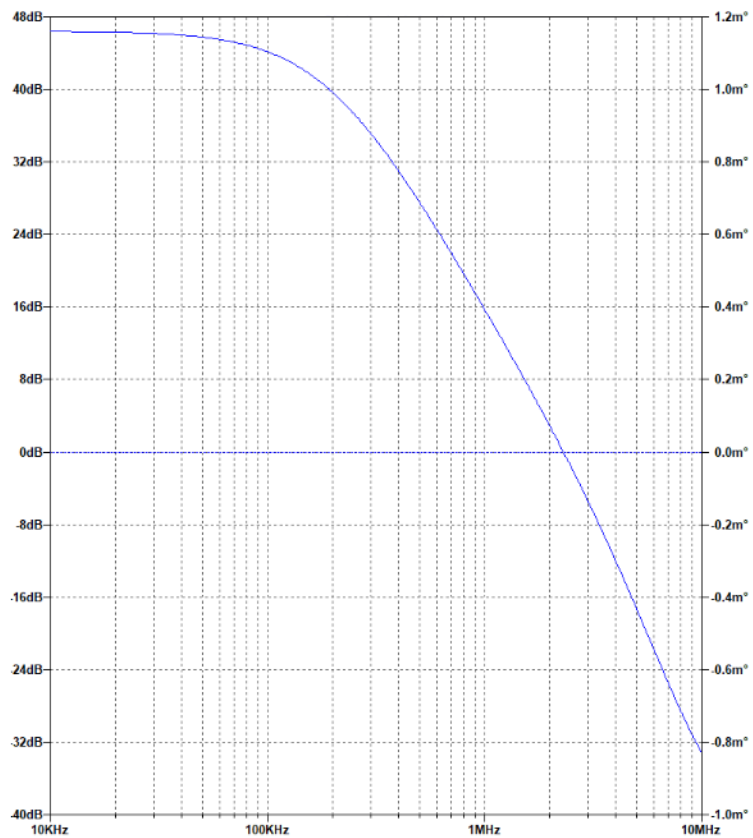


図 3. 3. 48 SiC-JFET 多段接続による増幅回路とシミュレーション特性

また、この回路を用いた検出器回路を図 3.3.49 に示す。

非公開：枠組みの内容は知的財産保護上の観点から公開できません。

また、SiC-JFET の周波数特性を評価するため、素子の入力容量  $C_{iss}$  を評価した。素子の周波数性能、特に電流利得遮断周波数 ( $f_T$ ) はゲート・ソース間容量  $C_{gs}$  と相互コンダクタンス  $g_m$  を用いて以下の式で求まる。

$$f_T = \frac{g_m}{2\pi C_{gs}}$$

なお、入りに寄生容量  $C_p$  が付加された場合は、

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_p)}$$

で表される。Ciss はソース・ゲート間の容量 Cgs に加えてゲート・ドレイン間容量が加味された容量であり、さらに寄生容量も測定に含まれるため、Ciss を用いた解析が最もアンダーエスティメイトであり、これ以上の周波数性能が担保されるといえる。

試作した素子の断面構造模式図を図 3.3.50 に示す。ゲート幅は 18、72、216 $\mu\text{m}$  とし、素子分離方式を(1)トレンチ構造、(2)Al イオン注入による構造の 2 つとして比較した。

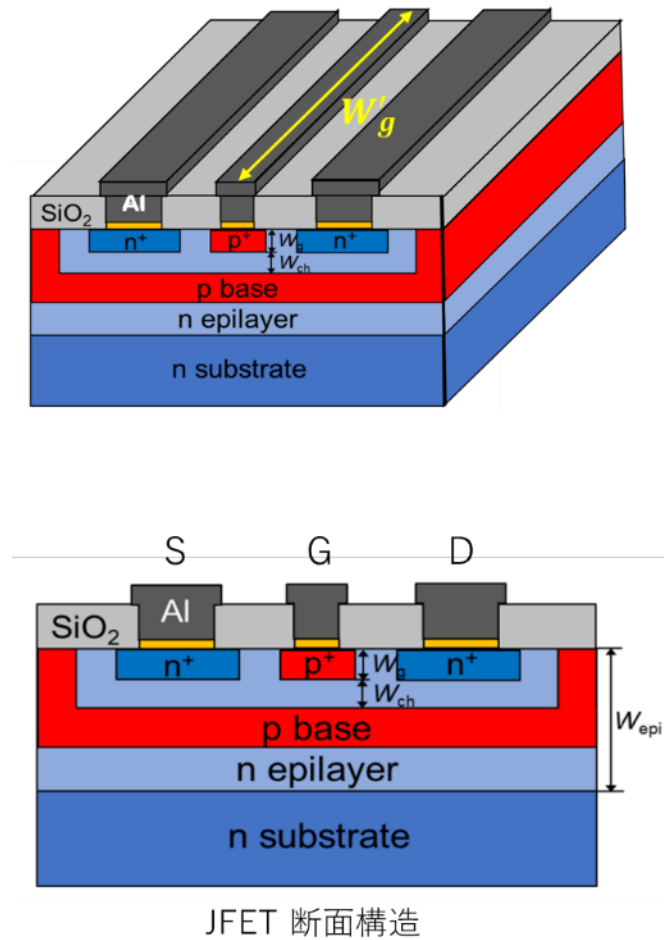


図 3.3.50 試作・評価した JFET の断面構造

試作した SiC-JFET の電流電圧特性を図 3.3.51 に示す。

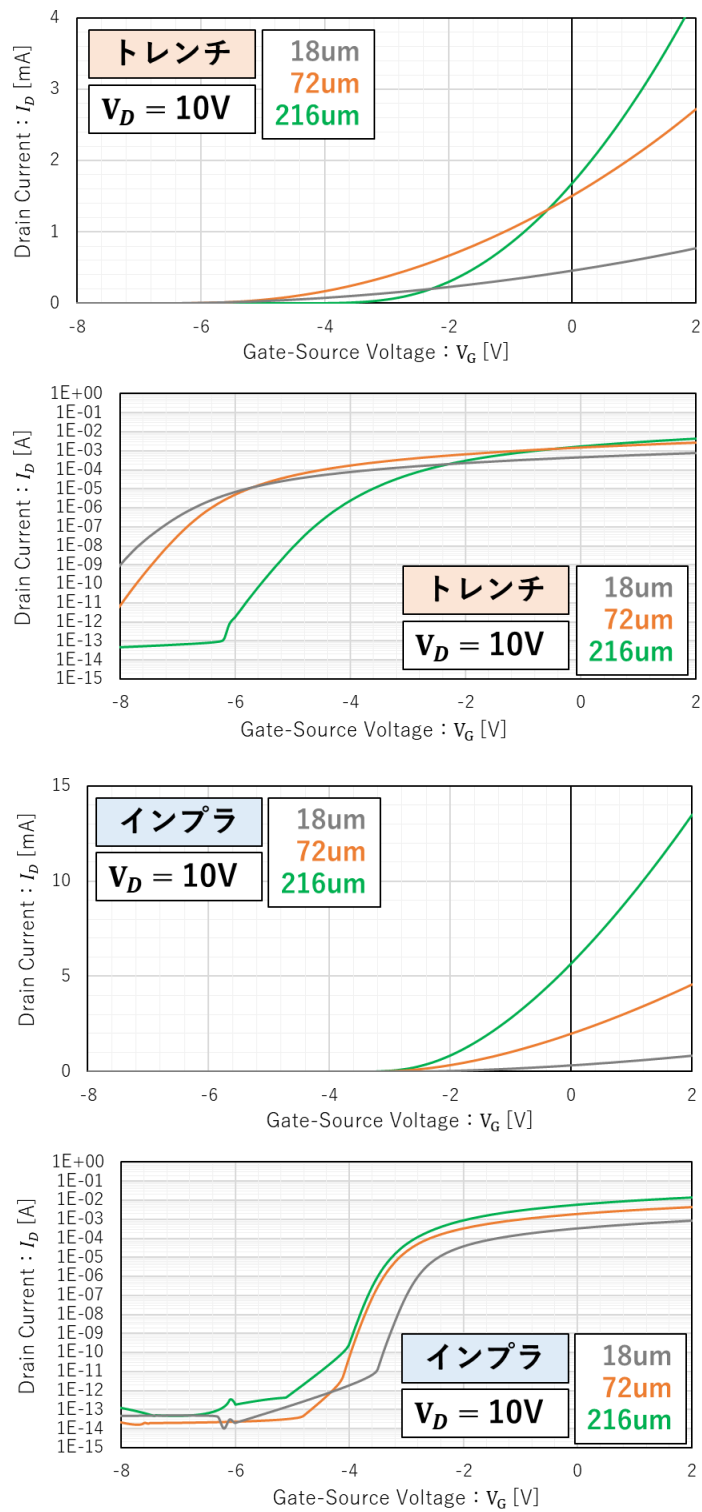


図 3.3.51 トレンチおよびインプラ構造による SiC-JFET の電流電圧特性

また、 $C_{iss}$  の  $V_d$  依存性を図 3.3.52 に示す。



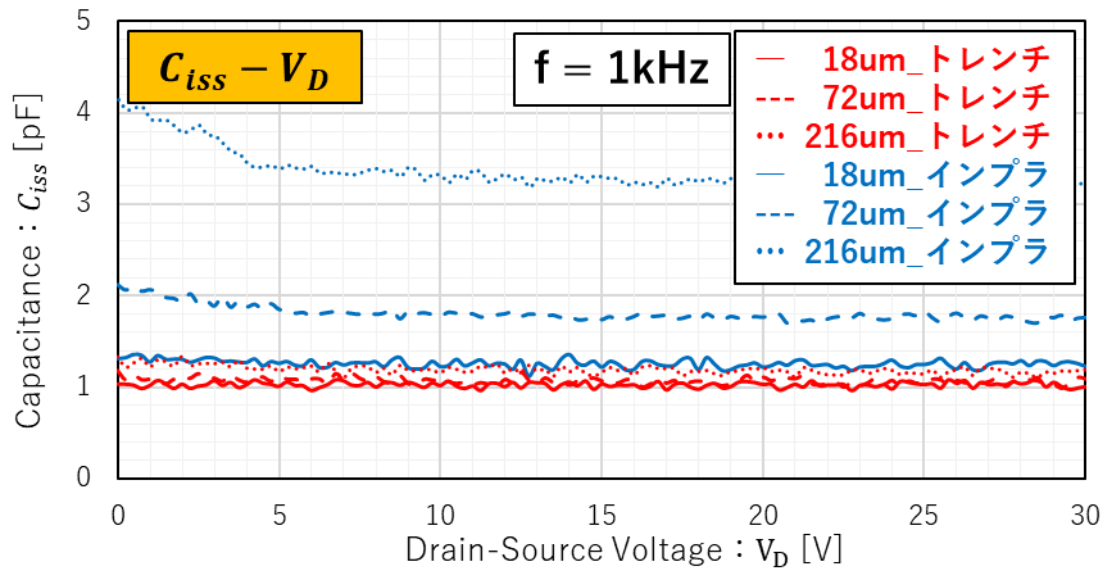


図 3.3.52 入力容量  $C_{iss}$  のドレイン電圧  $V_D$  依存性

図 3.3.53 に SiC-JFET の相互コンダクタンス  $g_m$  および入力容量  $C_{iss}$  のゲート幅依存性を示す。

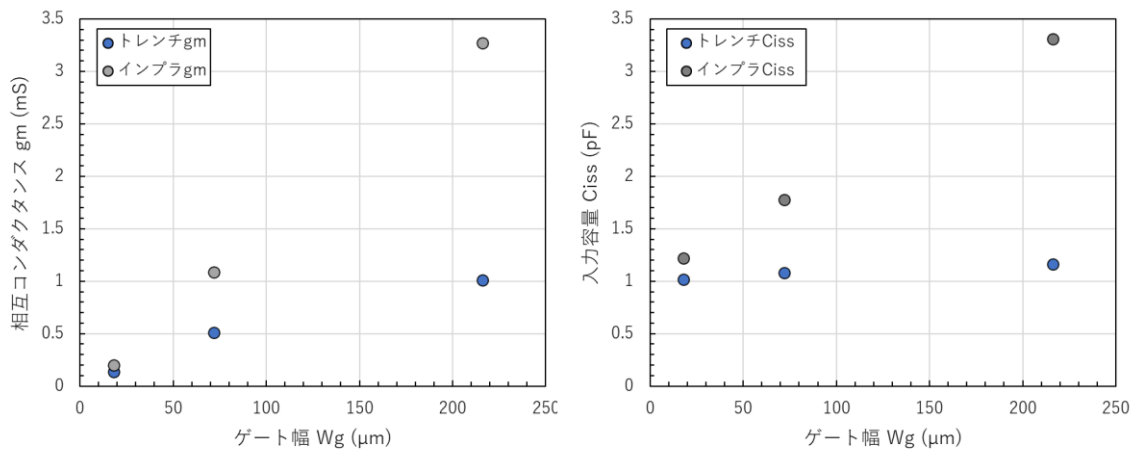


図 3.3.53 SiC-JFET の相互コンダクタンス  $g_m$  および入力容量  $C_{iss}$  のゲート幅依存性

$C_{iss}$  はゲート・ドレイン間容量  $C_{gd}$  を含むため、ドレイン電圧  $V_D$  の増加に伴い減少するはずであるが、(1) ドレイン電圧  $V_D$  にほぼ依存しない、(2) インプラ構造による容量が総じて大きい、(3) ゲート幅に比例していない、などの傾向がみられている。これは寄生容量成分が入力容量に大きく影響している可能性やインプラによる p 型層とソース間で、大きな寄生容量が発生している可能性、などが示唆される。なお、 $C_{iss}$  と  $g_m$  から求まる電流利得遮断周波数  $f_T$  のゲート幅依存性を図 3.3.54 に示す。

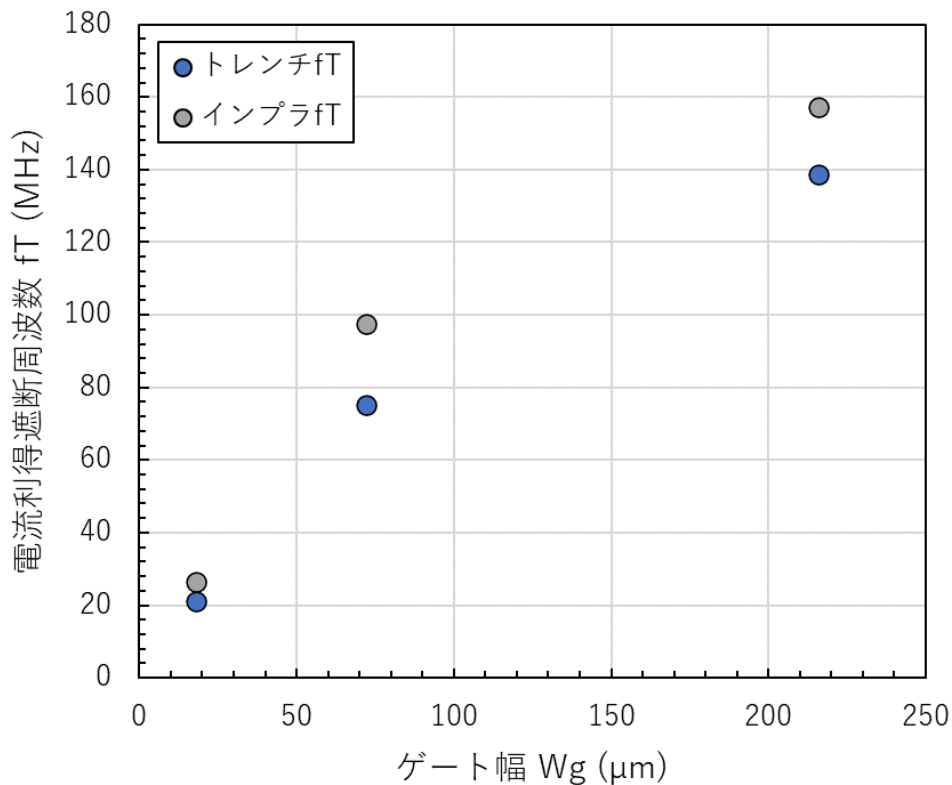


図 3.3.54 SiC-JFET における電流利得遮断周波数  $f_T$  のゲート幅依存性

ゲート幅の増加に伴い相互コンダクタンスは増加するが、寄生容量成分はゲート幅に依存せずにはほぼ固定となったため、大きなゲート幅で電流利得が増加する傾向にあり、ゲート幅  $218\mu\text{m}$  で  $f_T$  が  $100\text{MHz}$  を超えている。

#### 参考文献

##### 参考文献

- (1) J. E. Gover and J. R. Srour, "Basic Radiation Effects in Nuclear Power Electronics Technology," Technical report on Short Course on Radiation Effects in Microelectronics, SAND85-0776(1986).
- (2) A. Takeyama, K. Shimizu, T. Makino, Y. Yamazaki, S. Kuroki, Y. Tanaka and T. Ohshima, "Radiation Hardness of 4H-SiC JFETs in MGy Dose Ranges,"

Materials Science Forum **1004**, pp.1109-1114(2020).

- (3) Y. Hibi, H. Matsuo, H. Ikeda, M. Fujiwara, L. Kang, J. Chen and P. Wu, *Cryogenics* **73**, 8-13 (2016).
- (4) K. Nomoto, K. Hasegawa and T. Nakamura, *Phys. Stat. Sol. (c)* **7**, 1952-1954 (2010).
- (5) A. Takeyama, etc, "Threshold voltage instability and hysteresis in gamma-rays irradiated 4H-SiC junction field effect transistors", *Journal of applied physics*, Volume **131**, Issue 24(2022), 244503

### 3.4 高温用電子部品の開発と耐放射線性試験（再委託先：北海道大学）

#### 3.4.1 高温用受動素子の開発【R2-R4】

##### 【令和2年度及び令和3年度の成果】

令和2年度にはキャパシタ、抵抗製作試料の入手と製作準備を進めた。(2)①で整備するALD装置を使用したキャパシタの試作準備を進めた。溶射法で製作された薄膜試料に関し次年度の供給に関して産総研・つくばセンターと協議した。

令和3年度には高温動作が可能なキャパシタ、抵抗の試作と高温動作特性評価を行った。

##### 【令和4年度の成果】

過酷事故に耐えうる耐環境型エレクトロニクス、特に放射線検出器用回路にはトランジスタのみならず抵抗やキャパシタにおいても耐環境性能を持つ必要がある。現状、過酷事故環境（5MGy、300℃）を耐える受動素子はなく、独自に開発する必要がある。本研究では、抵抗、キャパシタを自作し、作製した素子に対し加熱、X線照射を行って耐環境性能を評価した。

抵抗に関しては、令和3年度において良好な結果が得られたコンスタンタン（CuNi）に対し、パッシベーション層を追加し、300℃以上の不活性ガス中での動作確認に加え5MGyまでのX線照射試験を行った。

キャパシタに関しては、令和3年度に良好な成果が得られたアルミナを材料にエアロゾルデポジション(AD)法、原子層堆積(ALD)法を使用してキャパシタを作製し、不活性ガス中300℃以上の環境で評価した。また作製したAD法、ALD法キャパシタに対し5MGyまでのX線照射試験を行ない、評価を行った。

抵抗作製にはRFスパッタ装置、キャパシタ作製にはAD法装置またはALD装置を使用した。高温試験には真空置換電気炉（フルテック FT-01VAC-50）を使用し、不活性ガス中で試料を加熱した。X線照射試験にはX線照射装置（リガク CN4037B3）を使いX線を照射した。

##### 3.4.1.1 抵抗

前年度高温動作試験において良好な結果が得られたCuNiを使用して抵抗を作製した。前年度のX線照射試験において抵抗表面がむき出しでは耐放射線性に乏しいという結果が得られたため、表面にアルミナによるパッシベーション層を設けたCuNi抵抗を作製し、不活性ガス中（base：Ar, 4.8%・H<sub>2</sub>）における高温動作試験を行った。（図3.4.1）

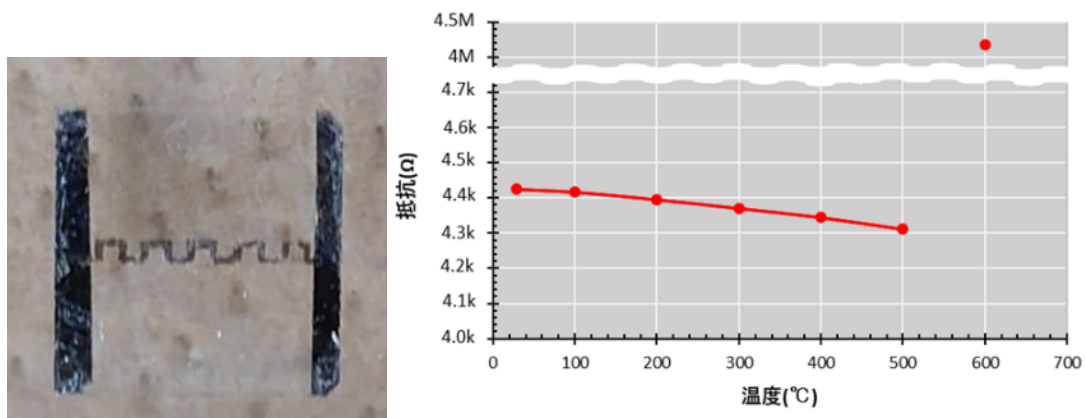


図 3.4.1 作製したCuNi抵抗（左）と高温動作特性（右）

図 3.4.1 より室温から 300℃までの変化率は 1.22%、室温から 500℃までの変化率は 2.56%であった。その後 500℃から 600℃にかけて抵抗値が急激に上昇し、抵抗の破損が確認された。

また同様の製法で CuNi 抵抗を作製し、室温から 500℃までの熱サイクルにおける抵抗値の測定を行ったところ（図 3.4.2）、室温～400℃間の抵抗値の変化は可逆変化、400℃～500℃間の抵抗値の変化は不可逆変化が確認できた。

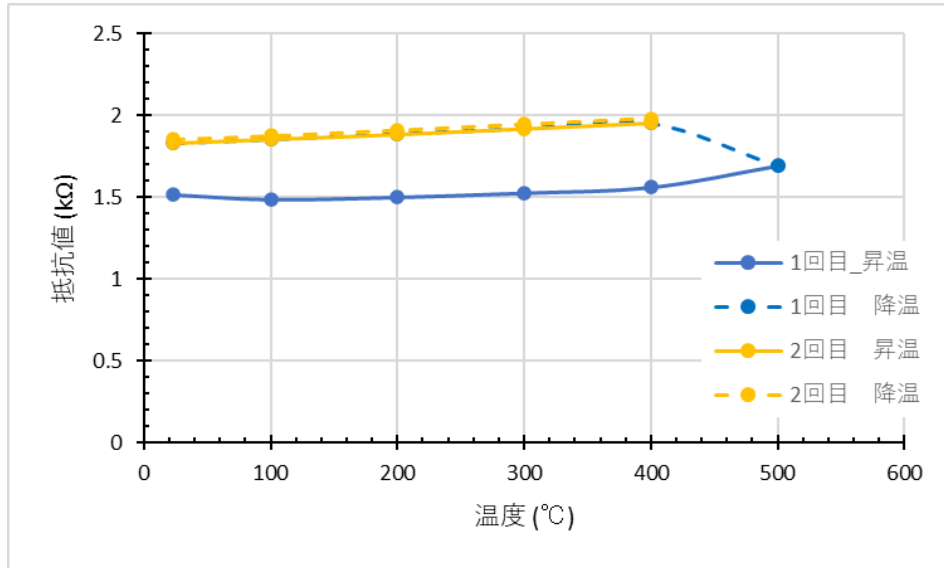


図 3.4.2 室温から 500℃までの熱サイクルにおける抵抗値の変化  
(実線：昇温過程、破線：降温過程)

この結果より X 線照射試験では任意の積算線量ごとに X 線照射を中断し、前述した高温動作試験を室温から 400℃にかけて行った。図 3.4.3 より、積算線量が 1MGy を超えると急激な抵抗値の上昇が確認された。また、図 3.4.4 より積算線量が 5MGy を超えたとき、抵抗値は 1MΩ を超え、昇温過程と降温過程での変化に類似性が見られなくなった。

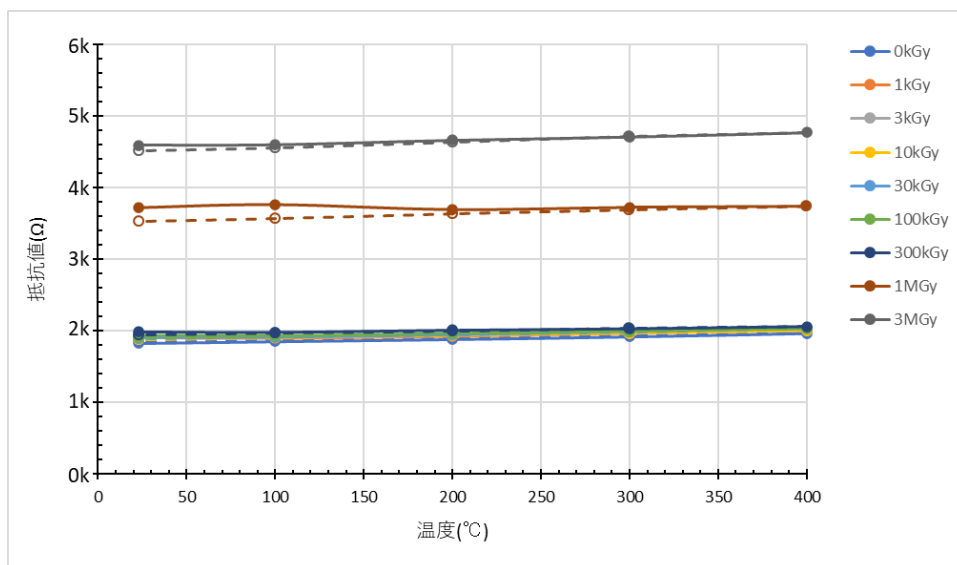


図 3.4.3 積算線量ごとの高温動作特性（積算線量 0kGy～3MGy）  
(実線：昇温過程、点線：降温過程)

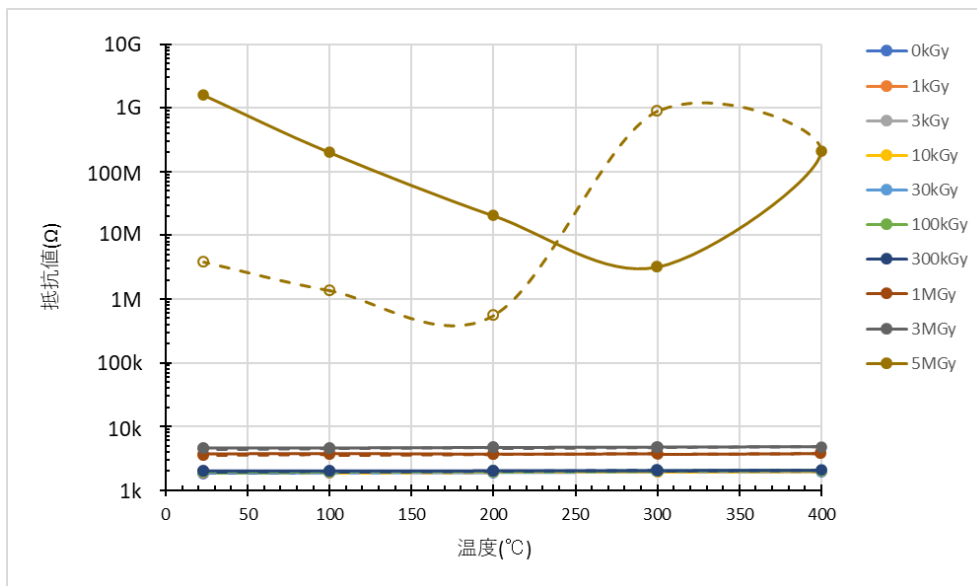


図 3.4.4 積算線量ごと的高温動作特性 (積算線量 0kGy~5MGy)

(実線：昇温過程、点線：降温過程)

### 3.4.1.2 キャパシタ

令和3年度に良好な結果が得られたアルミナを使用し、アルミナキャパシタをAD法、ALD法を使用して作製した。

令和3年度に作製したALDアルミナキャパシタはアルミナを成膜する基板の粗さにより、成膜したアルミナ膜が十分な絶縁性を持つことができず、電極同士で導通が発生してしまった。そのため、令和4年度は鏡面仕上げを行ったP型シリコン基板上に成膜を行った。

作製したアルミナキャパシタに対し、不活性ガス中で高温動作試験を行った。この際、AD法アルミナキャパシタは室温から500°Cまでの周波数特性、ALD法アルミナキャパシタは室温から300°Cまでの周波数特性を測定した。(図3.4.5、図3.4.6) 300°Cまでの高温動作特性はALDアルミナキャパシタの方がAD法で作製したアルミナキャパシタよりも比較的安定であったが、ALD法アルミナキャパシタは500kHz以上の高周波で容量が不安定になった。

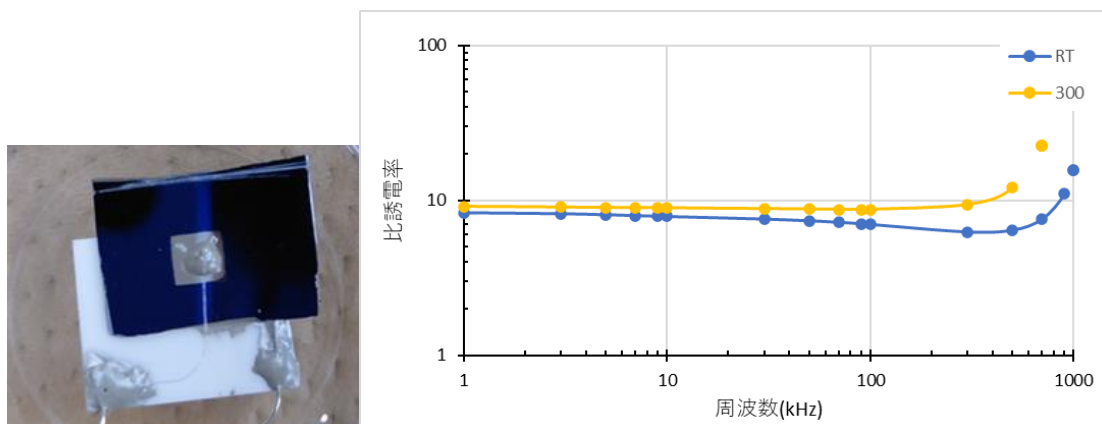


図 3.4.5 作製したALD法アルミナキャパシタの写真(左)と周波数特性(右)

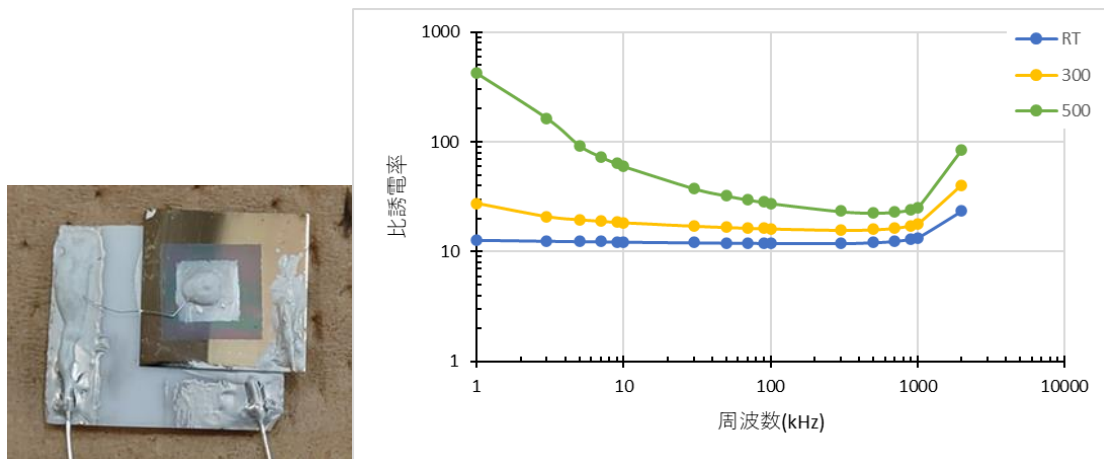
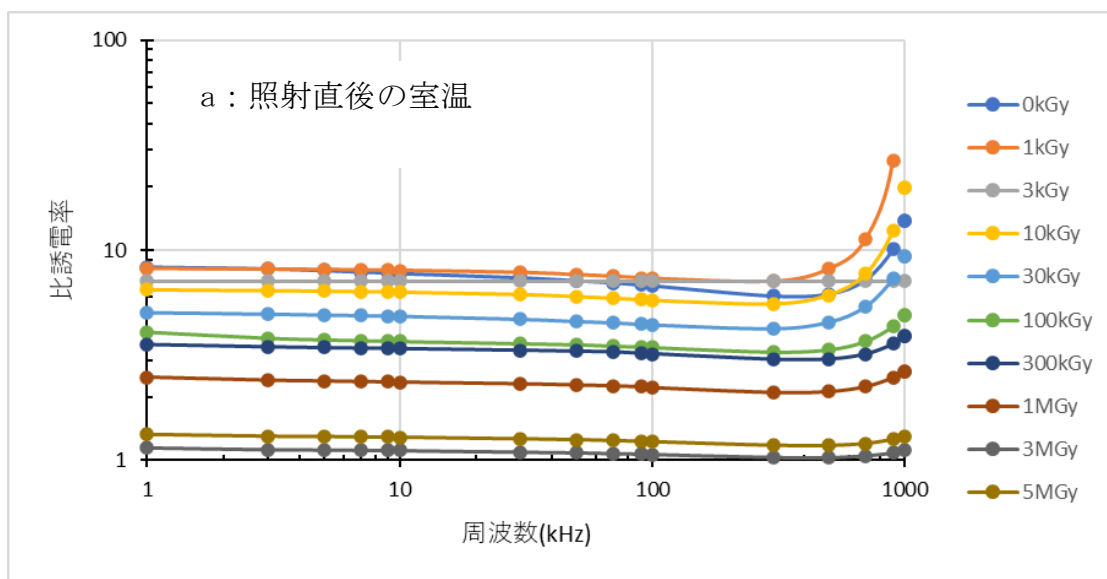


図 3.4.6 作製した AD 法アルミナキャパシタの写真 (左) と周波数特性 (右)

作製したアルミナキャパシタに対し、抵抗と同様の X 線照射試験を行った。

ALD 法アルミナに対し X 線を照射したところ積算線量に対しキャパシタの比誘電率が反比例する傾向が見られた。(図 3.4.7a) その後加熱試験を行ったところ 200°Cを超えたあたりで比誘電率の回復が観察されるようになり、300°Cで完全に比誘電率が回復した。(図 3.7.7b) 加熱による比誘電率の回復が発生すると、その後温度を室温に戻しても比誘電率が低下することはなかった。(図 3.4.7c)



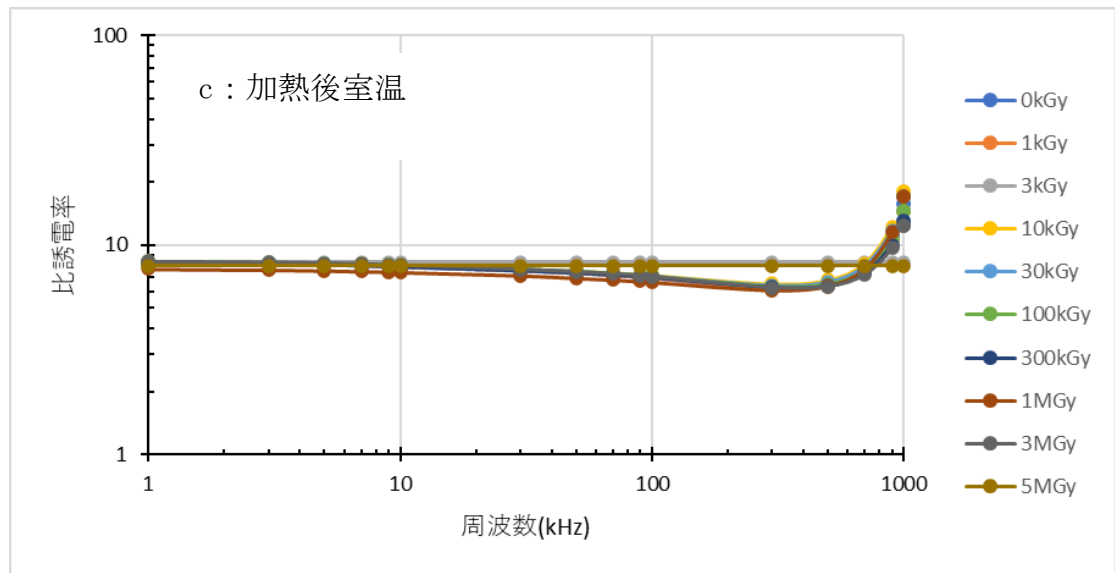
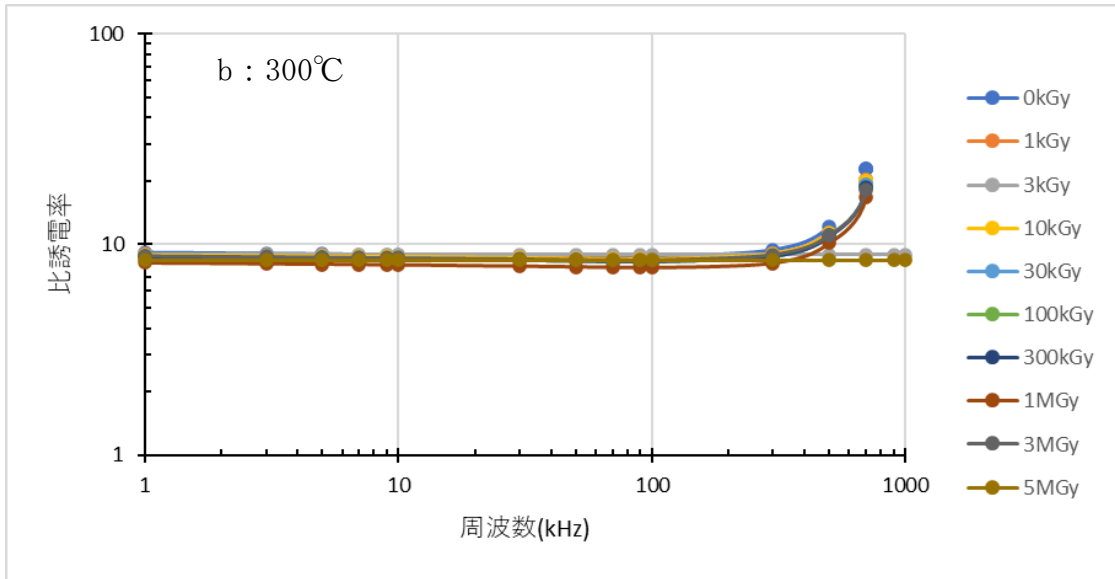


図 3.4.7 ALD アルミナキャパシタの積算線量ごとの周波数特性  
 (a : 照射直後の室温、b : 温度 300°C、c : 加熱後室温)



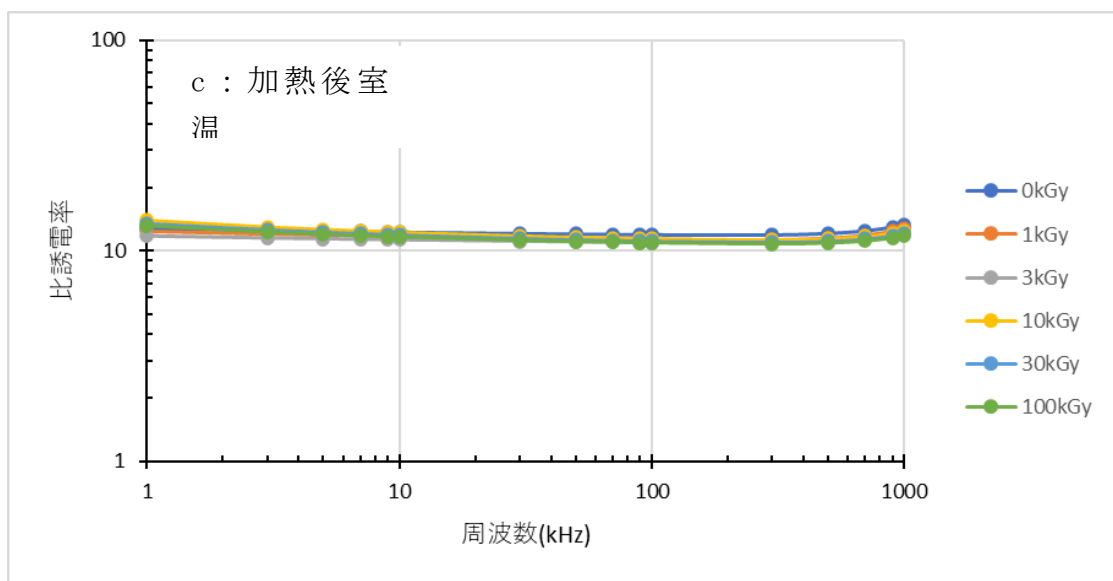
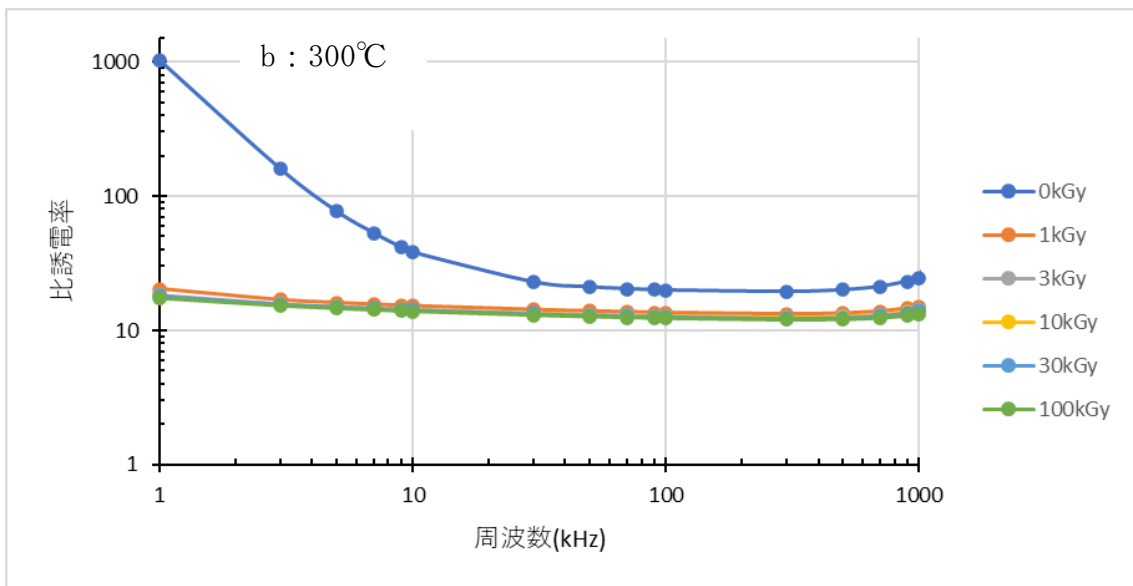
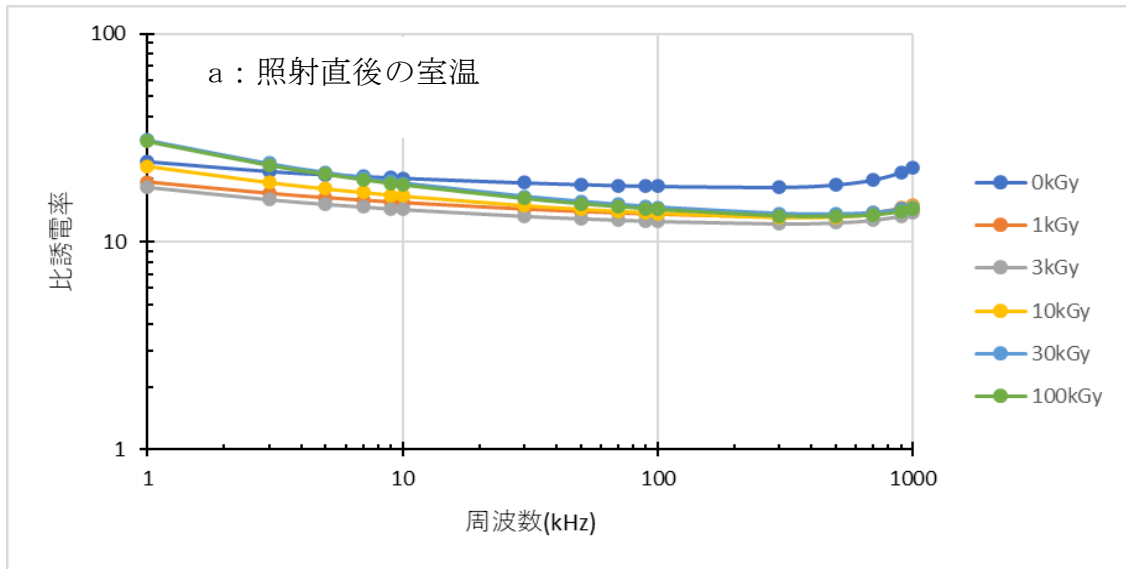


図 3.4.8 AD アルミナキャパシタの積算線量ごとの周波数特性  
(a : 照射直後の室温、b : 温度 300°C、c : 加熱後室温)

AD 法アルミナキャパシタに対し X 線照射を行ったところ積算線量が増えるごとに高周波側で比誘電率の低下、低周波側で比誘電率の上昇が観察された。(図 3.4.8a) 加熱を行うと、積算線量ごとの変化が小さくなった、(図 3.4.8b) 加熱後は室温に戻しても比誘電率は一定になった。(図 3.4.8c)

100kGy 照射後実験とは関係の無い要因で AD 法アルミナキャパシタが破損した。そこで改めて AD 法アルミナキャパシタを作製した。図 3.4.9 より、再び作製したキャパシタは前回作製した試料と特性が異なり周波数 1MHz 周辺で温度安定性が確認できた。この結果から 5MGy まで照射し、周波数 1MHz における高温動作特性について測定した。(図 3.4.10, 3.4.11) 照射した AD 法アルミナキャパシタは積算線量 1MGy までは比較的安定した挙動を示すが、3MGy 以降は容量が不安定になり、正確な測定ができなかった。これらから AD 法アルミナキャパシタは 1MGy までの耐放射線性を示した。

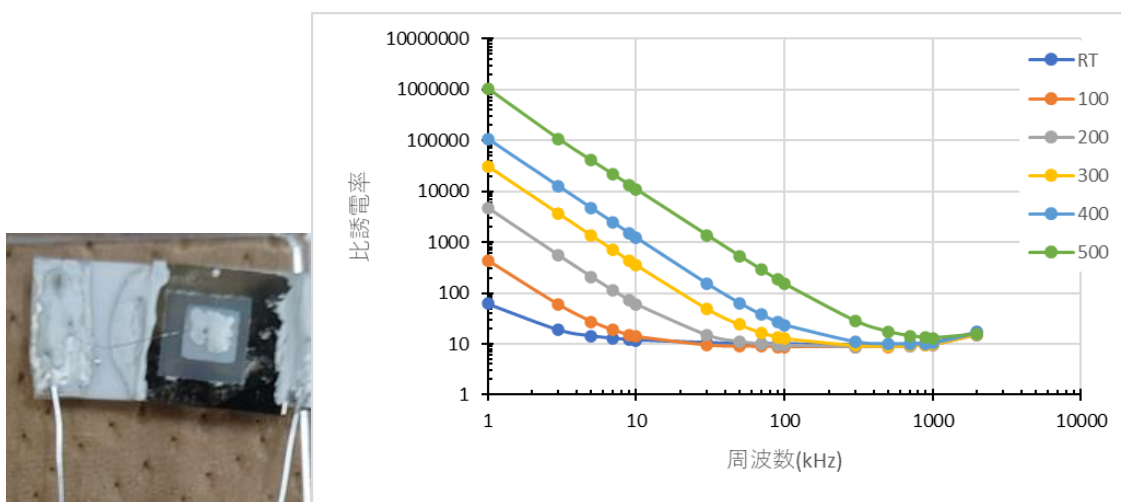


図 3.4.9 再び作製した AD 法アルミナキャパシタの写真 (左) と高温動作特性 (右)

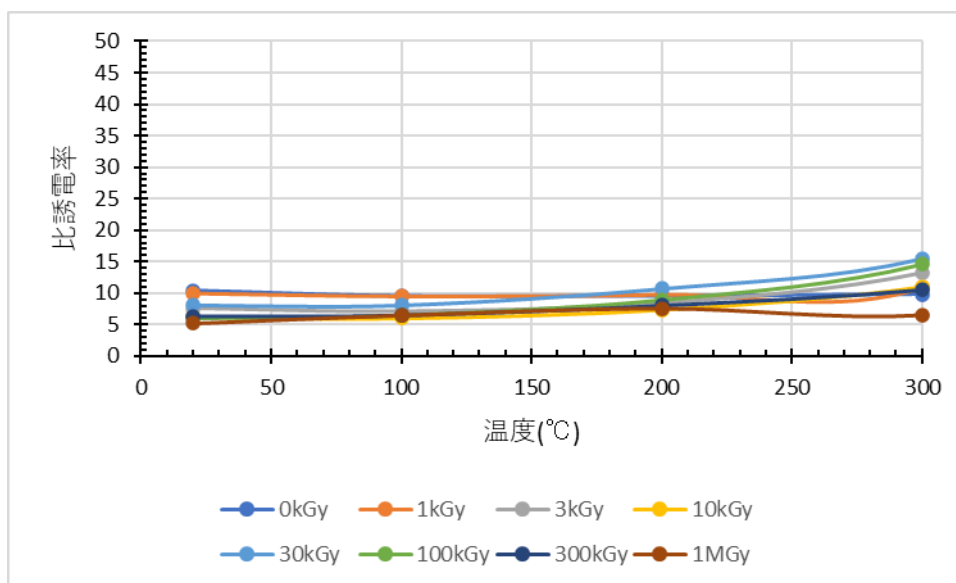


図 3.4.10 周波数 1MHz における積算線量ごとの高温動作特性 (1kGy~1MGy)

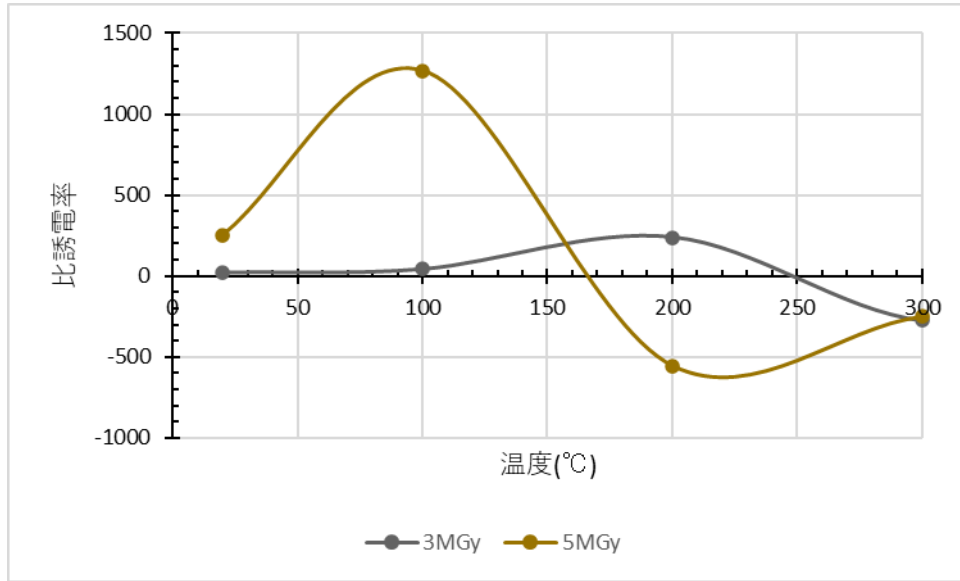


図 3.4.11 周波数 1MHz における積算線量ごとの高温動作特性 (3MGy, 5MGy)

### 3.4.2 耐環境試験【R2-R4】

#### 【令和2年度及び令和3年度の成果】

令和2年度には業務(4)①にて形成した絶縁膜に対して放射線照射を行い、材料品質の劣化を調査した。膜厚や膜質に対する放射線耐性の相関を得た。またX線照射装置の照射場を整備した。

令和3年度には試作したキャパシタ、抵抗にX線照射を行った。令和2年度に試作した表面伝導型ダイヤモンドFET、バルク伝導型ダイヤモンドFETに10MGyのX線照射を行い、性能劣化の有無を評価した。特にリーク電流、移動度の変化に着目した。

#### 【令和4年度の成果】

成果の速やかな社会実装を実現するため、表面伝導型ダイヤモンドFETやバルク伝導型ダイヤモンドFETを使用した増幅回路が検出器信号に対して動作可能であるかの検証を行った。本研究では表面伝導型ダイヤモンドFET、バルク伝導型ダイヤモンドFETを用いた回路設計に対し、外部評価委員との協議を重ね、疑似信号による特性評価で回路が実現可能かどうかを検証し、さらに回路の改良を行うことで検出器システムとしての利用可能性を検討した。

図3.4.12に、これまでの原子カシステム研究開発事業[1]において行った検討回路を示す。

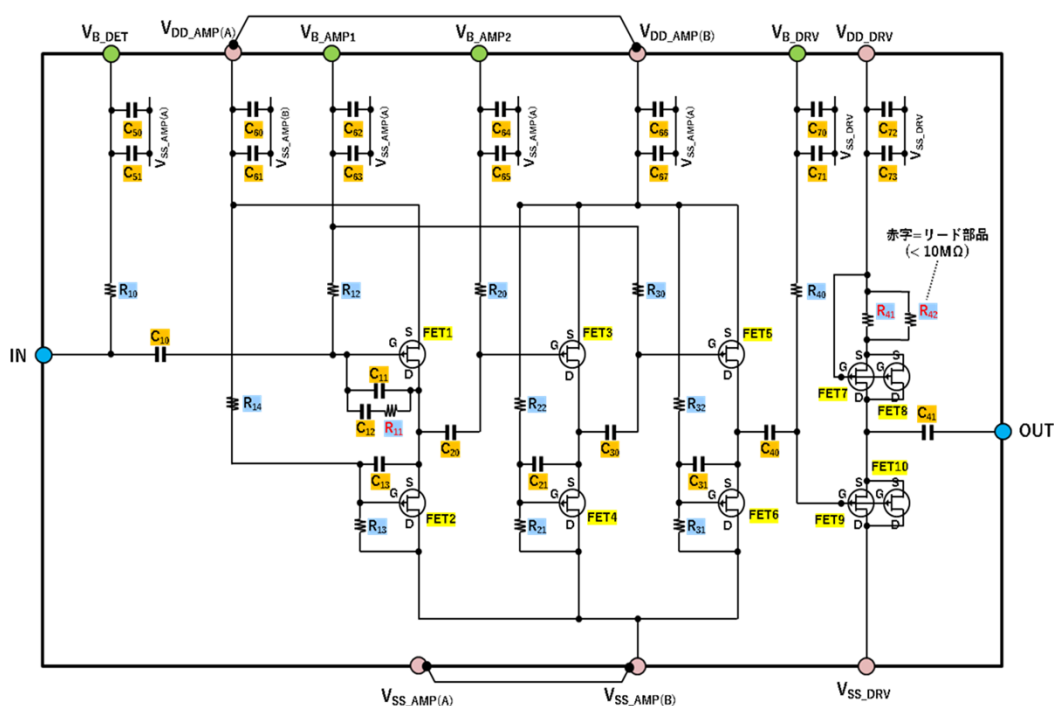


図 3.4.12 平成 28 年度 「原子カシステム研究開発事業（令和元年度成果）」  
における提案回路[1]

これに対して外部評価委員により「開放利得が低いためノイズ減となる浮遊容量の圧縮が小さくなり、負帰還における信号積分容量量と拮抗してしまい、これにより十分な S/N が確保できない状態になってしまっている」とのコメントを受け、改良回路について協議を行った結果、以下

の方針で回路設計と検証を行うこととなった。

- 1) 各段の利得を確保して負帰還をかける。
- 2) 負帰還により線形歪み、波形歪みを適切化し雑音特性を向上させること。
- 3) 差動増幅を用いて電源ノイズ等による CMRR を改善すること。

これに基づいて素子設計、試作を行い回路用素子モデルの作成および検証を行った。図 3.4.13 に試作した表面伝導型ダイヤモンド FET の特性と抽出したデバイスモデルによる素子特性の再現結果を示す。

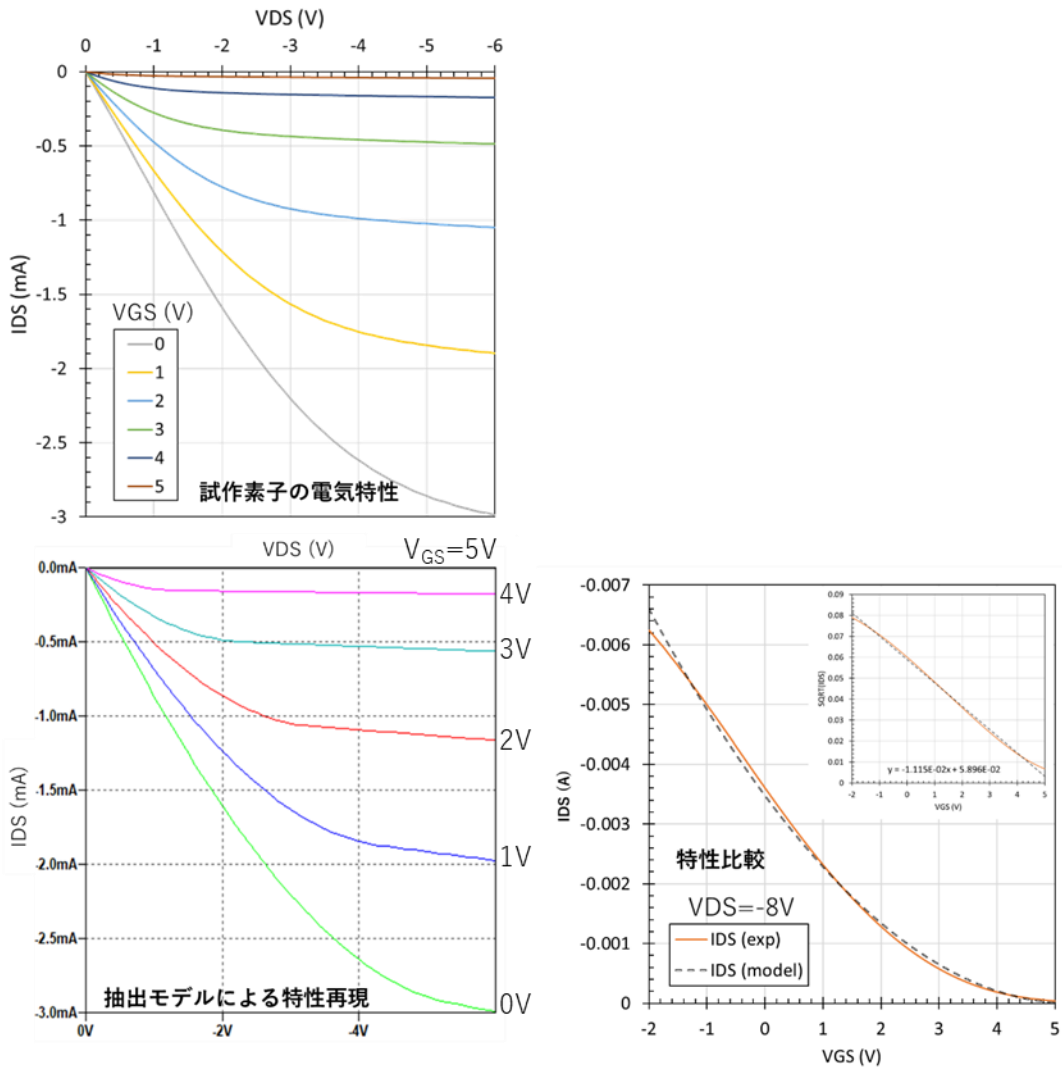
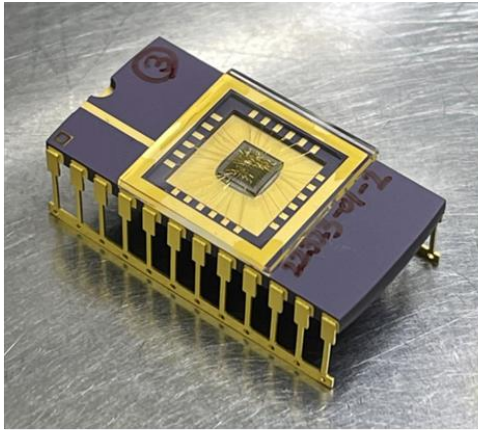


図 3.4.13 試作 FET の特性と抽出モデルによる素子特性の再現性

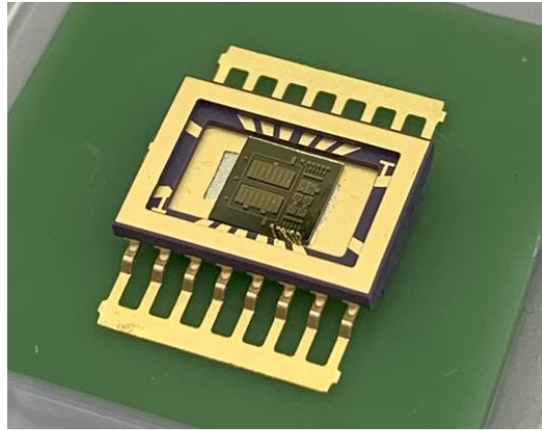
なお、抽出したデバイスモデルは以下である。

```
.model FET_3E PJF(Beta=0.0888m Betatc=-0.5 Rd=10 Rs=10 Lambda=37m Vto=-5.288 Vtotc=-2.5m
Is=33.57f Isr=322.4f N=1 Nr=2 Xti=3 Alpha=311.7u Vk=243.6 Cgd=0.48p M=.3622 Pb=10 Fc=.5
Cgs=0.32p Kf=9.882E-18 Af=1 mfg=RADDFET)
```

試作したダイヤモンド FET と協議によって検討した回路を図 3.4.15 に示す。



表面伝導型ダイヤモンドFET  
による差動増幅回路チップ  
(能動負荷搭載型)



バルク伝導型ダイヤモンドFET  
による差動増幅回路チップ  
(負荷抵抗搭載型)

図 3. 4. 14 試作した表面伝導型およびバルク伝導型ダイヤモンド FET チップ

非公開：枠組みの内容は全保障貿易管理上の観点から公開できません。

なお、回路検討には増幅率が高い表面伝導型ダイヤモンド FET を用い、入力を差動増幅として 2 段で電圧増幅する回路とした。また各段の DC 電位を調整するため、レベルシフト回路を用いた。

図 3.4.16 に基本構成回路となるソース接地増幅回路とレベルシフト回路の性能を示す。実際の検出器回路における電流制限を考慮し、増幅回路単体では定電流源による電流を 0.27mA 程度とした。この回路では 1 段で  $A_v=380$  程度が得られている。また、レベルシフト回路と特性を図 3.4.17 に示す。

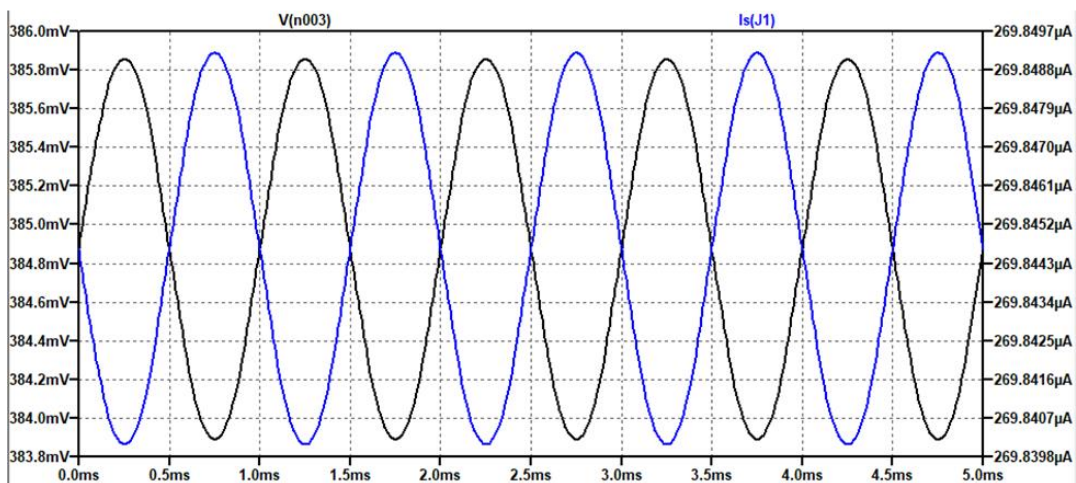
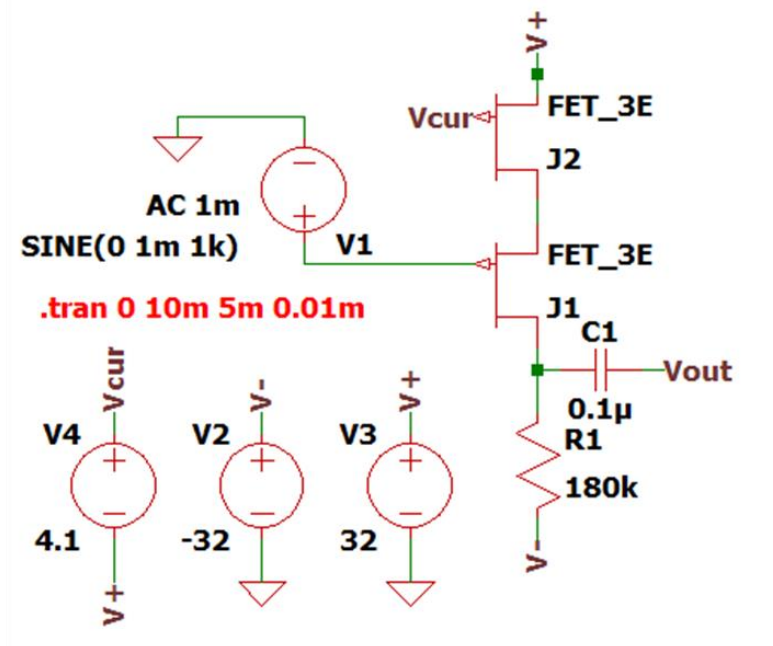


図 3.4.16 ソース接地増幅回路と特性

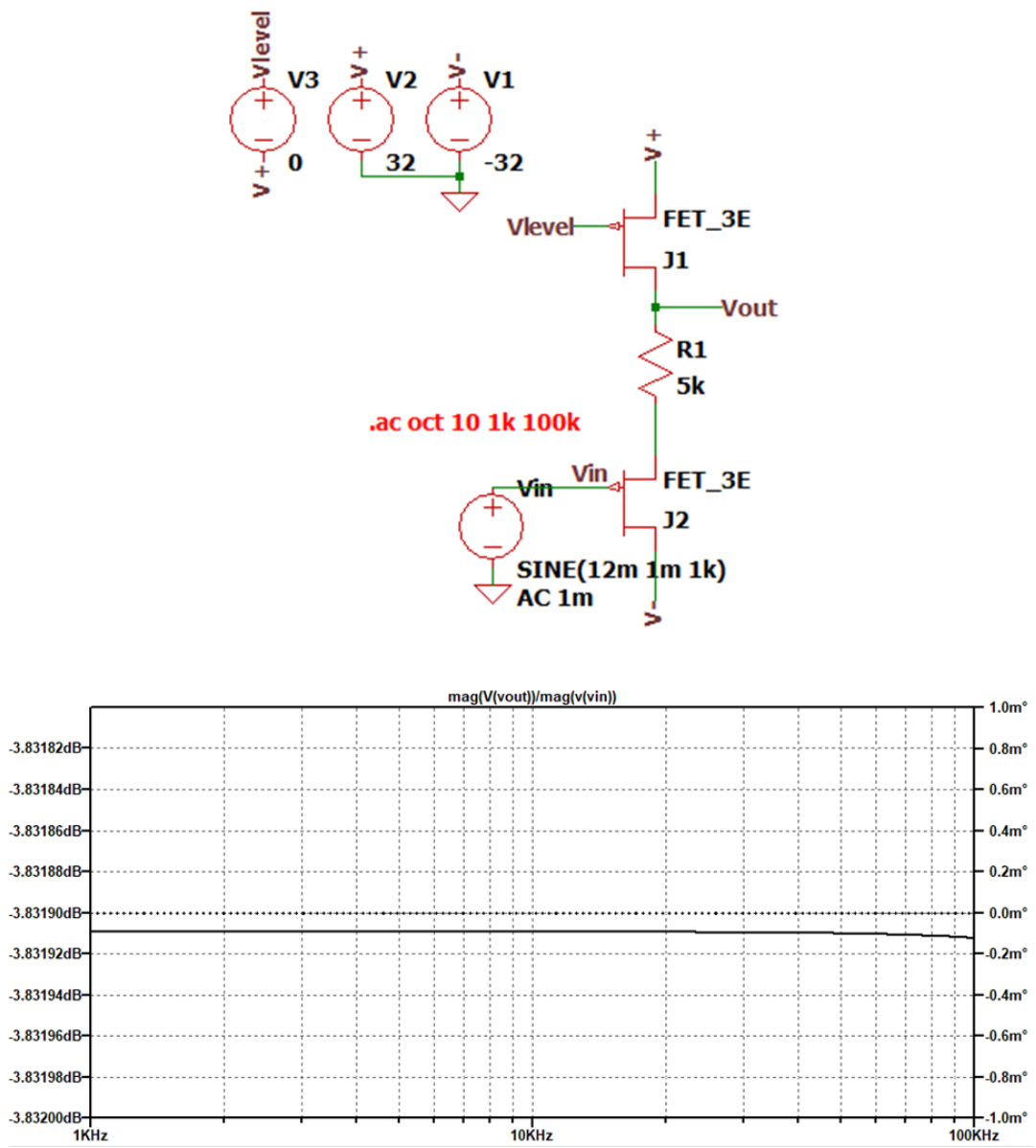
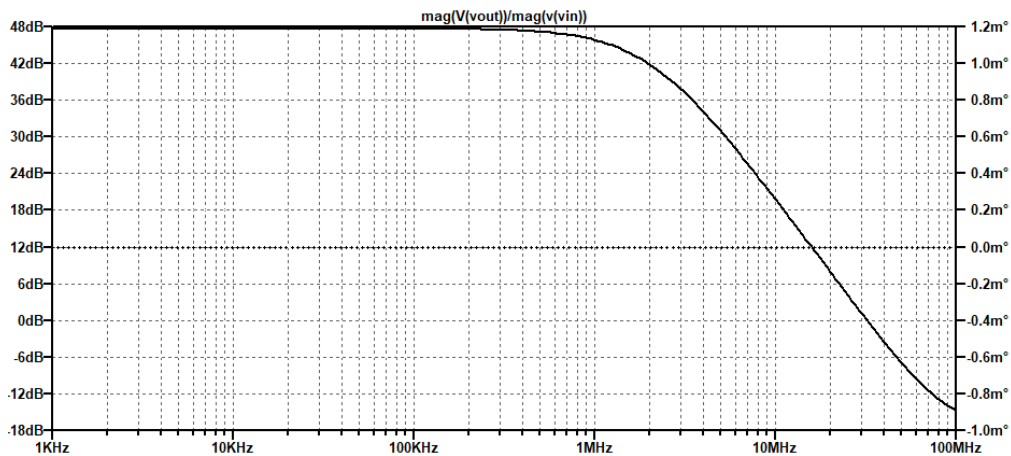


図 3.4.17 レベルシフト回路と特性

回路における開放利得および疑似信号による特性を図 3.4.18 に示す。





非公開：枠組みの内容は全保障貿易管理上の観点から公開できません。

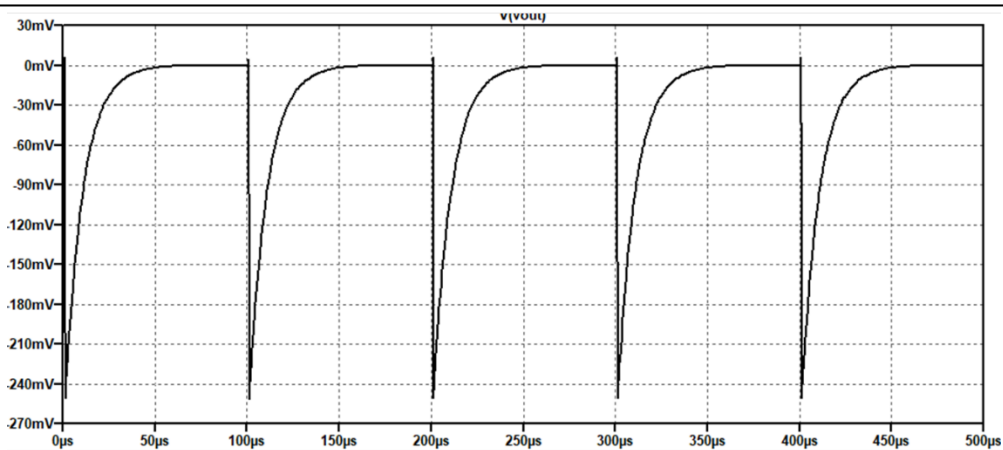


図 3. 4. 18 二段差動増幅回路における開放利得と疑似信号による検出器出力

$5 \times 10^{-13} \text{c}$  の電荷量に対して  $V_{\text{out}} = Q/C = 5 \times 10^{-13} \text{c} / 2 \times 10^{-12} \text{F} = 250 \text{mV}$  の出力が予想されるどころ、 $240 \text{mV}$  程度の出力が得られており、検出器としての利用が十分に可能であることが分かった。ただし、協力企業との協議の結果、以下の課題が残った。

1. 電源電圧が大きく特殊であるため一般的な電源電圧 (24V) とする。
2. 温度変動や性能のばらつきによる開放利得の減少に対応するため、差動増幅を 3 段とし開放利得を上げる (80dB 以上)

3. 抵抗負荷を能動負荷にして一段あたりの利得を稼ぐ
  4. レベルシフトを用いずにコンデンサで各段を繋ぐ
- 今後、上記観点により検出器回路の改善を行っていく。

### 3.5 回路技術・システム試験（福島高専）

#### 3.5.1 トランジスタモデル抽出【R2-R4】

##### 【令和2年度及び令和3年度の成果】

令和2年度にはトランジスタの小信号等価回路モデルを構築した。一般に用いられている JFET や MESFET、HEMT をベースとし、これがダイヤモンド FET に適用可能かを検討した。検討のため、産業技術総合研究所で試作したバルク伝導型ダイヤモンド FET および北海道大学にて試作した表面伝導型ダイヤモンド FET の IV 特性を解析し、上記モデルにて特性の再現が可能であるかを調査した。また、上記調査検討のため、SPICE モデリングおよび回路シミュレーションシステムを導入した。

令和3年度には令和2年度に試作測定したバルク伝導型ダイヤモンド FET のトランジスタ SPICE モデルを抽出した。等価回路には令和2年度に検討したダイヤモンド用モデルを利用した。小信号等価回路としてバルク伝導型ダイヤモンド FET の寄生抵抗成分に着目し、ソースゲート間 (RS) およびゲートドレイン間 (RD) 抵抗を挿入してモデル抽出を行った。実特性の再現が可能かについて、電流電圧特性および容量電圧特性から確認を行った。

また、上記調査検討のため、SPICE モデリングおよび回路シミュレーションシステムを導入した。

非公開：枠組みの内容は全保障貿易管理上の観点から公開できません。

非公開：枠組みの内容は全保障貿易管理上の観点から公開できません。

このモデルに対する  $V_{GS}-I_D$  特性および  $V_{DS}-I_D$  特性のシミュレーションの結果を図 3.5.1 に示す。

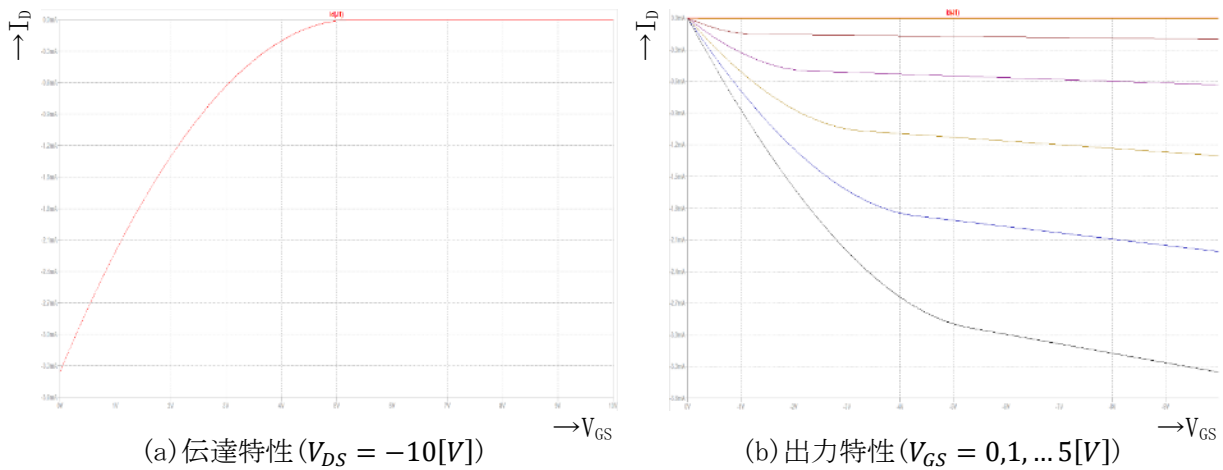


図 3.5.1 モデルに基づいた  $V_{GS}-I_D$  特性および  $V_{DS}-I_D$  特性のシミュレーション結果

実特性の再現が可能かどうかについて、電流電圧特性については上記に示したとおりであるが、容量電圧特性についても確認を行った。容量電圧特性の測定回路を図 3.5.2 に示す。ここでは 1 MHz の信号について、以下の式から  $C_{GS}$  を算出して容量電圧特性を求めた。

$$C_{GS} = \frac{\text{Im}(I_G)}{\omega} \left\{ 1 + \frac{\text{Re}(I_G)^2}{\text{Im}(I_G)^2} \right\} \quad \dots (3.5.1)$$

非公開：枠組みの内容は全保障貿易管理上の観点から公開できません。

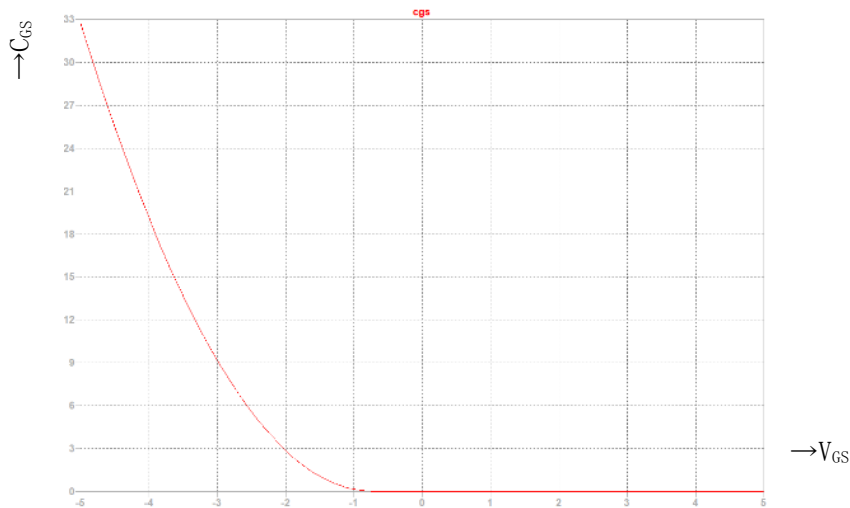


図 3.5.3 JFET モデルに基づいた電圧-容量特性シミュレーションの結果

### 3.5.2 回路設計シミュレーション【R2-R4】

#### 【令和 2 年度及び令和 3 年度の成果】

令和 2 年度にはバルク伝導型ダイヤモンド FET はノーマリオン p 型チャネルであり、表面伝導型ダイヤモンド FET はノーマリオフとノーマリオンの作り分けが可能な p 型チャネルであり、それぞれ前置増幅器として用いることが可能な回路が変わるため、使用する回路について事前調査、検討した。

令和 3 年度には前置増幅器に用いる基本回路構成について設計を行った。まずは市販素子のモデルパラメータを用いてチャージアンプ、電圧増幅アンプを LTSpice 上で設計し動作確認した。続いてダイヤモンドモデルを用いた回路を設計し、出力信号強度を確認した。ダイヤモンド FET を用いた前置増幅器基本回路における受動素子の抵抗値および容量値を決定した。さらに、バルク伝導型ダイヤモンド FET の要求仕様について検討した。特にゲート長の微細化に対する前置増幅器性能について特性予想を行い、産業技術総合研究所と協議の上、ゲート長、ゲート幅などのトランジスタ設計仕様を確定した。

#### 【令和 4 年度の成果】

令和 3 年度までの回路設計およびシミュレーションは、チャージアンプ回路を信号検出部と信号増幅部に分け、信号増幅部の設計を主に行った。しかしながら、ダイヤモンド FET が 1 石で構成される信号検出部の動作については、開放利得が不足した状態での負帰還・電荷蓄積を行うために初段で S/N 比を確保できていないと考えられる。その状態で後段に多段構成として電圧増幅をすると、ノイズが増幅され周波数特性が劣化してしまう。よって、実際の素子を用いた場合に目的信号を検出できない可能性が高い。

令和 3 年度までの信号検出では、ダイヤモンド FET が 1 石のドレインからゲートへ RC 並列のフィードバックを行っている。負帰還の利得 A を表す一般式を式(3.5.2)として示す。

$$A = \frac{A_o}{1 + \beta A_o} = \frac{1}{\frac{1}{A_o} + \beta} \cong \frac{1}{\beta} \quad \dots (3.5.2)$$

※( $A_0$  : 開放利得,  $\beta$  : 帰還率,  $\frac{1}{A_0} \cong 0$ )

式(3.5.2)より、負帰還の利得 $A$ が帰還率のみで決まるためには開放利得 $A_0$ が大きく、 $1/A_0$ が0になることが必要である。チャージアンプにおいては、開放利得が大きければ入力側に存在する検出器容量、付随する浮遊容量などの静電容量 $C_d$ が圧縮される、開放利得が小さい状態で負帰還をかけてもこの効能は得られない。この $C_d$ は入力端子側の電圧ノイズとなり悪影響を及ぼす可能性が考えられる。つまり、開放利得の小さい系に対するCR並列の負帰還はS/N比が劣ってしまうことが考えられる。

この問題点を改善するために、信号検出部においてダイヤモンドFETによる複数の利得段を用いることで開放利得を十分に大きくした状態で負帰還をかけることを考える。負帰還をかけたチャージアンプ回路では、電荷収集の利得は電圧増幅ではなく、負帰還のCR並列回路の静電容量 $C$ だけで決まることになる。十分大きな開放利得の負帰還によって電荷有感部分が理想的に動作したとすると、帰還容量 $C$ と検出器からの電荷量 $Q$ によって、電圧 $V = Q/C$ となる信号が得られる。この信号が小さい場合には適宜、電圧増幅をすれば良いと考えられる。

この問題点を解決するチャージアンプ回路の構成では、主に以下の4項目を行うこととする。

- ・ 検出部で十分な利得を稼ぐことで、S/N比を確保する。
- ・ 電圧増幅部分を必要に応じて追加する。
- ・ 検出部は、ここまでの方針に沿って差動増幅回路を利用する。
- ・ 回路の各段でAC特性を調べ、効果等を確認する。

今年度用いるダイヤモンドFETはドレイン遮断電流が $I_{DSS} \cong 3.3[mA]$ あり、従来のタイプのものに比べて10倍近い値となっている。そのため、動作時のドレイン電流 $I_D$ は、ノイズ低減を目的として1[mA]程度流すこととする。よって、それに応じて動作点の見直しを行う。

負荷抵抗については、電圧利得や電源電圧での飽和などの観点、ジョンソンノイズの発生源、付随する浮遊容量と抵抗で形成されるフィルタによって高域遮断するなどの影響から、最大でも数十k $\Omega$ のオーダにとどめるように設計をする。このような観点から設計した抵抗負荷の差動増幅回路を図3.5.4に示す。この回路に疑似信号としてパルス信号を入力した際の過渡解析の結果を図3.5.5に、AC解析の結果(周波数特性)を図3.5.6にそれぞれ示す。

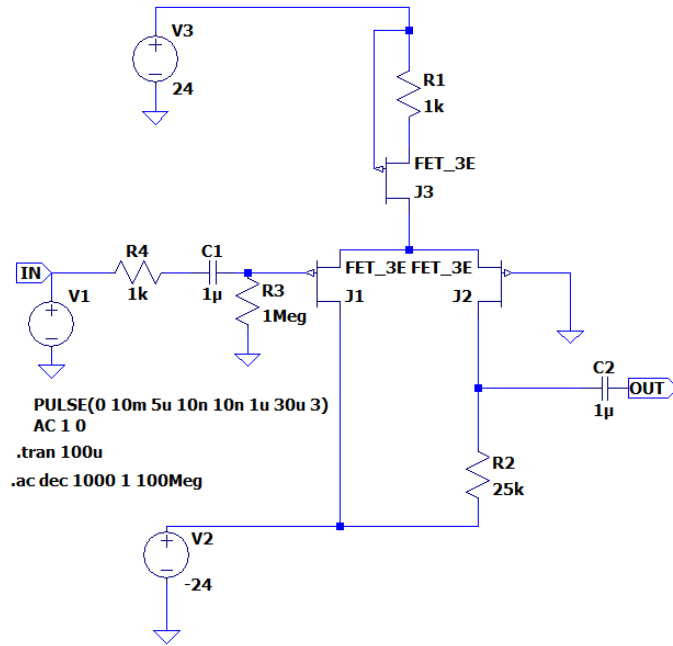


図 3.5.4 差動増幅回路(抵抗負荷)

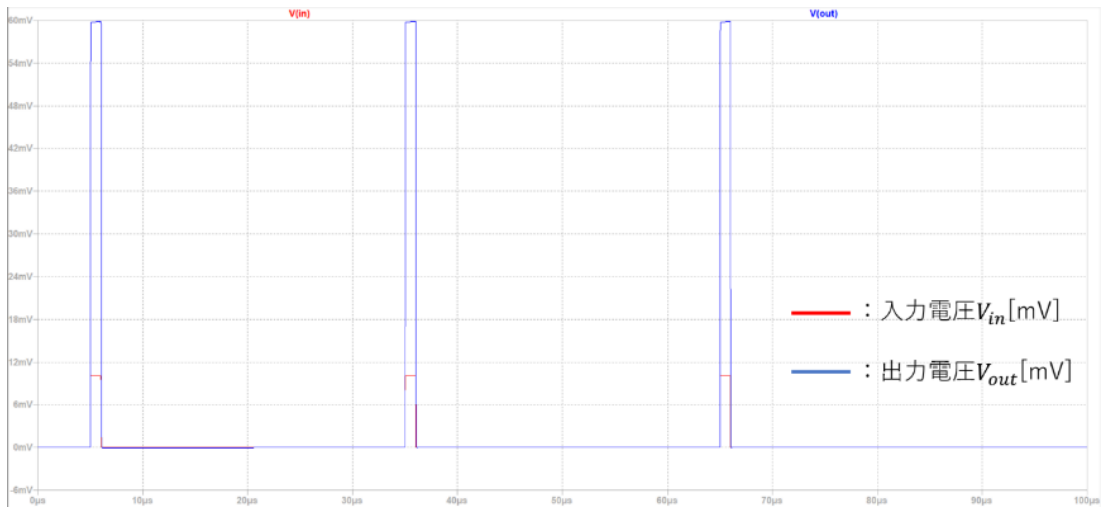


図 3.5.5 過渡解析の結果(抵抗負荷差動増幅回路)

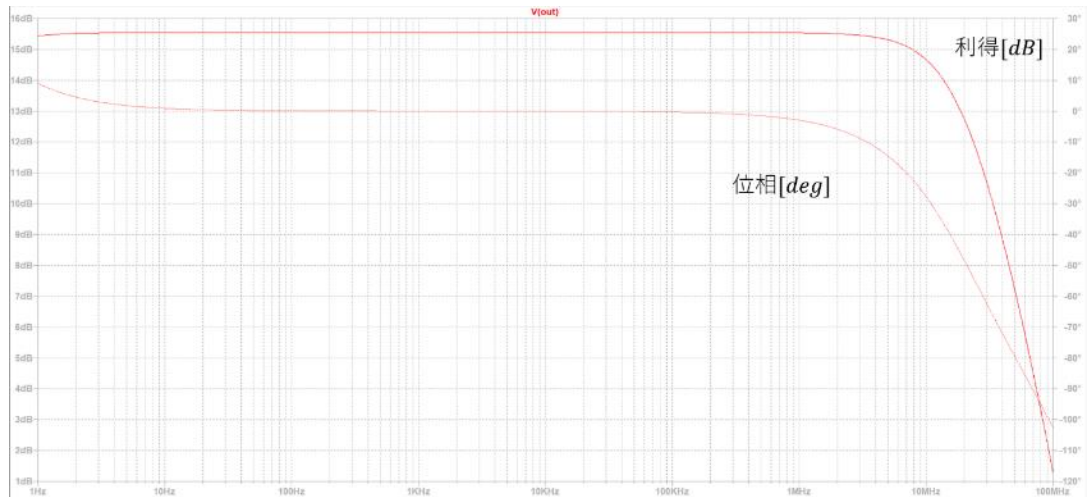


図 3.5.6 AC解析の結果(抵抗負荷差動増幅回路)

なお、ミラー効果によって高域遮断周波数が低下することを回避するため、初段の差動増幅回路において、非反転出力端子から信号を取り出す。これにより、カスコード回路等を用いずにミラー効果を回避することができると思われる。

次に、差動増幅回路のドレイン抵抗 $R_D$ をダイヤモンド FET の電流源（アクティブ負荷）に置き換える。これにより、バイアスを崩さずにみかけのドレイン抵抗 $R_D$ （インピーダンス）を大きくすることができ、利得の増大に繋がることが考えられる。非反転出力端子から片側信号取り出しをする場合は、反転出力端子側のドレイン抵抗は取り外す。電流源負荷としてはカレントミラー回路があるが、ダイヤモンド FET は p チャネルのみのため使用することができない。しかしながら、非反転出力端子からの片側取り出しであれば、p チャネルのみで電流源負荷を実装できると考えられる。

設計したアクティブ負荷の差動増幅回路を図 3.5.7 に示す。定電流部の抵抗値は  $1[k\Omega]$  とする。また、この回路の過渡解析の結果を図 3.5.8 に、AC 解析結果を図 3.5.9 にそれぞれ示す。

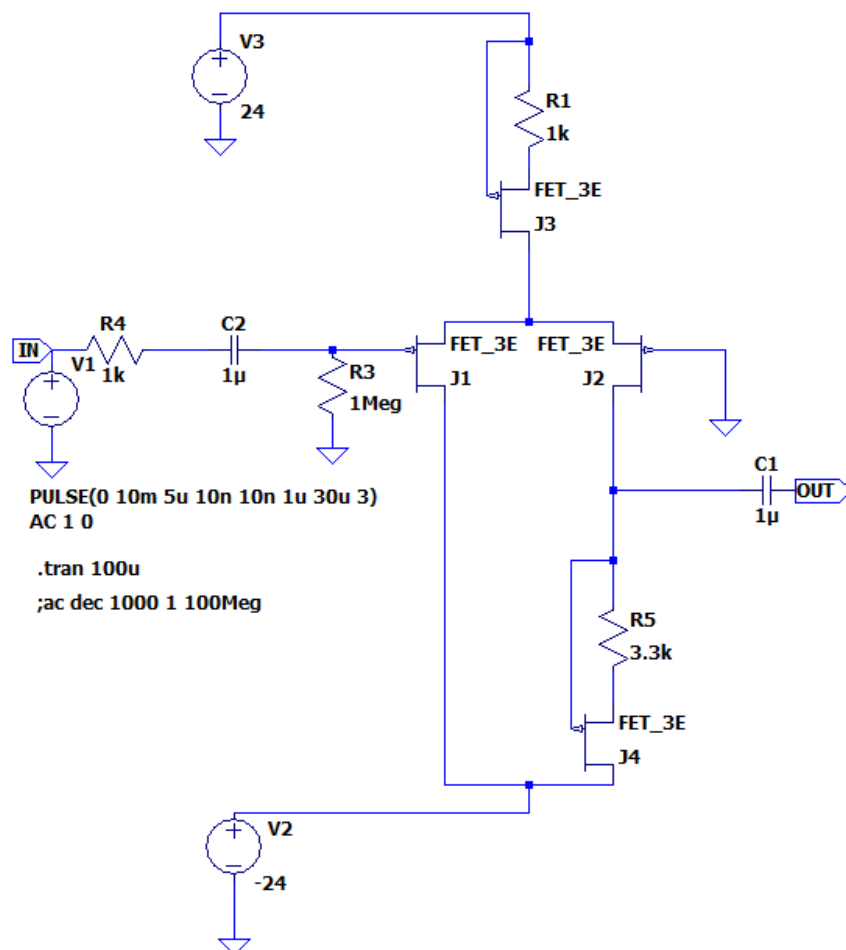


図 3.5.7 差動増幅回路(アクティブ負荷)



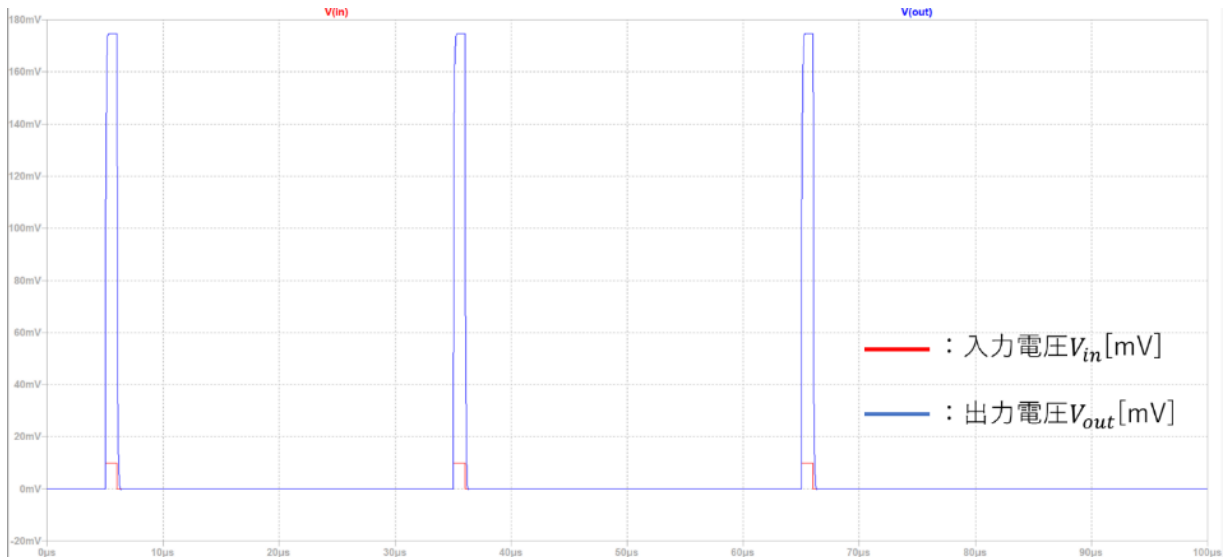


図 3.5.8 過渡解析の結果(アクティブ負荷)

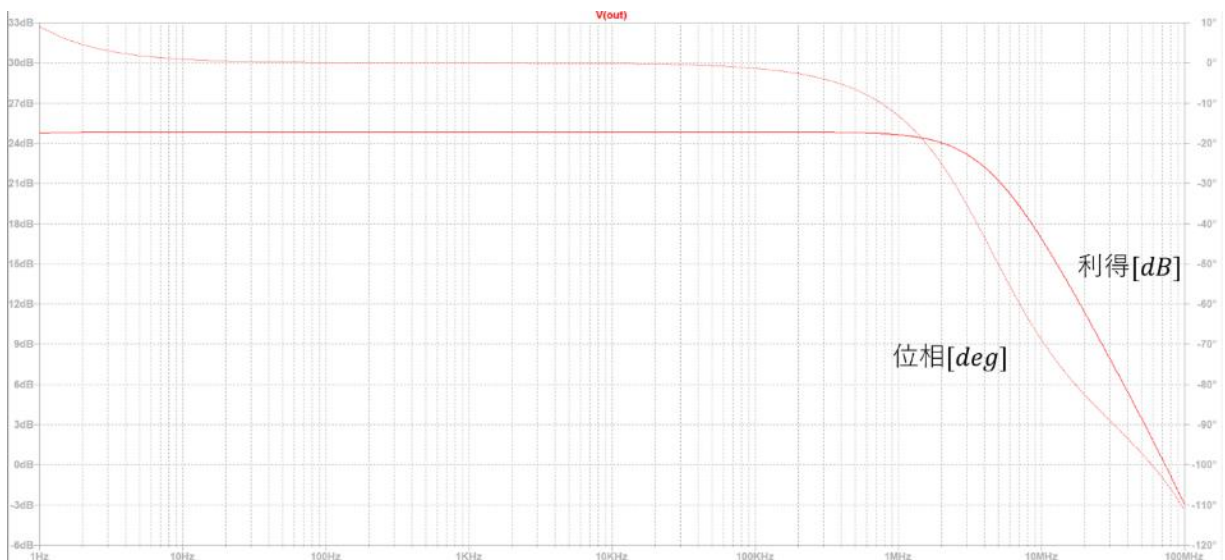
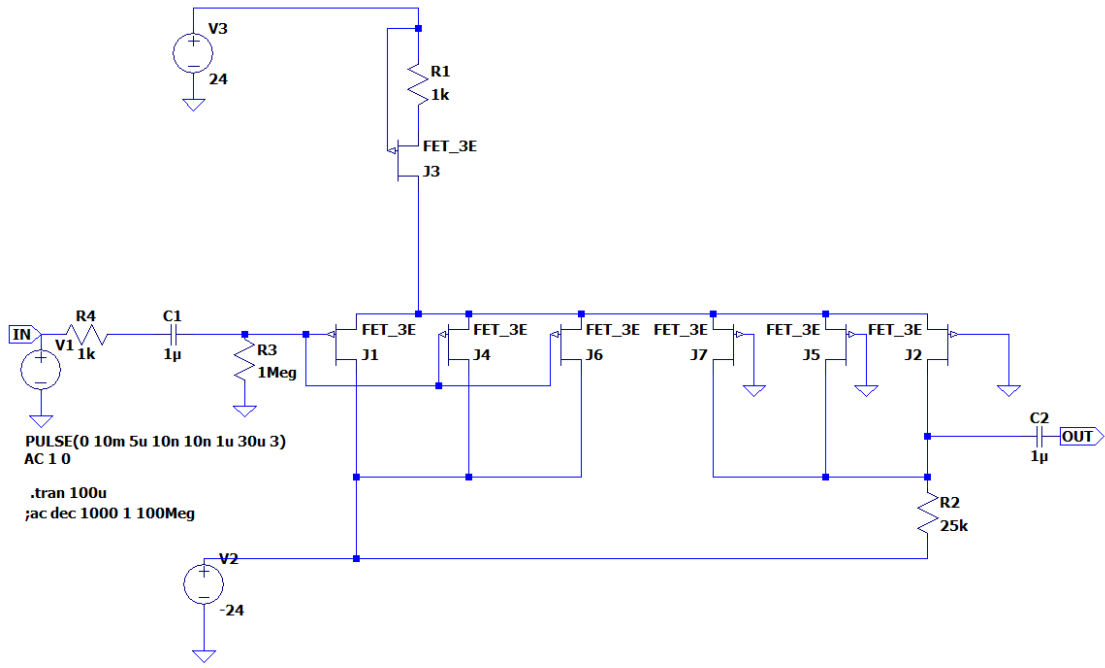


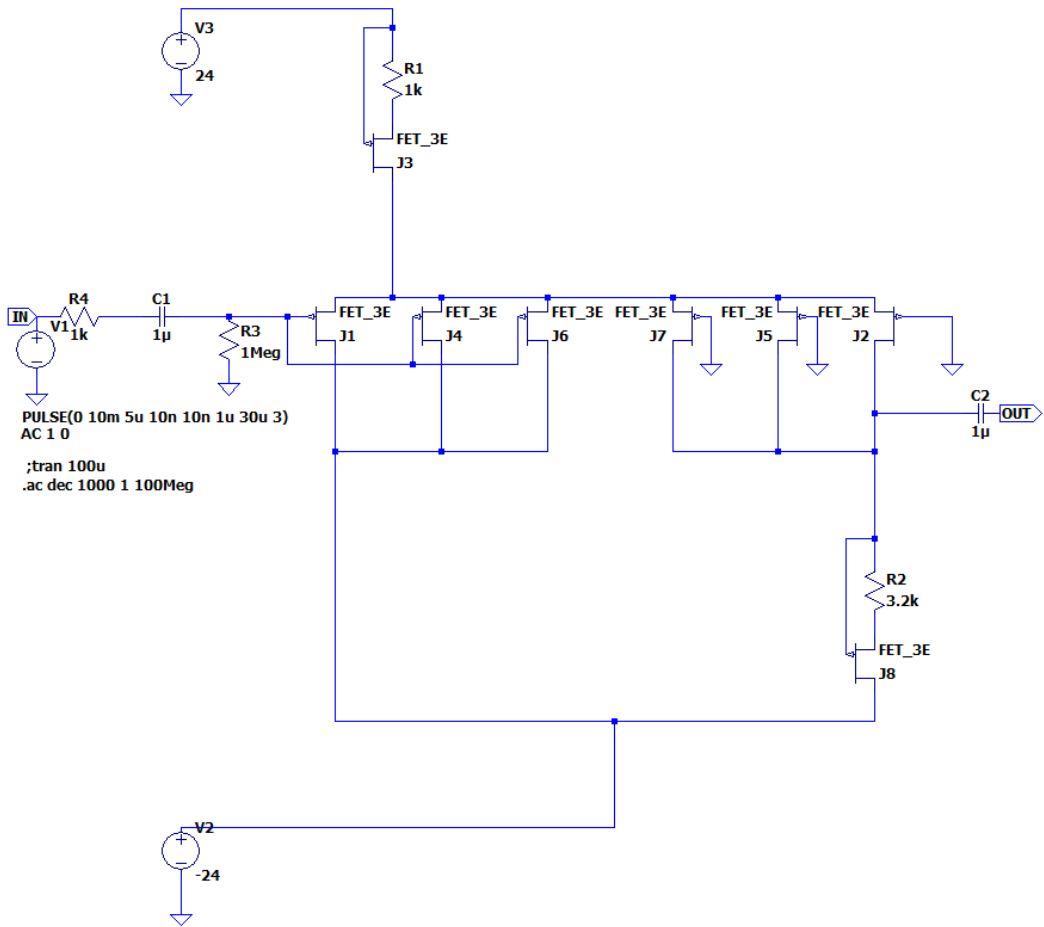
図 3.5.9 AC解析結果(アクティブ負荷)

バイポーラトランジスタでは、同じ n, p チャネルのトランジスタをダーリントン接続することでみかけの  $h_{fe}$  をべき乗とすることができる。FET では、inverted Darlington と呼ばれる手法がとられるが、ダイヤモンド FET は p チャネルのみのため、この手法を用いることができない。よって、今回は、FET の平行接続によってその効果を確認することとした。平行接続の効果は積ではなく和の形で現れる。また、素子の特性が揃っていることが必要である。シミュレーションでは特性が揃っていることを前提として回路の設計を行った。

ダイヤモンド FET を 1～3 石で平行接続し、効果を比較した。また、定電流部のドレイン電流を変化させ、出力電圧や FET のドレイン-ソース間電圧  $V_{DS}$  を確認した。設計した平行接続差動増幅回路の例として、FET を 3 石で平行接続した抵抗負荷、アクティブ負荷のそれぞれの回路について図 3.5.10 に示す。ただし、定電流部の抵抗値は  $1[k\Omega]$  とする。



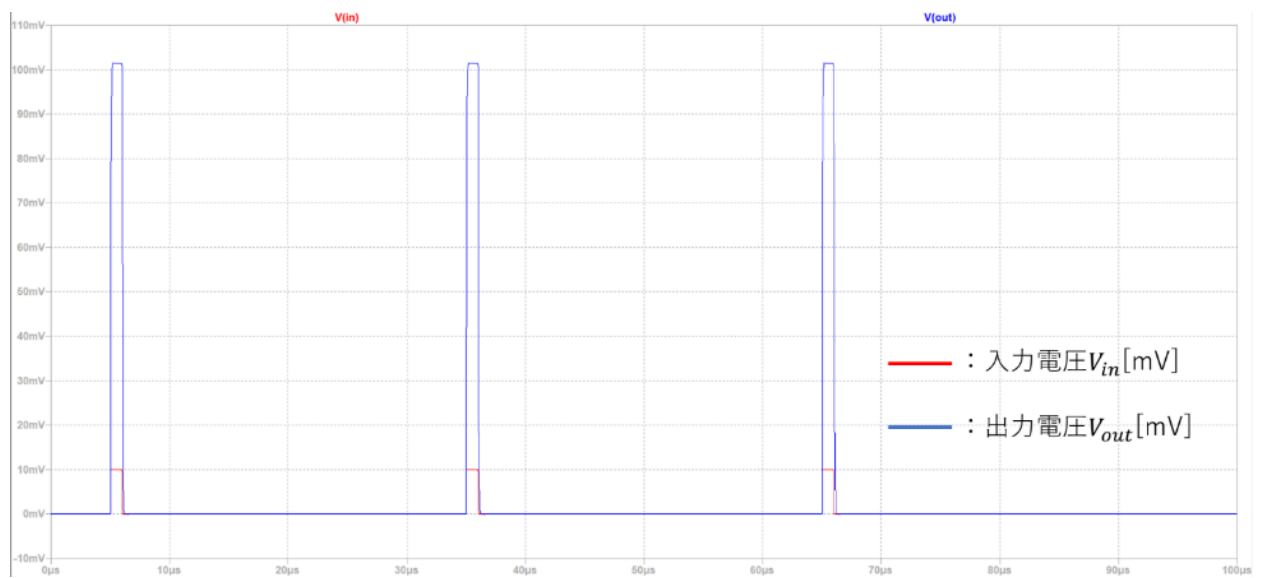
(a) 抵抗負荷



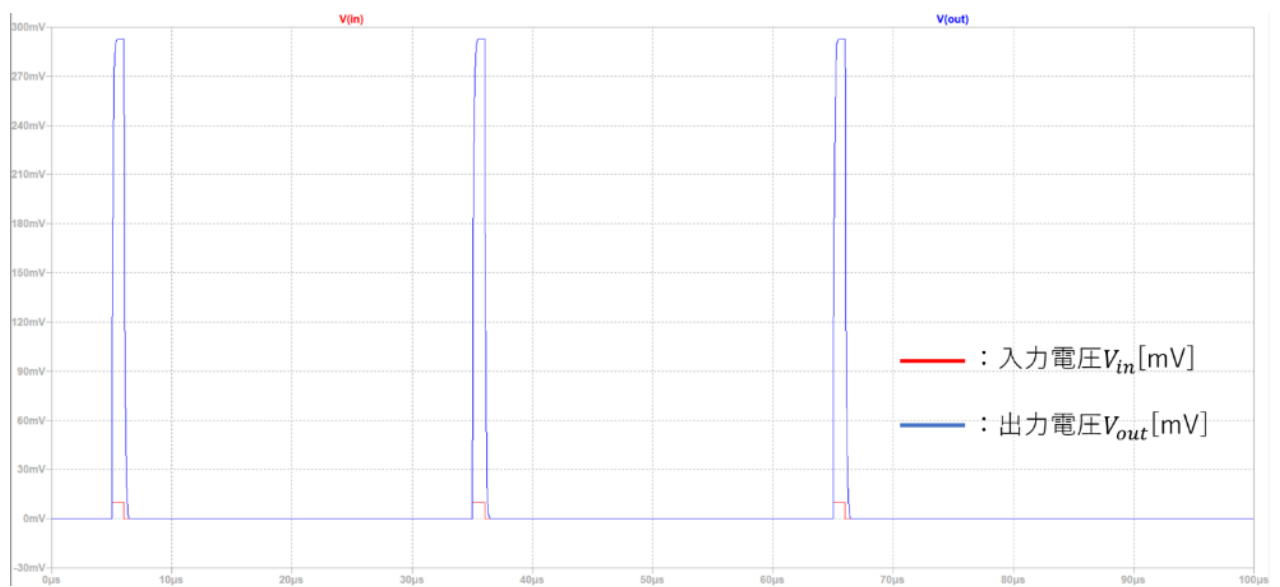
(b) アクティブ負荷

図 3.5.10 パラレル接続差動増幅回路

これらの回路について、疑似入力信号を加えたときの過渡解析の結果を図 3.5.11 に、AC 解析を行った結果を図 3.5.12 にそれぞれ示す。

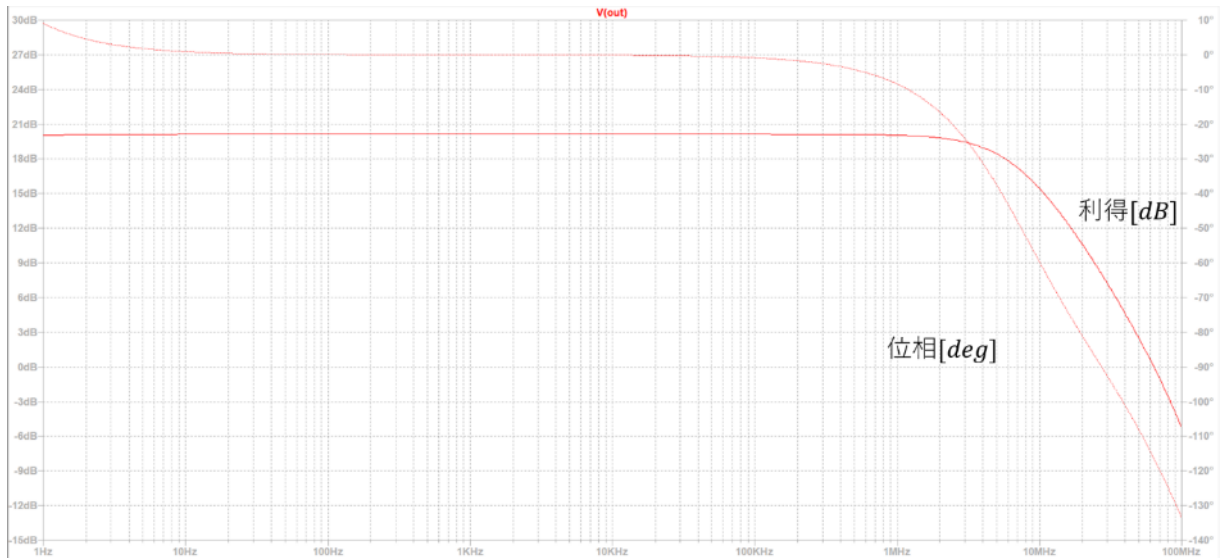


(a) 抵抗負荷

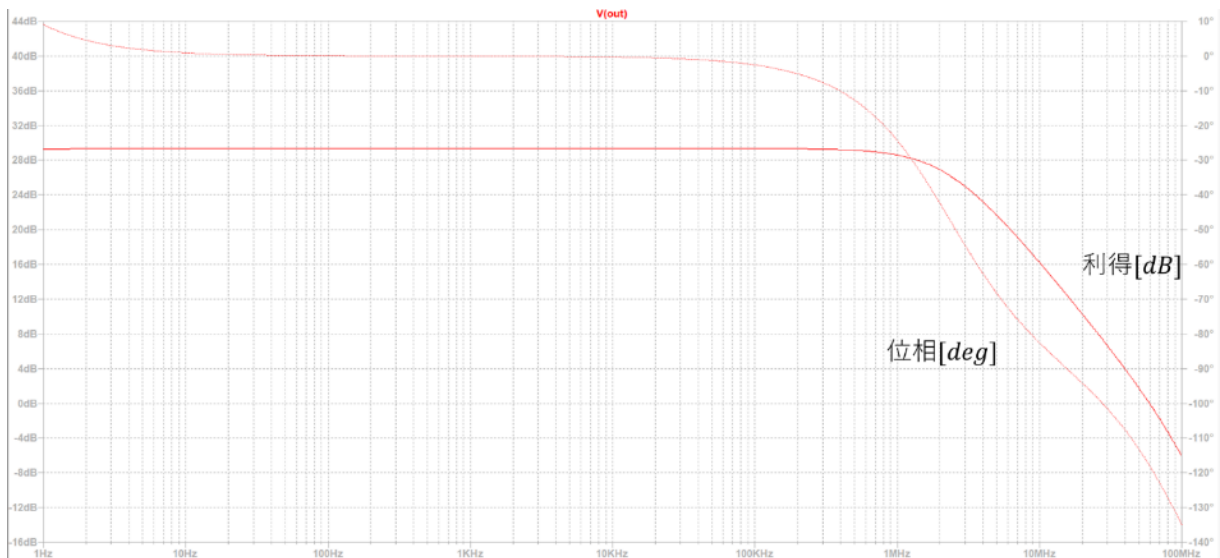


(b) アクティブ負荷

図 3.5.11 パラレル接続差動増幅回路の過渡解析の結果



(a) 抵抗負荷



(b) アクティブ負荷

図 3.5.12 パラレル接続差動増幅回路のAC解析の結果

FET のパラレル接続において、定電流部のドレイン電流を変化させ、出力電圧や FET のドレイン-ソース間電圧 $V_{DS}$ を確認した結果を抵抗負荷とアクティブ負荷の場合について、表 3.5.2、表 3.5.3 にそれぞれ示す。これらの表の値から、抵抗負荷、アクティブ負荷のどちらの場合でも FET のパラレル接続の数を増やすにつれて利得が増加していることが分かる。またその利得の増加が相互コンダクタンス $g_m$ が積ではなく和の形で増加することによるものであることも確認できる。定電流回路の抵抗値は  $1\sim 3\text{[k}\Omega\text{]}$  としてシミュレーションを行った。開放利得を大きくするために FET を 3 石のパラレル接続で用いるとすると、1 石の FET に流れる電流が分かれてしまう。よって、回路全体に流れる電流値を大きくとることで 1 石の FET の電流値を可能な限り大きくする。そのため、定電流回路の抵抗値は  $1\text{[k}\Omega\text{]}$  として多段接続に利用する。定電流部の電流をドレイン遮断電流 $I_{DSS}$ として用いることも考えられるが、動作点の余裕などを踏まえて、 $1\text{[k}\Omega\text{]}$  の抵抗値とする。

表 3.5.2 パラレル接続各種計測値(抵抗負荷)

FET[個]	定電流抵抗[kΩ]	電流源電流[mA]	ドレイン抵抗[kΩ]	出力電圧[mV]	利得[dB]	ドレイン抵抗電流[μA]	FET1個電流[μA]	VD[V]	VS[V]	VDS[V]
1	1	1.9119	25	59.9	15.54	734.1	734.1	-5.65	-2.56	-3.09
	2	1.2687	38	73.3	17.30	484.5	484.5	-5.59	-3.05	-2.54
	3	0.9636	51	84.2	18.51	365.4	365.4	-5.37	-3.33	-2.04
2	1	1.9249	25	83.4	18.43	734.1	367.1	-5.65	-3.33	-2.31
	2	1.2741	31	102.3	20.19	484.0	242.0	-5.61	-3.69	-1.92
	3	0.9666	51	117.2	21.38	364.8	182.4	-5.39	-3.89	-1.50
3	1	1.9307	25	101.4	20.12	734.1	244.7	-5.65	-3.68	-1.96
	2	1.2765	38	124.4	21.90	483.7	161.2	-5.62	-3.98	-1.64
	3	0.9679	51	140.5	22.96	364.5	121.5	-5.41	-4.14	-1.26

表 3.5.3 パラレル接続各種計測値(アクティブ負荷)

FET[個]	定電流抵抗[kΩ]	電流源電流[mA]	アクティブ負荷抵抗[kΩ]	出力電圧[mV]	利得[dB]	アクティブ負荷電流[μA]	FET1個電流[μA]	VD[V]	VS[V]	VDS[V]	アクティブ負荷VS[V]	アクティブ負荷VDS[V]
1	1	1.9134	3.3	174.7	24.85	814.6	814.6	-11.41	-2.65	-8.76	-14.10	-9.90
		1.9118	4.1	161.7	24.17	730.7	730.7	-5.42	-2.55	-2.86	-8.41	-15.59
	2	1.2696	5.4	231.3	27.28	562.1	562.1	-14.11	-3.16	-10.95	-17.14	-6.86
		1.2687	7	213.2	26.58	486.2	486.2	-5.75	-3.05	-2.70	-9.15	-14.85
	3	0.9642	7.5	278.4	28.89	434.7	434.7	-15.44	-3.44	-12.00	-18.70	-5.30
		0.9636	9.9	249.1	27.93	368.1	368.1	-5.72	-3.33	-2.39	-9.37	-14.63
2	1	1.9262	3.2	241.5	27.66	826.6	413.3	-12.13	-3.41	-8.72	-14.77	-9.23
		1.9250	4	230.5	27.25	740.8	370.4	-6.08	-3.34	-2.74	-9.04	-14.96
	2	1.2748	5.4	321.3	30.14	562.4	281.2	-14.02	-3.77	-10.25	-17.06	-6.94
		1.2741	7	293.5	29.35	486.0	243.0	-5.80	-3.69	-2.11	-9.21	-14.79
	3	0.9670	7.5	387.6	31.77	434.9	217.4	-15.38	-3.97	-11.40	-18.64	-5.36
		0.9666	9.9	343.6	30.72	368.0	184.0	-5.80	-3.89	-1.90	-9.44	-14.56
3	1	1.9318	3.2	292.7	29.33	827.0	275.7	-12.07	-3.74	-8.33	-14.72	-9.28
		1.9308	4	278.2	28.89	740.7	246.9	-6.08	-3.69	-2.39	-9.04	-14.96
	2	1.2771	5.3	390.2	31.83	567.7	189.2	-14.59	-4.05	-10.54	-17.60	-6.40
		1.2765	7	354.8	31.00	486.0	162.0	-5.83	-3.98	-1.85	-9.23	-14.77
	3	0.9683	7.4	470.9	33.46	438.0	146.0	-15.83	-4.21	-11.62	-19.07	-4.93
		0.9679	9.9	415.3	32.37	367.9	122.6	-5.83	-4.15	-1.69	-9.48	-14.52

次に、ここまでで設計した定電流部抵抗 1[kΩ]、FET を 3 石でパラレル接続した差動増幅回路を 3 段接続し、AC 解析、疑似入力信号（パルス波）による過渡解析を行った。しかしながら、パラレル接続差動増幅回路を単純に結合コンデンサによって 3 段の AC 結合とした場合、パルス入力に対して出力が発振することが確認された。これは位相回転が大きいことが原因であると考えられる。

ポール（ボード線図において利得が低下する点）は CR 積分の要素として回路の各所に散在し、ポールが 2 つあれば -180[deg] 位相が回転し、発振のリスクとなる。バルクハウゼンの条件より、利得が 1 以上で、位相が 360[deg] の整数倍のときに発振が起こることが知られている。よって、発振の位相条件のときに利得が確実に 0[dB] 未満であることが必要となる。多段接続において、ポールが各段に 1 つ存在するとして、ポール 1 つあたり最大 90[deg] の位相の回転があることを考えると 3 段接続によって -180[deg] を超え、負帰還をかけると発振する可能性が高いと考えられる。

この発振原因であるポールに対して、ポールゼロフィルタによる位相補償によって発振を防ぐことを考える。ゼロとは、ポールと逆の効果をもつ要素であり、単独では存在しないが、組み合わせることで構成することができる。ポールゼロフィルタについて図 3.5.13 の回路で考える。

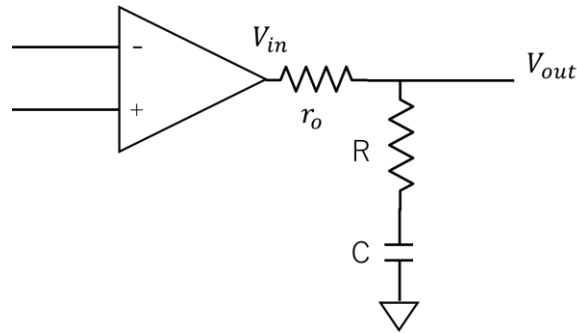


図 3.5.13 ポールゼロフィルタ

図 3.5.13 において、出力インピーダンス  $r_o$  からの入力信号を  $V_{in}$ 、フィルタ出力電圧を  $V_{out}$  としてみると、 $V_{out}$  は式 (3.5.3) となる。

$$V_{out} = \frac{R + \frac{1}{j\omega C}}{r_o + R + \frac{1}{j\omega C}} \cdot V_{in} = \frac{j\omega CR + 1}{j\omega C(r_o + R) + 1} \cdot V_{in} \quad \dots (3.5.3)$$

式 (3.5.3) において、 $\tau_1 = CR$ 、 $\tau_2 = C(r_o + R)$ 、 $\alpha_1 = 1/\tau_1$ 、 $\alpha_2 = 1/\tau_2$  とすると、伝達関数  $G(S)$  は式 (3.5.4) となる。

$$G(S) = \frac{V_{out}}{V_{in}} = \frac{s\tau_1 + 1}{s\tau_2 + 1} = \frac{\tau_1}{\tau_2} \cdot \frac{s + \frac{1}{\tau_1}}{s + \frac{1}{\tau_2}} = \frac{\alpha_2}{\alpha_1} \cdot \frac{s + \alpha_1}{s + \alpha_2} \quad \dots (3.5.4)$$

式 (3.5.4) において、分母に  $s + \alpha$  があるのがポールであり、同じ項が分子にあるのがゼロである。式からも分かる通り、位相とゲインの変化が逆になっている。

非公開：枠組みの内容は全保障貿易管理上の観点から公開できません。

図 3.5.14 の回路について、過渡解析の結果を図 3.5.15 に、AC 解析の結果を図 3.5.16 に示す。AC 解析については負帰還の有無による変化も確認する。過渡解析については負帰還ありの場合のみで、入力信号を電流源 ( $I_2 = -100$  [nA]) としているため、出力波形のみを確認する。

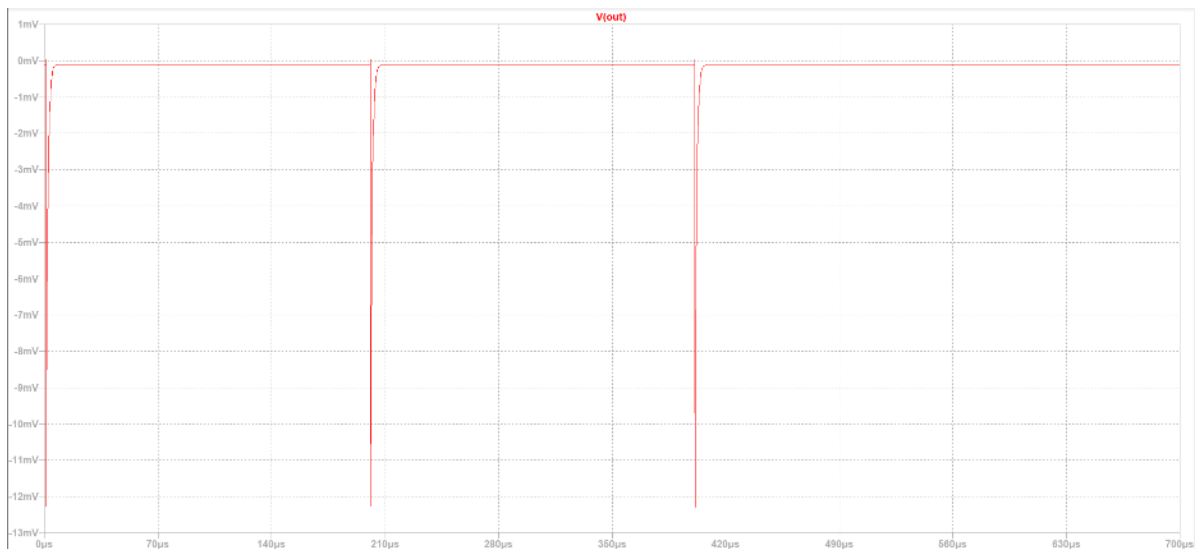
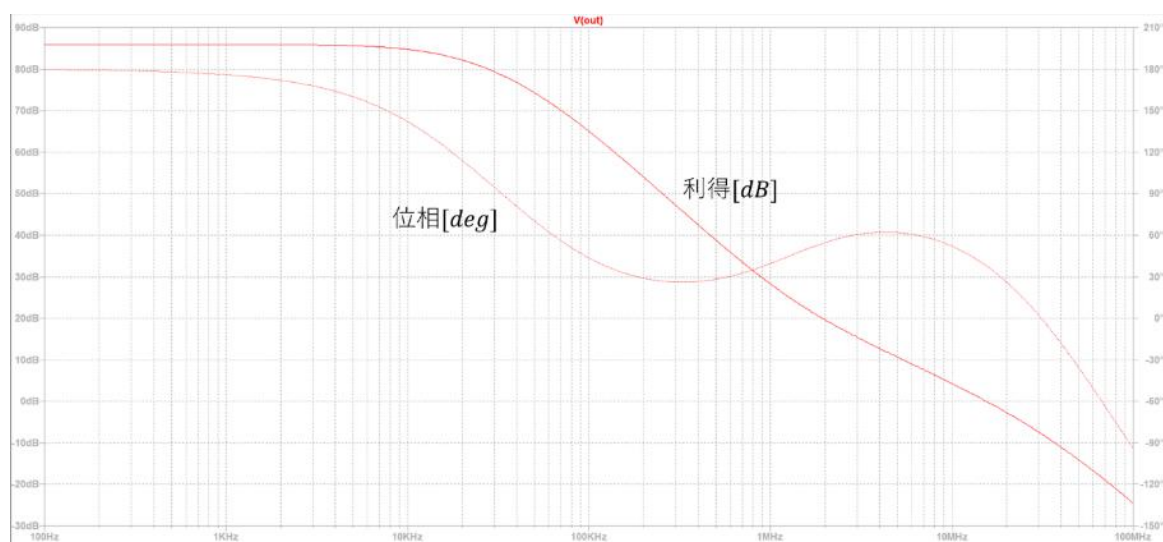
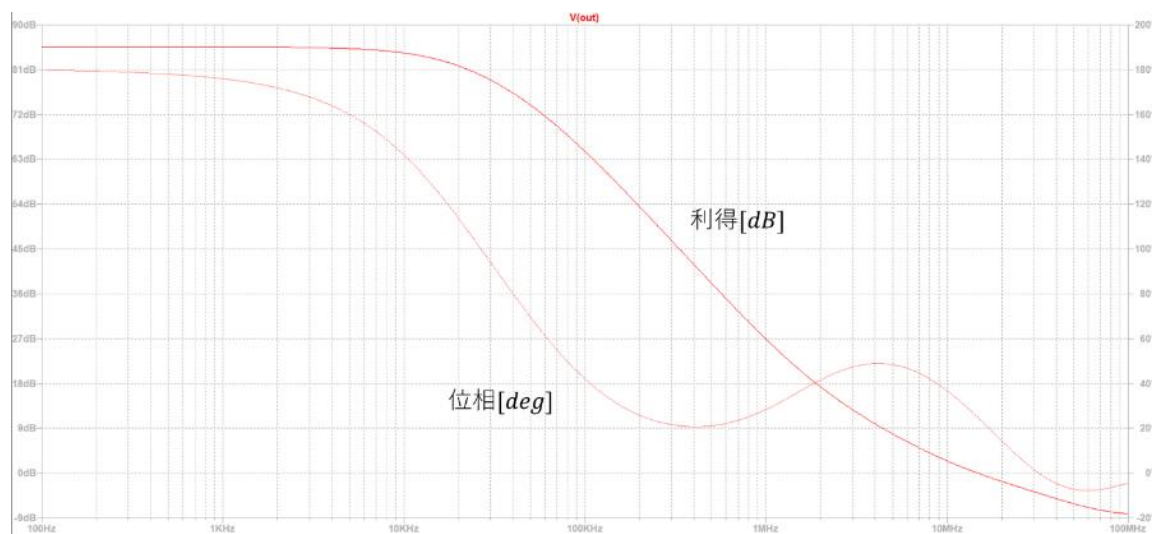


図 3.5.15 ポールゼロフィルタ 3 段増幅回路の過渡解析の結果



(a) 帰還なし



(b) 帰還あり

図 3.5.16 ポールゼロフィルタ 3 段増幅回路の AC 解析の結果

図 3.5.16 より、開放状態で位相の遅れが取り戻されていることがわかる。利得 0[dB]のときに位相が約 40[deg]であり、開放利得での発振裕度が確保され、帰還状態での発振条件が回避されていると考えられる。図 3.5.15 からは、パルス波入力に対しても出力が発振することなく、信号を取り出せることが確認できた。図 3.5.14 の回路では、開放利得が約 20000 倍(≒86[dB])で、GB 積が約 10[MHz]であった。

次に、出力インピーダンスを下げて負帰還をかけるため、多段接続の最終段としてソースフォロワを追加した。図 3.5.17 にソースフォロワの回路を示す。この回路において、アクティブ負荷である電流源の吸い込み側に抵抗を追加することで、DC レベルのシフトに対して、電圧降下を起こすことでゼロレベルを確保する。追加する抵抗は、電流源の抵抗と同じ値にすることで、ゼロレベルになる。これにより、出力端子のコンデンサを取り除くことができる。

この回路について、過渡解析の結果を図 3.5.18 に、AC 解析の結果を図 3.5.19 にそれぞれ示す。

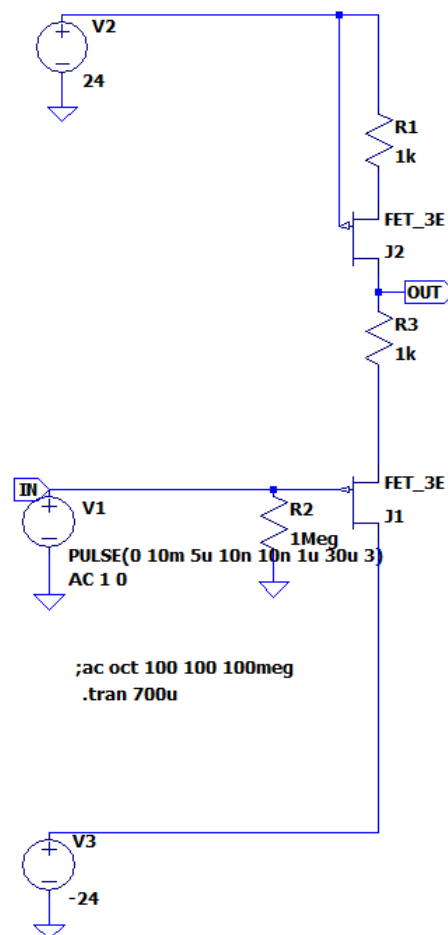


図 3.5.17 ソースフォロワ

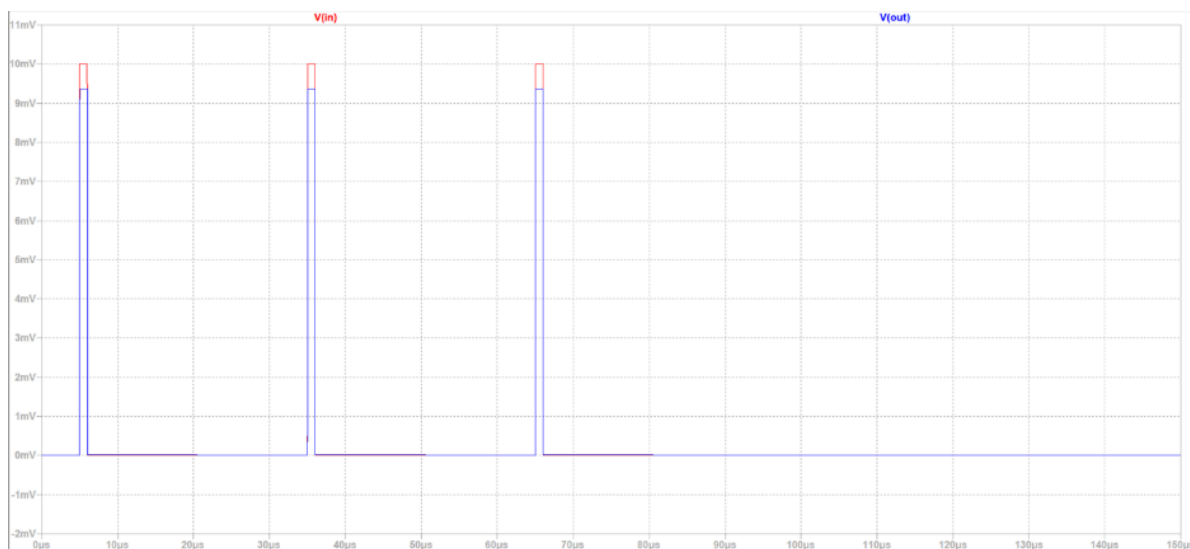


図 3.5.18 ソースフォロワの過渡解析の結果



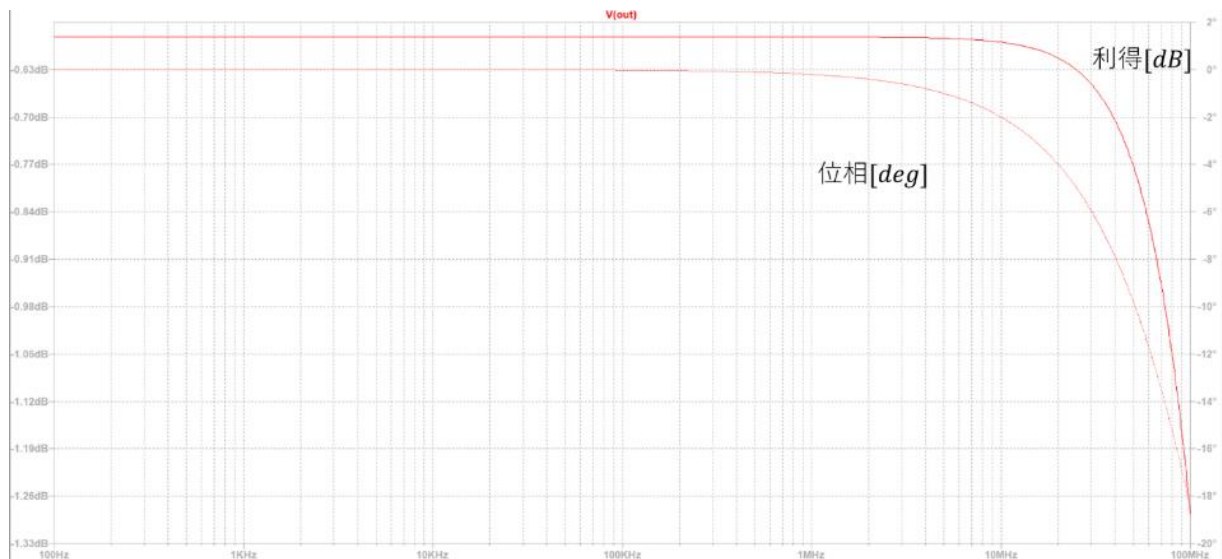


図 3.5.19 ソースフォロワの AC 解析の結果

ソースフォロワを図 3.5.14 のポールゼロフィルタ 3 段増幅回路に接続し、4 段接続とした回路を図 3.5.20 に示す。

図 3.5.20 の回路について、過渡解析の結果を図 3.5.21 に、AC 解析の結果を図 3.5.22 にそれぞれ示す。過渡解析については負帰還ありの場合のみで、入力信号を電流源 ( $I_2 = -100$  [nA]) としているため、出力波形のみを確認する。AC 解析については負帰還の有無による変化も確認し、開始周波数を 100 [Hz] ではなく 0.01 [Hz] とする。

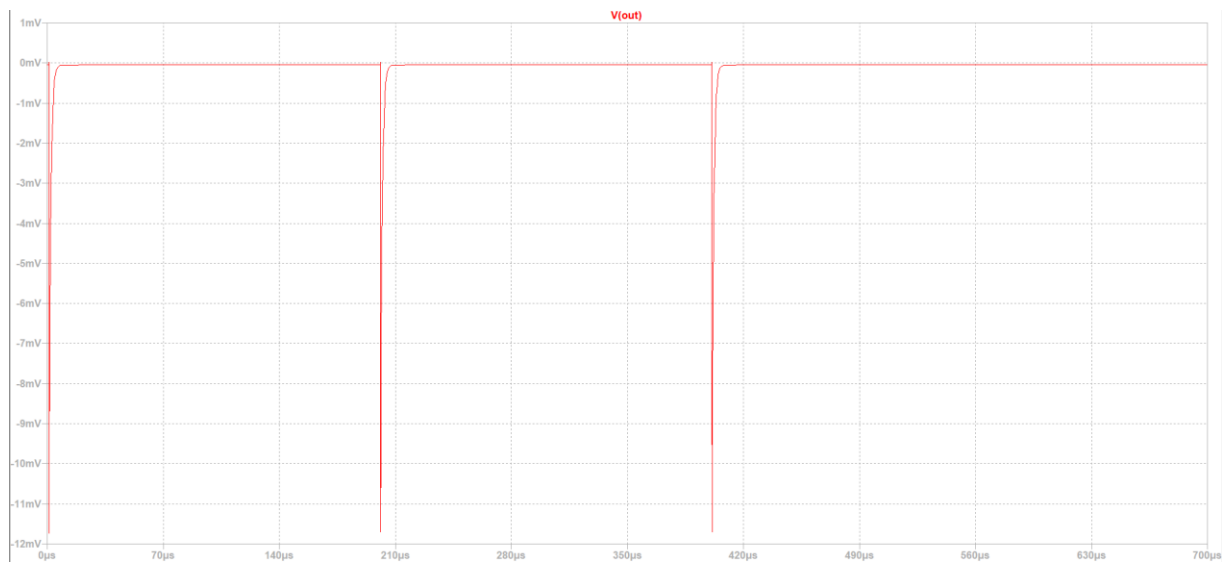
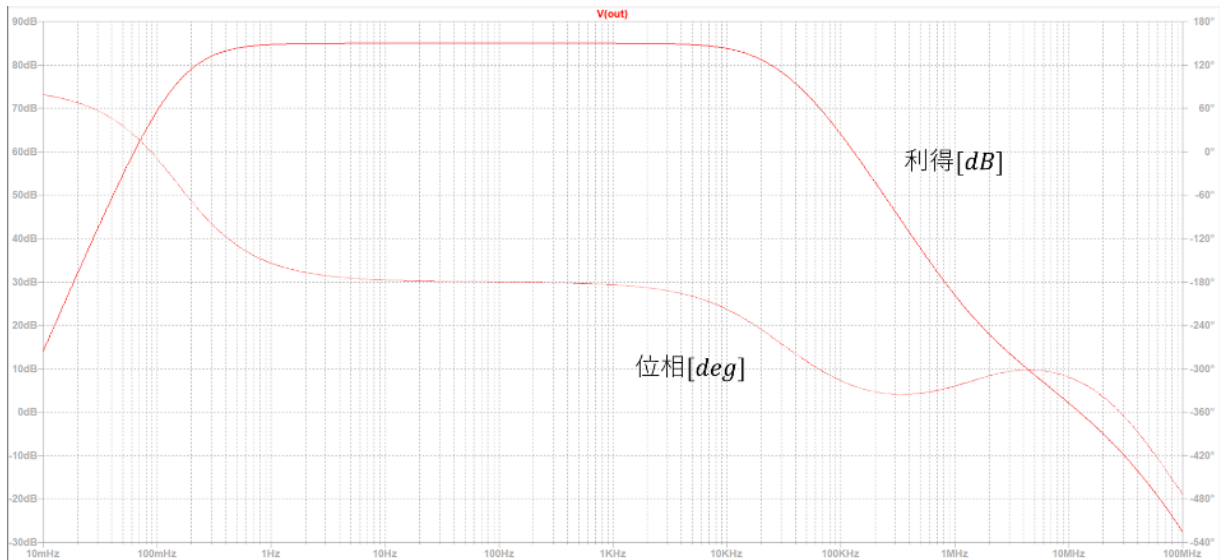
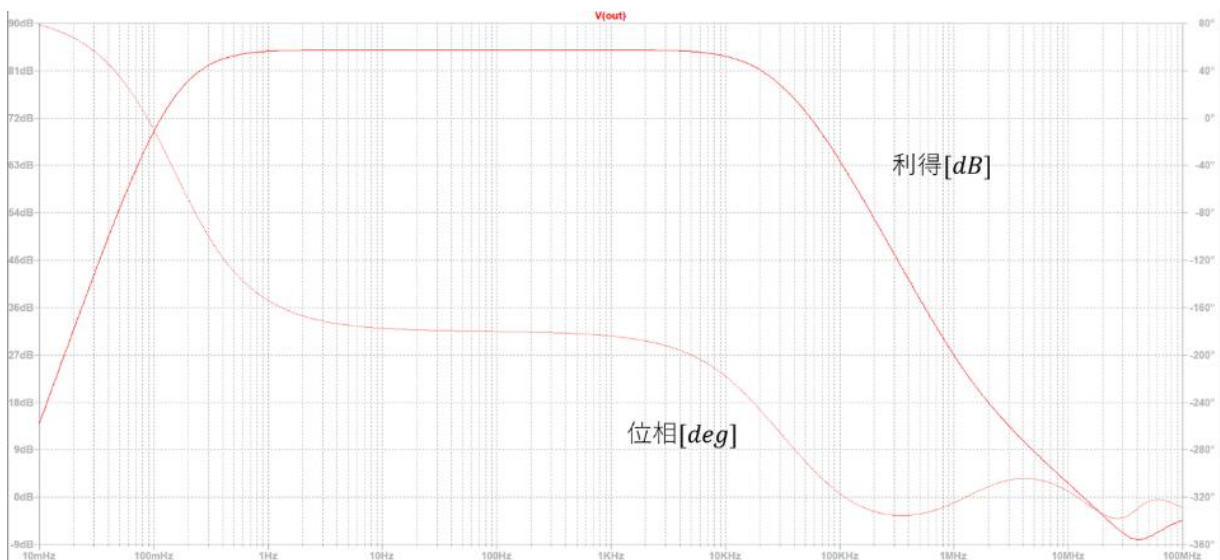


図 3.5.21 4 段接続増幅回路の過渡解析の結果

非公開：枠組みの内容は全保障貿易管理上の観点から公開できません。



(a) 帰還なし



(b) 帰還あり

図 3.5.22 4 段接続増幅回路の AC 解析の結果

図 3.5.22 の結果から位相補償が効いていることが確認できた。また、図 3.5.21 の結果からパルス波入力に対して出力が発振しないことが確認できた。図 3.5.15 と図 3.5.21 を比較すると、ソースフォロワを追加することで出力波形の立下りでのグリッチが小さくなっていることが確認できた。ソースフォロワを追加した状態での開放利得は約 20000 倍 ( $\approx 84$  [dB]) であり、GB 積は約 14 [MHz] であった。

図 3.5.22 の AC 解析においては、開始周波数を 0.01 [Hz] とすることで、各段間の AC 結合の影響を確認した。その結果、1 [ $\mu$ F]、1 [M $\Omega$ ] の結合コンデンサとゲート抵抗によって低域遮断が起こっているため、一般 OP アンプのように完全な DC 成分には応答できない。しかしながら、1 [Hz] 以上の信号であれば 80 [dB] 以上の開放利得を得ることができ、応答できると考えられる。

図 3.5.20 の回路を疑似的なオペアンプとして考えると、出力はコンデンサによる AC 結合の

状態よりも、ゼロレベルを確保した状態の方が好ましいと考えられる。これは、AC結合では次段の入力インピーダンスと結合コンデンサによる遮断周波数が問題になることや、負帰還や雑音の影響を考慮して出力インピーダンスを下げたいためである。また、次段の負荷に対する電圧降下が小さくなることもあり、ゼロレベルを確保したアクティブ負荷のソースフォロワを最終段として用いることは十分に効果的であると考えられる。

以上、バルク伝導型または表面伝導型ダイヤモンド FET を用いた前置増幅器において受動素子の最適化を行った。また、前置増幅器の動作検証として、検出器からの信号を模した疑似信号を用いて出力信号が得られることを確認した。

### 3.6 研究推進【R2-R4】

研究代表者の下で各研究項目間の連携を密にして研究を進めた。研究実施計画を推進するため、以下の打合せや会議を開催した。

#### 【令和2年度及び令和3年度の成果】

令和2年度

- (1) ダイヤ素子（MESFET 及び RADDFET）の開発における研究打ち合わせ

日時：令和2年12月1日、12月10日、令和3年1月18日

場所：Teams Meeting

参加者：研究代表者、及び該当テーマの研究参加者・協力者

- (2) SiC/IC 開発テーマ定例進捗会議

日時：毎週水曜日

場所：Teams Meeting

参加者：研究代表者、及び該当テーマの研究参加者・協力者

- (3) P0 中間フォロー会議

日時：令和3年2月5日

場所：Zoom Meeting

参加者：P0、原安協、研究代表者、テーマ担当研究参加者及び研究参加者

会議の内容：P0 及び原安協による研究進捗中間フォローアップ

- (4) 技術報告検討会

日時：2月24-26日

場所：大熊町及び JAEA 檜葉遠隔技術開発センター

参加者：研究代表者、及び該当テーマの研究参加者・協力者、外部評価委員、オブザーバー

内容：大熊町帰宅困難区域の視察、JAEA 檜葉遠隔技術開発センターの見学、耐環境デバイス研究開発における技術報告、原子力システム研究開発事業の進捗報告及び技術討論

令和3年度

- (1) テーマ進捗全体会議

日時：令和3年7月1日、令和4年3月31日

場所：Teams Meeting

参加者：研究代表者、及び該当テーマの研究参加者・協力者

会議の内容：プロジェクト各テーマの進捗報告

- (2) ダイヤテーマ進捗会議

日時：不定期隔週

場所：Teams Meeting

参加者：研究代表者、及び該当テーマの研究参加者・協力者

会議の内容：ダイヤ素子（MESFET 及び RADDFET）の開発における研究打ち合わせ

- (3) SiC/IC 開発テーマ定例進捗会議

日時：毎週水曜日

場所：Teams Meeting

参加者：研究代表者、及び該当テーマの研究参加者・協力者

会議の内容：SiC/IC 素子の開発における研究打ち合わせ

(3) 回路設計テーマ進捗会議

日時：令和3年5月20日、令和3年12月23～24日、令和4年3月29日

場所：福島高専、北海道大学

参加者：研究代表者、及び該当テーマの研究参加者・協力者

会議の内容：回路設計に関するデータ確認、研究打ち合わせ

(4) P0 中間フォロー会議

日時：令和3年11月15日

場所：Zoom Meeting

参加者：P0、原安協、研究代表者、テーマ担当研究参加者及び研究参加者

会議の内容：P0 及び原安協による研究進捗中間フォローアップ

(5) P0 視察会

日時：令和4年1月19日

場所：産業技術総合研究所 関西センター

参加者：P0、研究代表者、テーマ担当研究参加者

会議の内容：プロジェクト進捗情報の報告、試作デバイスの実物確認、設備見学

**【令和4年度の成果】**

(1) NEXIP 交流会参加

日時：令和5年1月18日

場所：東京都品川区

参加者：研究代表者、及び該当テーマの研究参加者・協力者

会議の内容：研究進捗および社会実装にむけた進捗報告

(2) ダイヤテーマ進捗会議

日時：隔週木曜、不定期(令和4年5月17日、8月26日、9月9日)

場所：Teams Meeting、北海道大学

参加者：研究代表者、及び該当テーマの研究参加者・協力者

会議の内容：ダイヤ素子（MESFET 及び RADDFT）の開発における研究打ち合わせ

(3) SiC/IC 開発テーマ定例進捗会議

日時：毎週月曜日（令和4年4～6月）、毎週月曜日（令和4年7月～令和5年3月）、令和5年3月8-9日

場所：Teams Meeting、産総研つくば中央第二、山梨大学

参加者：研究代表者、及び該当テーマの研究参加者・協力者

会議の内容：SiC/IC 素子の開発における研究打ち合わせ

(3) 回路設計テーマ進捗会議

日時：令和4年9月9日、令和5年2月28日

場所：北海道大学、Teams

参加者：研究代表者、及び該当テーマの研究参加者・協力者

会議の内容：回路設計に関するデータ確認、研究打ち合わせ

(4) P0 中間フォロー会議

日時：令和4年12月6日

場所：Zoom Meeting

参加者：P0、原安協、研究代表者、テーマ担当研究参加者及び研究参加者

会議の内容：P0 及び原安協による研究進捗中間フォローアップ

(5) 外部委員報告会

日時：令和4年7月26日、8月2日、10月26日、令和5年1月18日

場所：北海道大学、兵庫県神戸市、Teams

参加者：外部委員、研究代表者、テーマ担当研究参加者

会議の内容：プロジェクト進捗情報の報告

## 4. 結言

令和4年度は令和3年度に引き続き新型コロナウイルス（COVID-19）のまん延とその対策により、接触率制限などが必要となり、実験室での実験作業制限や、ウクライナ戦争による物品の調達遅れなど、研究の進捗に極めて甚大な影響を与えたが、本研究の最終年度として、以下の成果を得た。

### (1) バルク伝導型ダイヤモンドFET高利得化と準量産技術開発

令和2年度に開発に成功したゲート長微細化技術を推進し、0.5 $\mu\text{m}$ ゲートを有するホウ素ドープダイヤモンドMESFETを作製し動作特性を得た。さらに令和3年度までに開発した各要素技術であるリセスゲート構造によるソース抵抗低減構造および高濃度キャリアチャネル技術を組み合わせることで相互コンダクタンス2mSを超えるセルフアライン型ダイヤモンドMESFETを実現した。

ベクトルネットワークアナライザを用いたSパラメータ測定によって微細ゲートを有するボロンドープ水素終端ダイヤモンドMESFETにおける入力インピーダンスを評価し、ゲートソース間容量が80fF以下であることを評価した。測定したSパラメータから電流遮断周波数 $f_T$ を解析し、 $f_T$ が4GHzであることを確認した。

バルク伝導型ダイヤモンドFETのリソグラフィーによるプロセス欠陥と異常成長粒子による材料欠陥を個別評価し、アライメントエラーおよびCVD成長欠陥を計測した。アライメントエラーにおいてはセルフアライン法を用いることで歩留まり向上を実現した。成長欠陥のゲート長微細化による歩留まりを評価し、欠陥密度1800個/cm<sup>2</sup>においても歩留まりの劣化が10%程度に抑えられることを調べた。

### (2) 表面伝導型ダイヤモンドFETの開発

令和2年、令和3年に開発した技術をもとに、表面伝導型ダイヤモンドFETの試作を行った。性能の不安定性や移動度劣化を引き起こす表面吸着物の除去を目的とし、水素終端後処理とALDによる絶縁膜形成を大気暴露を経ずに行い、キャリア低減により吸着物の除去効果があることを確認した。

ベクトルネットワークアナライザおよび半導体パラメータアナライザを用いて表面伝導型ダイヤモンドFETのDC特性およびSパラメータを測定した。入力容量 $C_{gs}$ が103fF、相互コンダクタンス $g_m$ が15mS/mmであることを確認し、Sパラメータ解析により電流遮断周波数 $f_T$ が1.8GHzであることを求めた。

開発した高性能表面伝導型ダイヤモンドFETのBWRの過酷事故対応性を確認するため、400°Cでの高温放置試験を行い、金属電極の電気伝導性が失われていないものの、ダイヤモンド表面伝導チャネルが高抵抗化することを確認した。

### (3) 接合型SiCオペアンプの開発

イオン注入技術を用いて接合型FETと同時試作したオンチップ抵抗素子に対して500°Cの耐環境試験を行い、熱処理後もオーミック接触抵抗が1.4m $\Omega$ cm<sup>2</sup>程度に維持されることを確認した。

オペアンプ回路に必要な抵抗、コンデンサと全周ゲート接合型FETのレチクルレイアウト設計を行った。構造をもとにTCADによる動作シミュレーションを行い、実際に試作したゲート長1~4 $\mu\text{m}$ の素子の実特性と比較した。歩留まりを低減させる要因の一つとしてSiCのオーバーエッチングによりゲートリーク電流が発生する問題を確認した。また、SiC-JFETに $\gamma$ 線を照射し、



5. 2MGy でもしきい値変動が 0.2V 以下であることを確認した。

n 型 SiC による接合型 FET と受動素子である抵抗をウェハ上に同時に形成し、SPICE によるモデリングを行った。SiC JFET が複数搭載されたチップを用いて差動入力を有するオペアンプ回路を試作した。試作した回路は反転、非反転出力ともにシミュレーションで得られた利得と同程度であることが分かった。また、多段にすることで 40dB を超えるゲインが得られることを示し、疑似信号を用いて検出器回路動作が可能であることを求めた。また、試作した SiC-JFET の入力容量測定から、大きな寄生容量成分があるものの、電流遮断周波数  $f_T$  が 140MHz 程度であることを求めた。

#### (4) 高温用電子部品の開発と耐放射線性試験（再委託先：北海道大学）

令和 3 年度に良好な耐環境性が得られたコンスタントンを評価し、500°C までの変化率が 2.56% であるが、600°C までに急激な変化があること、1MGy を超える X 線照射で特性変動が大きくなることが確認された。また、AD 法および ALD 法による  $Al_2O_3$  キャパシタの耐環境性試験により、300°C での耐熱性を有すること、X 線照射により変動した特性が熱処理により回復することが確認された。

#### (5) 回路技術・システム試験（再委託先：福島高専）

表面伝導型ダイヤモンド FET について、電気特性からトランジスタモデルを抽出し、前置増幅器において回路の最適化を行った。特に協力会社との協議により、令和 3 年度に検討していた 1 石による増幅回路は S/N が悪いことから、増幅を複数段にすることで解放利得を高めて負帰還・電荷蓄積を行うこと、また各増幅段をレベルシフトではなくコンデンサによる結合とすることで検出器回路とする方が実現性が高いとのコメントによりこれを設計方針として進めた。アクティブ負荷と平行接続差動増幅回路により利得の改善を行い、さらにポールゼロフィルタによる位相補償を行うことで回路の安定化を行うことで 80dB 以上の開放利得が得られることを示し、検出器を模擬した信号により出力信号が得られることを確認した。

#### (6) 研究推進

研究代表者の下で各研究項目間の連携を密にして研究を進めた。また、研究実施計画を推進するための打合せや会議等を開催した。

本研究開発事業は技術知見の少ない次世代・次々世代新材料半導体に対して、過酷事故環境を耐えうる素子および回路における性能改善や、ノウハウの獲得や研究開発課題の収集を目的としていた。これらの目的に対しては、大きな進展があったと言え、特に素子単体での性能は本事業によって実応用上、十分な性能が得られたと言える。しかし、500°C 環境に耐えうる回路として獲得すべき要素技術が多いことも確認ができ、特に回路用基板、パッケージ、レジソ、ボンディングワイヤ、はんだ、の開発や素子性能の製造バラツキなどの問題解決などを行う必要がある。

また、本事業を行ったことで、喫緊の課題である 1F 廃炉事業に向けて、各種素子試作へのノウハウが構築されており、特にプロセス欠陥回避技術については CLADS 英知事業で並行して開発を進めている「臨界監視モニター用中性子検出器システム」における検出器素子の高感度化や高歩留まり化に対して効果があった。本事業では学生やポスドクが活躍し、産総研テーマでは 4 名の学生（山梨大学）と 1 名のポスドクが研究を進め、さらに北海道大学の再委託テーマでは 3 名の学生、福島高専の再委託テーマでは 1 名の学生が研究を担当し、原子力技術にかかわる人材育

成を行うことができた。

さらに本事業の実施中に上記成果技術を社会実装すべく「大熊ダイヤモンドデバイス社」を北海道大学・産総研発スタートアップとして起業した。大熊ダイヤモンドデバイス社では福島県の自治体予算による助成で本開発を継続して行うことになっており、今後プロトタイプを試作や、プロトタイプのフィールドテストを行いシステムの社会実装を進めていく予定である。