

# 原子炉計装の革新に向けた耐放射線・高温動作ダイヤモンド計測システムの開発とダイヤモンド IC の要素技術開発

(受託者) 国立大学法人北海道大学

(研究代表者) 金子純一 大学院工学研究科

(再委託先) 国立研究開発法人産業技術総合研究所、株式会社日立製作所、

国立研究開発法人物質・材料研究機構

(研究期間) 平成 28 年度～31 年度

## 1. 研究の背景とねらい

本研究開発においては原子炉計装の革新に向けて、耐放射線・高温動作ダイヤモンド計測システムの開発と IC の要素技術の開発を行う。原子炉用耐放射線・高温動作計測システム開発の第一段階として、ダイヤモンド  $\gamma$  線検出器とダイヤモンド電界効果トランジスタ (FET: Field effect transistor) を用いた前置増幅器からなる原子炉格納容器雰囲気モニタ (CAMS: Containment Atmospheric Monitoring System) プロトタイプを開発する。将来的な適用対象としてナトリウム冷却高速炉並びに水冷却高速炉を想定した。水冷却高速炉の一つである資源再生型沸騰水型炉 (RBWR: Resource-Renewable Boiling Water Reactor) では、既存の改良型沸騰水型軽水炉 (ABWR: Advanced Boiling Water Reactor) の核・プロセス計装が踏襲されることから、これらの技術は広く軽水炉での使用も可能となる。

開発目標として、過酷事故対応で求められる、耐熱温度: 230°C 以上、積算線量: 5MGy 以上の達成を目指す。努力目標として、可能な限り動作温度: 300°C に近づけることを目指す。これらを成立させるためダイヤモンド FET の歩留まりの改善、性能のばらつき抑制、高性能化を進める。圧力容器内を除く原子炉格納容器内での使用を念頭に、動作温度: 500°C、積算線量: 10MGy を満たす電子デバイス実現の要となるダイヤモンド IC 等の要素技術開発としてダイヤモンド基板上へのキャパシタ、抵抗製作技術を検討する。

## 2. これまでの研究成果

(1) ダイヤモンド  $\gamma$  線検出器の開発とダイヤモンド金属-半導体 (MESFET: MEtal-Semiconductor Field Effect Transistor) ・ダイヤモンド IC 開発の支援(北海道大学)

CAMS 用ダイヤモンド  $\gamma$  線検出器(動作温度: 230°C 以

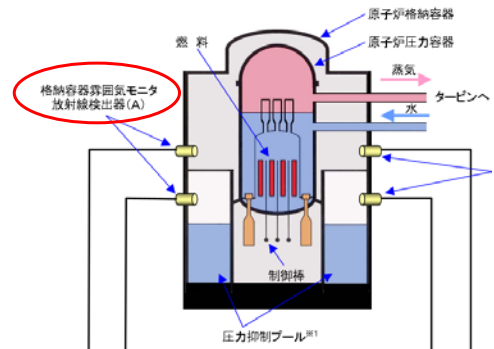


図1 ABWRの断面とCAMSの設置位置

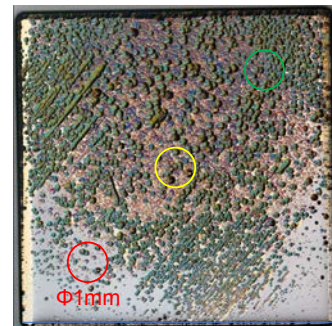


図2  $\alpha$ 線照射位置 (E6社製 8mm 角 CVD 基板上に合成)

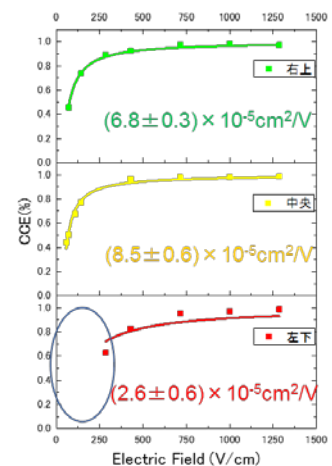


図3 正孔におけるCCE-電界強度特性の位置依存性

上、積算線量:5MG 以上等)向けに、大面積基板を使用した複数枚合成技術、複数回合成による厚膜化技術等により、ダイヤモンド検出器用単結晶ダイヤモンド合成技術の改良を進めた。表面の平坦性と電荷キャリア輸送特性に優れたダイヤモンド結晶の合成法・合成条件の探索を繰り返し行った。合成したダイヤモンド結晶に対し、カソードルミネッセンス法により結晶品質を評価し、リフトオフ法により自立膜化した。自立膜化した結晶から検出器を製作し、電荷収集効率(CCE: Charge Collection Efficiency)を測定・評価を行った。検出器への $\alpha$ 線照射位置をコリメーターによって部分的に制御し、CCEの位置依存性を確認した。図2に $\alpha$ 線の照射位置を、図3にCCE-電界強度特性を示す。検出箇所によりCCEの立ち上がりの挙動が異なりエネルギー弁別性に悪影響を及ぼす可能性がある。今後、プラズマ位置と基板位置の精密制御により成長表面の均一性を担保する必要がある。

目標動作温度を500°Cとして、高温動作を可能にする電子部品の要素技術の検討を行った。図4に真空チャンバーにおける600°C加熱時の耐熱パッケージ、図5に電流電圧特性の測定温度依存性を示す。各端子間における漏れ電流は500°C加熱時までには4nA以下に抑制されたが、600°C加熱時において急上昇した。作製した耐熱パッケージが500°Cまで動作可能であることを実験的に立証した。

(2)ダイヤモンドMESFET作製技術の確立とダイヤモンドICの要素技術開発(再委託先:産総研)

過酷事故環境下においても動作が可能な半導体素子回路を実現するため、耐放射線性を有し高温で動作が可能なダイヤモンドMESFETの開発を進めた。半導体素子回路には複数のダイヤモンドMESFETが必要であり、それぞれが要求性能を満たし、性能のそろった素子である必要がある。ダイヤモンドMESFETの性能において、特に閾値やドレイン電流などの主要パラメータはドリフト層中のホウ素濃度や膜厚などによって決定するため、ドリフト層の成長制御は必要不可欠である。そのため、化学気相成長(CVD:

Chemical Vapor Deposition)合成における不純物および膜厚制御技術について実験を行った。回路の周波数特性や増幅特性の設計のためにはMESFETの特性を把握する必要がある。回路において指標となる素子特性としてMESFETの最大電流と閾値電圧に着目し、ドーピング濃度の与える影響を評価した。高温での動作可能性を評価するため、CVD膜上にMESFETを試作し特性を測定した。低容量・低抵抗MESFETの実現に向け、図6に示すようにMESFETモデルを改良した。

耐放射線・高温動作ICの開発のためには、トランジスタのみならずパッシブ素子の開発が重要

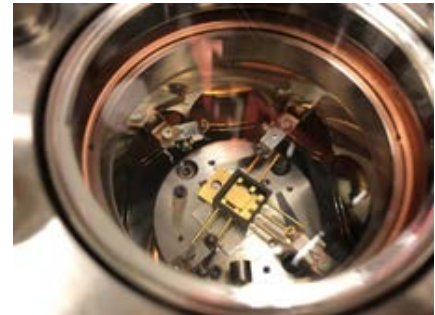


図4 600°C加熱時の耐熱パッケージ

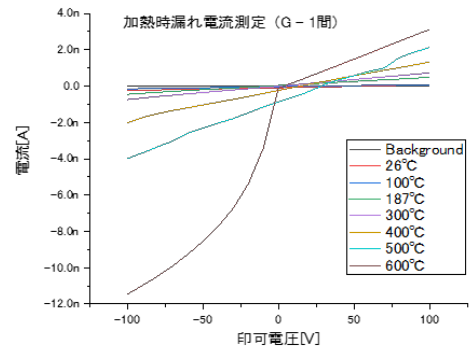


図5 電流電圧特性の測定温度依存性

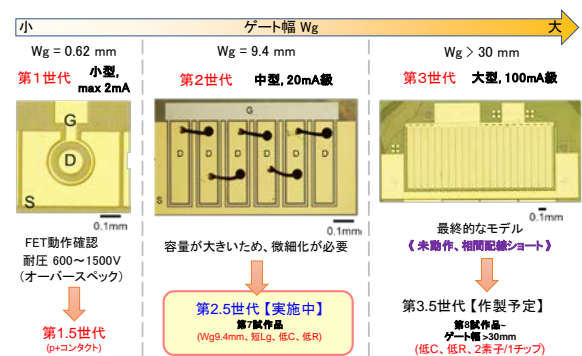


図6 MESFETモデルの改良(低容量・低抵抗化)

となる。耐放射線・高温動作ダイヤモンド MESFET と市販パッシブ素子の組み合わせ回路、および耐放射線・高温動作ダイヤモンド MEFET と同一基板上に形成したパッシブ素子の組み合わせによるワンチップ回路、の二つの可能性について検討を行った。

(3) 原子炉格納容器内雰囲気モニタプロトタイプの開発(再委託先:日立製作)

CAMS 用ダイヤモンド $\gamma$ 線検出器として、 $^{137}\text{Cs}$ 、 $^{60}\text{Co}$  とそれ以上のエネルギーを持った $\gamma$ 線放出核種 ( $^{154}\text{Eu}$  等) の弁別(簡易核種弁別)の実現を目指して、モンテカルロシミュレーションによりダイヤモンド素子の仕様を検討した。まずシミュレーションとダイヤモンド素子の実験結果を比較して同等のエネルギースペクトルであることを確認しシミュレーションの妥当性を実証した。更に、シミュレーションにより、ダイヤモンド形状をパラメータにエネルギースペクトルを算出し評価した結果、コンプトン端を用いた簡易核種弁別を可能とするにはダイヤモンド素子の厚さが  $300\mu\text{m}$  以上必要であることを確認した。

現状のダイヤモンド FET の基本(直流)特性、ゲートおよびドレイン容量等の交流特性データをもとに、前置増幅器の基礎回路を簡易回路シミュレーションにより検討した。図 7 に前置増幅器の回路図、図 8 に電圧増幅器構成案を示す。現状のダイヤモンド FET の  $300^\circ\text{C}$  での DC 特性、端子間容量のデータを元にモデル化を行った。更に、それを用いてプリアンプを構成する要素回路のシミュレーションを行った。その結果、遮断周波数  $f_T$  が約  $18\text{MHz}$  と低く、改善を要すること、ソース接地増幅器の固有利得が約  $34\text{dB}$  のため一般的なオペアンプを構成するには多段構成が必要であることを確認した。耐熱および $\gamma$ 線照射試験の準備として、高温特性に優れた回路部品を調査し候補部品として  $300^\circ\text{C}$ 耐熱仕様であるセラミック製基板、Au-Ge 半田、白金製測温抵抗体およびセラミック容量等を選定した。

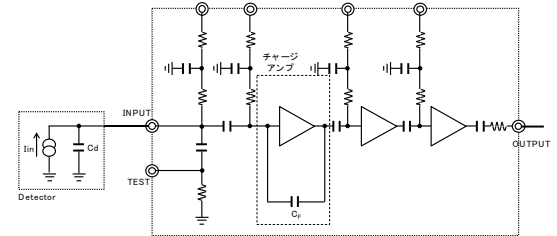


図 7 前置増幅器の回路図

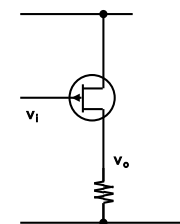


図 8 電圧増幅器構成案(ソース接地・抵抗負荷)

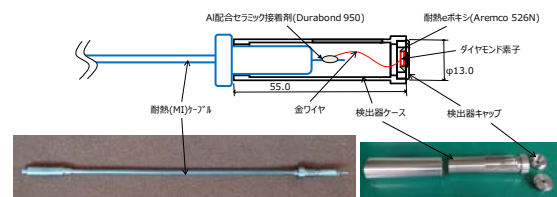


図 9 検出器構造

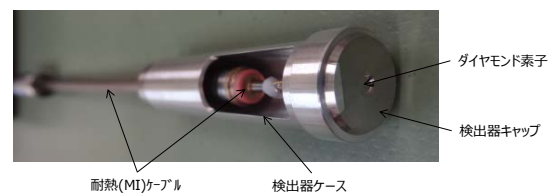


図 10 検出器写真

(4) MIMSFET の耐放射線性能向上とダイヤモンド IC 要素技術開発の支援(再委託先: 物材機構)

現状の誘電体・金属材料で構成した金属-絶縁体-金属-半導体電界効果トランジスタ (MIMSFET: Metal-Insulator-Metal-Semiconductor Field-Effect Transistor) を作製し、トランジスタ静特性の温度依存性等基礎特性の再現性を試験した。MIMSFET 放射線劣化のプロセス解明に向け、表面伝導層、誘電体評価用素子を作製し、X 線照射前後の電気特性の変化を調べた。照射後において容量値はバイアス印加により上昇傾向を示した。これは拡散容量の存在を示し、X 線照射による誘電体の組成変化等による特性劣化に起因する。X 線照射によりソースドレイン電流が低下した。図 12 に表面伝導への影響過程をバンド図に示す。上方へのバンド湾曲により形成されていた正孔チャネルは、X 線により  $I_b$  基板内に固定電荷が発生することにより生ずる仮想ゲートへ正バ

イアスによりキャリア濃度が低下することを示唆している。改善方法として、固定電荷の解放には紫外線照射や試料の昇温、Ib 基板内の窒素濃度のばらつきには、IIa 基板、あるいはCVD厚膜基板の利用が考えられる。原因として、図 11 に示すように、X 線照射に伴ない固定電荷が発生したことが考えられる。

CAMS 用前置増幅器 FET として必要なスペックに準じ、現状の誘電体・金属材料構成でダイヤモンド MIMSFET と MISFET を設計・作製し、トランジスタ静特性等の基礎特性を評価した。マイクロ波プラズマ CVD 法によりダイヤモンド薄膜を作製、平坦性に優れた水素終端単結晶表面を得た。合成時に水素プラズマ中で自動的に形成される表面伝導層を保持しつつ、フォトリソグラフィにより金属薄膜、誘電体膜等のパターンを形成し、FET 構造を作製した。既存の半導体デバイス評価装置により FET の動作特性を評価した。ゲート無バイアス時にはドレイン電流が流れるノーマリーオンデバイスであること、ドレイン電流密度は 100mA/mm を上回り、実動作電流 100mA クラスの MISFET が作製可能であることを確認した。

ダイヤモンド IC の要素技術開発のうち、ダイヤモンド上へのキャパシタ等の製作支援に向けた準備として、作製可能な誘電体薄膜の種類を確認し、成長試験を開始した。具体的には原子層堆積法 (ALD: Atomic Layer Deposition) により設定膜厚 35nm のアルミナ薄膜を作製した。膜厚の制御性はレーザー顕微鏡で評価した。その結果、膜厚は 30nm であり、優れた膜厚制御性が得られることを確認した。

### 3. 今後の研究

CVD 合成膜の高品質化に向けて、無欠陥基板を用いた異常成長の抑制と電荷輸送特性の向上を目指す。耐熱パッケージの作製には、研究代表者がかつて所属した日本原子力研究所・原子炉計装研究室で開発された高温ガス炉用核分裂検出器(動作温度: 850°C)の利用技術、アルミナ、シリカ等の焼結技術をベースに、北大が保有するセラミックスの焼結成整形に使用する静水圧加圧装置など、シンチレータ開発で使用した既存設備群を転用し、今後の開発準備を進める。

MESFET の低容量・低抵抗化のためにゲート幅を増大、ゲート長を短縮したモデルを改良する。絶縁膜形成プロセス、ダイヤモンドと電極間の密着性、ドリフト層の不純物密度安定化のため合成条件およびドリフト層の設計を改善する。

CAMS 用ダイヤモンド前置増幅器の開発に向けて、今後、MESFET を用いたデバイスモデリング、回路プロト試作・評価を実施し、MIMSFET の用いた増幅器の基本評価を実施する。選定した回路部品と設計したセラミック基板を用いて回路系材料の耐熱・耐放射線試験を行う。

X 線照射による特性劣化の起源を明確にするために、誘電体リーク特性の評価、3D ラマン分光を用いた誘電体劣化状況の局所評価、誘電体薄膜成長条件の検討と膜厚の最適化により劣化低減を図る。

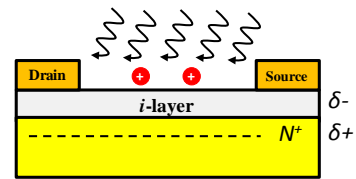
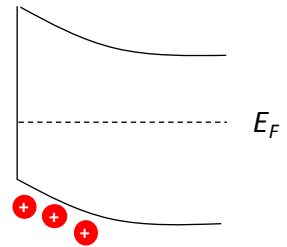
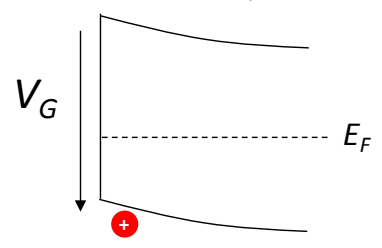


図 11 X 線照射に伴う固定電荷の発生



(a) 上方へのバンド湾曲による正孔チャンネルの発生



(b) 仮想ゲートへの正バイアス印可 (= Ib 基板内の固定電荷発生)

図 12 表面伝導への影響過程の考察